



Arora V 模拟数字转换器 (ADC)

用户指南

UG299-1.0.3, 2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、云源、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/05/08	1.0	初始版本。
2023/07/18	1.0.1	优化ADC转换时序描述。
2023/12/08	1.0.2	优化ADC参数配置描述。
2024/02/02	1.0.3	<ul style="list-style-type: none">● 优化ADC输入的描述。● 更新表3-3 ADC配置界面参数介绍。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 特性	3
2.2 功能描述	4
2.2.1 概述	4
2.2.2 结构框图	4
2.3 ADC 电气特性	5
2.3.1 ADC 转换时序	5
2.3.2 电气特性参数	7
3 ADC	9
3.1 ADC (25K)	9
3.1.1 适用器件	9
3.1.2 端口示意图	10
3.1.3 端口介绍	10
3.1.4 参数介绍	11
3.1.5 ADC 例化	12
3.2 ADC (75K/138K)	14
3.2.1 适用器件	14

3.2.2 端口示意图	14
3.2.3 端口介绍	14
3.2.4 参数介绍	16
3.2.5 ADC 例化(以 ADCULC 为例)	19
4 ADC 配置及调用	21
4.1 ADC 配置	21
4.2 ADC 生成文件	22

图目录

图 2-1 25K 器件 ADC 结构框图	4
图 2-2 75K/138K 器件 ADC 结构框图	5
图 2-3 ADC 转换时序	6
图 3-1 ADC 端口示意图	10
图 3-2 ADC 端口示意图	14
图 4-1 ADC 配置页面	21

表目录

表 1-1 术语、缩略语	2
表 2-1 ADC 时序参数	6
表 2-2 ADC 电气参数	7
表 3-1 ADC 适用器件	9
表 3-2 ADC 端口介绍	10
表 3-3 ADC 配置界面参数介绍	11
表 3-4 ADC 适用器件	14
表 3-5 ADCULC 端口介绍	14
表 3-6 ADCLRC 端口介绍	15
表 3-7 ADCULC 配置界面参数介绍	16
表 3-8 ADCLRC 配置界面参数介绍	18

1 关于本手册

1.1 手册内容

Arora V 模拟数字转换器（ADC）用户指南主要内容包括功能特点、端口描述、配置调用等，旨在帮助用户快速了解 Arora V ADC 的特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS-25 器件数据手册](#)
- [DS1114, GW5AS-138 器件数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog to Digital Converter	模拟数字转换器
CIC Filter	Cascaded Integrator-comb Filter	级联积分梳状滤波器
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
OSC	Oscillator	晶体振荡器
SRAM	Static Random Access Memory	静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Arora V FPGA 产品内部集成了 8 通道 10 bits Delta-sigma 模数转换器，是一款低功耗，低漏电流的 delta-sigma ADC。结合 FPGA 的可编程逻辑能力，以及内部集成的电压、温度传感单元，该 ADC 可以满足芯片内部温度和电源监测的数据采集要求和监测要求。同时，FPGA 提供丰富自由的可配置 GPIO 差分接口以及 ADC 模拟差分信号接口，连接到 ADC 的电压通道，可以满足芯片外部的电压数据采集要求和监测要求。

2.1 特性

Arora V ADC 主要特性如下：

- ADC 个数：
 - GW5A-25/ GW5AR-25/ GW5AS-25 1 个
 - GW5A-138/ GW5AT-138/ GW5AT-75/ GW5AST-138 2 个
- 参考电压源：内置
- 每个 ADC 通道数：8
- 位宽精度：10 bits
- 采样时钟：< 2MHz
- ADC 差分信号输入电压范围：0~1V（正端输入电压 > 负端输入电压）
- 温度传感器精度：+/-2°C
- 电压传感器精度：+/-5mV

2.2 功能描述

2.2.1 概述

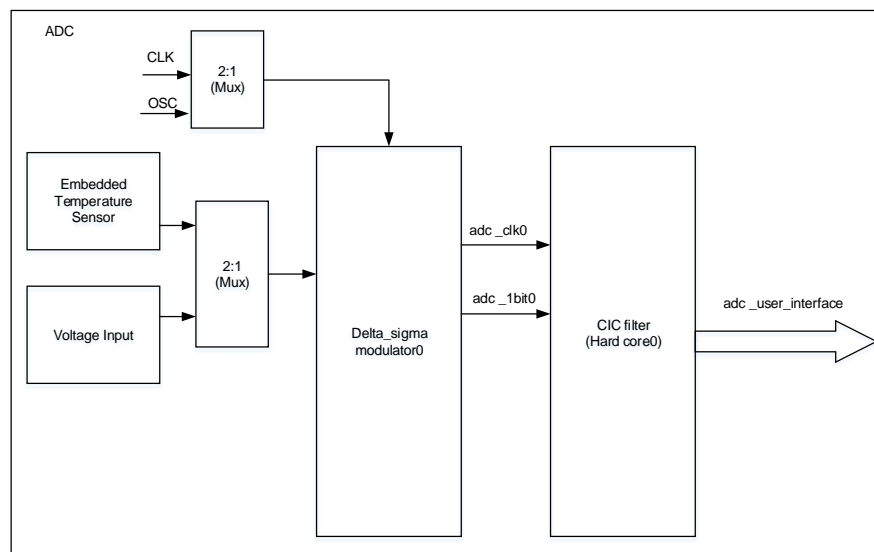
Arora V ADC 提供了模拟 Delta-sigma 调制器，以满足用户实现芯片内多区域的温度检测及电压检测，同时提供 GPIO 差分输入接口来满足片外电压信息的输入，仅支持差分信号输入，且正端输入电压 > 负端输入电压。

Arora V ADC 内置高精度基准电压源，不需要片外提供电压基准源，且 Arora V ADC 的温度和电源电压检测具有低功耗、高精度特点。Arora V ADC 内部集成了电压信号处理模块，不需要用户外部提供电压参考源，实现电压信号测量的精度要求，降低用户的成本。

2.2.2 结构框图

GW5A-25 / GW5AR-25 / GW5AS-25 ADC 结构框图如图 2-1 所示。

图 2-1 25K 器件 ADC 结构框图



GW5A-25 / GW5AR-25 / GW5AS-25 ADC 支持片内温度检测和电压检测模式，通过控制信号可以选择来自片内温度传感器的电压，进入片内温度检测模式，也可以选择另外一条通路，监测 FPGA 内部 IP 模块电源电压，Bank 电压、内核电压、SRAM 电压等。片外电压信号可以通过 Bank0/1/2/3/4/5/6/7 的 GPIO 差分管脚或专用 ADC 输入差分管脚送到 ADC，进行 ADC 量化。

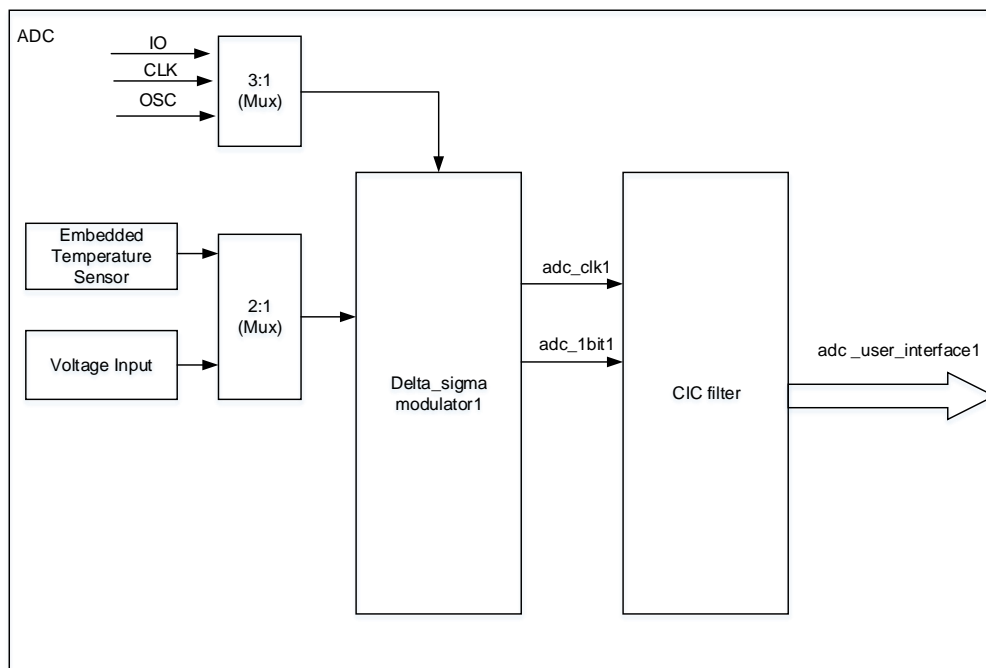
GW5A-25 / GW5AR-25 / GW5AS-25 ADC 可以选择 CLK(来自 UserLogic 的时钟)或者 OSC 时钟输入，通过时钟源的选择，可以在功耗和性能之间得到较好的平衡。

进入到 Delta_sigma modulator0 电压信号经过量化和噪声整形后输出 adc_1bit0 和 adc_clk0，再送到芯片的内置的 CIC 硬核来进一步处理得到温

度和电压的数字表征。

GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 ADC 包括 2 个 ADC，结构框图如图 2-2 所示。

图 2-2 75K/138K 器件 ADC 结构框图



GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 ADC 支持片内温度检测和电压检测模式，通过控制信号可以选择来自片内温度传感器的电压，进入片内温度检测模式，也可以选择另外一条通路，监测 FPGA 内部 IP 模块电源电压，包括 Bank2/3/4/5/6/7/10 电压、内核电压、MIPI 电压、Serdes 电压等。片外电压信号可以通过 Bank2/3/4/5/6/7 的 GPIO 差分管脚或专用 ADC 输入差分管脚送到 ADC，进行 ADC 量化。

GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 ADC 可以选择用 CLK（来自 Fabric 的时钟）、IO（来自 GPIO 时钟）或 OSC 时钟输入，通过时钟源的选择，可以在功耗和性能之间得到较好的平衡。

电压信号经过 Delta_sigma modulator1/Delta_sigma modulator2 进行量化和噪声整形，输出 adc_1bit1/adc_1bit2 和 adc_clk1/adc_clk2，送到芯片内置的 CIC 来进一步处理得到温度和电压的数字表征。

另外 138K ADC 还提供了 2 对专用 ADC 差分输入接口：adcvp/adcvn，adctp/adctn，为用户提供低延时，低噪声的差分电压输入通道。

2.3 ADC 电气特性

2.3.1 ADC 转换时序

ADC 从采样模拟输入信号到转换完成输出数字信号需要 N 个采样计数

周期，生成输出信号。当 ADC 采样请求信号 `sensor_req` 上升沿出现且 ADC 使能信号 `sensor_en` 打开后（高电平有效），则会触发 ADC 进行一次采样过程；当 `sensor` 测量完毕后会把 `sensor_rdy` 信号拉高，表示采样完成，并输出 `sensor_value [13:0]` 采样值。

电压测量模式下：`sensor_value` 值为无符号数（`sensor_value [13:11]` 表示整数部分，`sensor_value [10:0]` 表示小数部分），需要除以 2048 后得到实际的测量值，单位 V。

温度模式下：`sensor_value` 值为有符号数（`sensor_value [13]` 表示符号位，`sensor_value [12:2]` 表示整数部分，`sensor_value [1:0]` 表示小数部分），需要除以 4 后得到实际的测量值，单位 °C。

图 2-3 ADC 转换时序

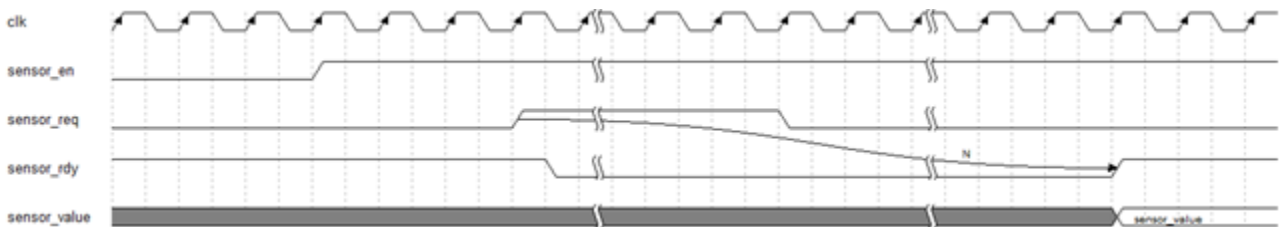


表 2-1 ADC 时序参数

符号	描述	规格		单位
		最小值	最大值	
CLK	时钟周期	TBD	TBD	ns
T _S	SoC 建立时间	TBD	TBD	ns
T _H	SoC 保持时间	TBD	TBD	ns
T _{D_EOC}	EOC 延迟时间	TBD	TBD	ns
T _{D_B}	输出数据延迟时间	TBD	TBD	ns

2.3.2 电气特性参数

表 2-2 ADC 电气参数

参数	描述	规格			单位
		最小值	典型值	最大值	
DC 精度					
输出	数字输出位数	-	10	-	Bit
INL	非线性积分	-	TBD	-	LSB
DNL	非线性微分	-	TBD	-	LSB
偏移误差	偏移误差	-	TBD	-	%FS
增益误差	增益误差	-	TBD	-	%FS
模拟输入					
CH[7: 0]	单端输入范围	-	TBD	-	V
CIN	输入电容	-	TBD	-	pF
转换速率					
SoC	采样频率	-	TBD	-	MHz
CLK	主时钟	-	TBD	-	MHz
数据输出延迟	数据输出延迟	-	TBD	-	时钟周期
动态特性参数					
SINAD	信噪比	-	TBD	-	DB
		-	TBD	-	DB
SFDR	无杂散动态范围	-	TBD	-	DB
		-	TBD	-	DB
ENOB	有效输出数据位数	-	TBD	-	Bit
		-	TBD	-	Bit
数字输入					
V _{IH}	输入高电平	-	TBD	-	V
V _{IL}	输入低电平	-	TBD	-	V
数字输出 B[9: 0]					
V _{OH}	输出高电平	-	TBD	-	V
V _{OL}	输出低电平	-	TBD	-	V
供电电压					
V _{dd_a}	模拟内核电压	-	TBD	-	V
V _{dd_dig}	数字电压	-	TBD	-	V
V _{ddx}	模拟电压	-	TBD	-	TBD

参数	描述	规格			单位
		最小值	典型值	最大值	
I _{vdd_a}	模拟内核电流	-	TBD	-	uA
I _{vdd_dig}	数字电流	-	TBD	-	uA
I _{vddx}	模拟电流	-	TBD	-	TBD
I _{pd}	关断电流	-	TBD	-	mA

3_{ADC}

3.1 ADC (25K)

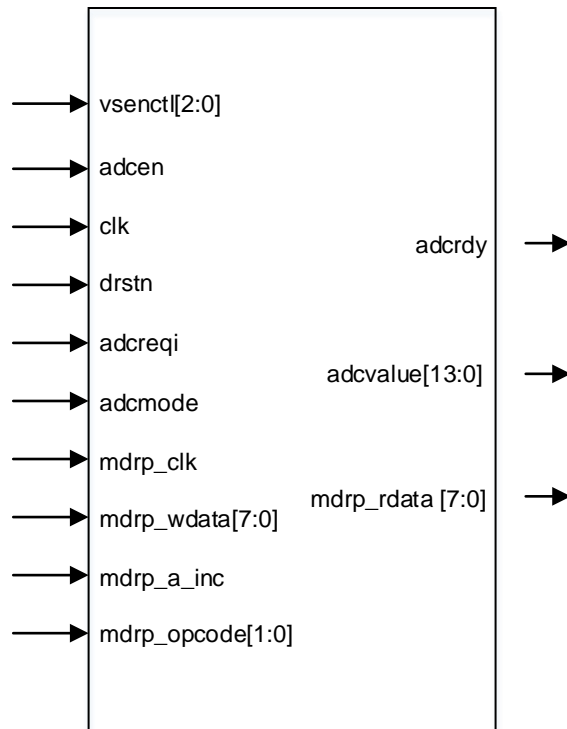
3.1.1 适用器件

表 3-1 ADC 适用器件

家族	系列	器件
晨熙®	GW5A	GW5A-25A
	GW5AR	GW5AR-25A
	GW5AS	GW5AS-25A

3.1.2 端口示意图

图 3-1 ADC 端口示意图



3.1.3 端口介绍

表 3-2 ADC 端口介绍

端口	I/O	描述
vsenctI[2:0]	input	input source selection bit [2:0] 3'b000: glo_left 3'b001: glo_right 3'b010: loc_left (对应 Bank1 GPIO) 3'b011: vtest 3'b100: vcc 3'b101: vccc 3'b110: vccm 3'b111: vccx_buf
adcen	input	enable signal, active high
clk	input	clk input
drstn	input	digital part reset signal, active low
adcreqi	input	measurement request signal, valid rising edge
adcmode	input	mode selection

端口	I/O	描述
		1'b0: temperature mode 1'b1: voltage mode
mdrp_clk	input	mdrp clock
mdrp_wdata[7:0]	input	bit[7:0] mdrp_wdata
mdrp_a_inc	input	mdrp_a_inc
mdrp_opcode[1:0]	input	bit[1:0] mdrp_opcode
mdrp_rdata	output	bit[7:0] mdrp_rdata
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output
tlvds_ibuf_adc_i	input	从 bank1 输入的 adcvp 信号
tlvds_ibuf_adc_ib	input	从 bank1 输入的 adcvn 信号
tlvds_ibuf_adc_adcen	input	bank1 输入的 adc 使能信号

3.1.4 参数介绍

表 3-3 ADC 配置界面参数介绍

参数	默认	描述
ADC Select	ADC	ADC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source osc (2.5MHz) or CLK
Sample Rate	64	sample rate configuration 4/8/16/32/64/128
Sample Count	1024	sample count configuration 64/128/256/512/1024/2048
Fscal Value	730(Temperature) 623(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Bank Enable (Voltage mode)	不勾选	勾选后, 启用 tlvds_ibuf_adc ADC 输入接口 (Bank1 输入)
glo_left (Voltage mode)	vcc	vcc/vcc_ext/vccio_bk1/vccc/pad pad 对应 bank0/6/7 的 IO, 简称 bus0, 当使用 这几个 bank 的 IO 作为 ADC 输入时需要增加物

参数	默认	描述
		理约束如下: USE_ADC_SRC bus0 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26
glo_right (Voltage mode)	vcc_reg	vcc/vcc_reg/vccc/vccm/vccio_bk4/ vccio_bk5/vccio_bk10/pad pad 对应 bank2/3/4/5 的 IO, 简称 bus1, 当使用这几个 bank 的 IO 作为 ADC 输入时需要增加物理约束如下: USE_ADC_SRC bus1 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26
vccx_buf (Voltage mode)	vccx	vccx

3.1.5 ADC 例化

Verilog 例化:

```
Gowin_ADC Gowin_ADC_inst (
    .adcrdy(adcrdy_o),
    .adcvalue(adcvalue_o),
    .mdrp_rdata(mdrp_rdata_o),
    .vsenctl(vsenctl_i),
    .adcen(adcen_i),
    .clk(clk_i),
    .drstn(drstn_i),
    .adcreqi(adcreqi_i),
    .adcmode(adcmode_i),
    .mdrp_clk(mdrp_clk_i),
    .mdrp_wdata(mdrp_wdata_i),
    .mdrp_a_inc(mdrp_a_inc_i),
    .mdrp_opcode(mdrp_opcode_i)
);
```

Vhdl 例化:

```
component Gowin_ADC
port (
    adcrdy: out std_logic;
```

```
        adcvalue: out std_logic_vector(13 downto 0);
        mdrp_rdata: out std_logic_vector(7 downto 0);
        vsenctl: in std_logic_vector(2 downto 0);
        adcen: in std_logic;
        clk: in std_logic;
        drstn: in std_logic;
        adcreqi: in std_logic;
        adcmode: in std_logic;
        mdrp_clk: in std_logic;
        mdrp_wdata: in std_logic_vector(7 downto 0);
        mdrp_a_inc: in std_logic;
        mdrp_opcode: in std_logic_vector(1 downto 0)
    );
end component;
```

Gowin_ADC_inst: Gowin_ADC

```
    port map (
        adcrdy => adcrdy_o,
        adcvalue => adcvalue_o,
        mdrp_rdata => mdrp_rdata_o,
        vsenctl => vsenctl_i,
        adcen => adcen_i,
        clk => clk_i,
        drstn => drstn_i,
        adcreqi => adcreqi_i,
        adcmode => adcmode_i,
        mdrp_clk => mdrp_clk_i,
        mdrp_wdata => mdrp_wdata_i,
        mdrp_a_inc => mdrp_a_inc_i,
        mdrp_opcode => mdrp_opcode_i
    );
```

3.2 ADC (75K/138K)

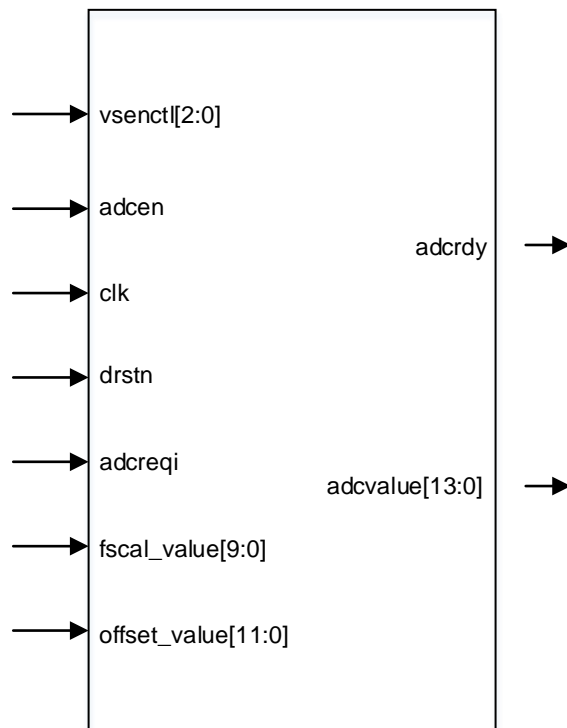
3.2.1 适用器件

表 3-4 ADC 适用器件

家族	系列	器件
晨熙®	GW5A	GW5A-138B
	GW5AS	GW5AS-138B
	GW5AT	GW5AT-138 / GW5AT-138B / GW5AT-75B
	GW5AST	GW5AT-138B

3.2.2 端口示意图

图 3-2 ADC 端口示意图



3.2.3 端口介绍

表 3-5 ADCULC 端口介绍

端口	I/O	描述
clk	input	clk input
drstn	input	digital part reset signal, active low

端口	I/O	描述
vsenctl	input	input source selection bit[2:0] 3'b000:vtest 3'b001:vdd09_0 3'b010:vdd09_1 3'b011:vdd09_2 3'b100:vdd18_0 3'b101:vdd18_1 3'b111:vdd33
adcen	input	enable signal, active high
adcreqi	input	measurement request signal, valid rising edge
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output
fscal_value	input	bit[9:0] temperature mode: 510~948 voltage mode: 452~840
offset_value	input	bit[11:0] temperature mode: -1560~-760 voltage mode: -410~410
tlvds_ibuf_adc_i	input	从 bank6/7 输入的 adcvp 信号
tlvds_ibuf_adc_ib	input	从 bank6/7 输入的 adcvn 信号
tlvds_ibuf_adc_adcen	input	bank6/7 输入的 adc 使能信号
adcinbk6a	input	adcvp from Bank6 GPIO
adcinbk6b	input	adcvn from Bank6 GPIO
adcinbk7a	input	adcvp from Bank7 GPIO
adcinbk7b	input	adcvn from Bank7 GPIO

表 3-6 ADCLRC 端口介绍

端口	I/O	描述
CLK	input	clk input
DRSTN	input	digital part reset signal, active low
VSENCTL	input	input source selection bit[2:0] 3'b000: adcv 3'b001: adct 3'b010: vdd09_0 3'b011: vdd09_1

端口	I/O	描述
		3'b100: vdd18_0 3'b101: vdd18_1 3'b110: vdd33_0 3'b111: vdd33_1
ADCEN	input	enable signal, active high
ADCREQI	input	measurement request signal, valid rising edge
ADCRDY	output	measurement completion signal, active high
ADCVALUE	output	bit[13:0] the measurement result output
FSCAL_VALUE	input	bit[9:0] temperature mode: 510~948 voltage mode: 452~840
OFFSET_VALUE	input	bit[11:0] temperature mode: -1560~-760 voltage mode: -410~410
TLVDS_IBUF_ADC_I	input	从 bank2/3 输入的 adcvp 信号
TLVDS_IBUF_ADC_IB	input	从 bank2/3 输入的 adcvn 信号
TLVDS_IBUF_ADC_ADCEN	input	bank2/3 输入的 adc 使能信号
ADCINBK2A	input	adcvp from Bank2 GPIO
ADCINBK2B	input	adcvn from Bank2 GPIO
ADCINBK3A	input	adcvp from Bank3 GPIO
ADCINBK3B	input	adcvn from Bank3 GPIO
ADCINBK4A	input	adcvp from Bank4 GPIO
ADCINBK4B	input	adcvn from Bank4 GPIO
ADCINBK5A	input	adcvp from Bank5 GPIO
ADCINBK5B	input	adcvn from Bank5 GPIO

3.2.4 参数介绍

表 3-7 ADCULC 配置界面参数介绍

参数	默认	描述
ADC Select	ADCULC	ADCULC/ADCLRC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source

参数	默认	描述
		osc(2.5MHz) /CLK/IO
VSEN Control	不勾选	vsenctl 端口控制 勾选时生成的 ADC IP 无 vsenctl 信号
Sample Rate	64	sample rate configuration 4/8/16/32/64/128
Sample Count	1024	sample count configuration 64/128/256/512/1024/2048
Fscal Value	730(Temperature) 623(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Bank Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口 (Bank6/7 输入)
vtest (Voltage mode)	vcc	vcc
vdd09_0 (Voltage mode)	vccm	vccm
vdd09_1 (Voltage mode)	vdda_serdes_q0	vdda_serdes_q0/vddt_serdes_q0/vdda_mipi_m0/ vddd_mipi_m0/ vdda_mipi_m1/ vddd_mipi_m1
vdd09_2 (Voltage mode)	ADCINBK6	ADCINBK6/vcc/ ADCINBK7
Vdd18_0 (Voltage mode)	vddh_serdes_q0	vddh_serdes_q0/vccx_mipi_m0/ vccx_mipi_m1
Vdd18_1 (Voltage mode)	vccx	vccx
Vdd33 (Voltage mode)	vccio_bk6	vccio_bk6/ vccio_bk7

表 3-8 ADCLRC 配置界面参数介绍

参数	默认	描述
ADC Select	ADCULC	ADCULC/ADCLRC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source osc(2.5MHz) /CLK/IO
VSEN Control	不勾选	vsentcl 端口控制 勾选时生成的 ADC IP 无 vsentcl 信号
Sample Rate	64	sample rate configuration 4/8/16/32/64/128
Sample Count	1024	sample count configuration 64/128/256/512/1024/2048
Fscal Value	730(Temperature) 623(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	- 1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Bank Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口 (Bank2/3 输入)
vdd09_0 (Voltage mode)	vdda_serdes_q1	vdda_serdes_q1/vddt_serdes_q1/vcc/ADCINBK2/ADCINBK3
vdd09_1 (Voltage mode)	ADCINBK4	ADCINBK4/vcc/ ADCINBK5
vdd18_0 (Voltage mode)	vddh_serdes_q1	vddh_serdes_q1/ vccx
vdd18_1 (Voltage mode)	vccx	vccx
vdd33_0 (Voltage mode)	vccio_bk2	vccio_bk2/vccio_bk3
vdd33_1 (Voltage mode)	vccio_bk4	vccio_bk4/ vccio_bk5/vccio_bk10

3.2.5 ADC 例化(以 ADCULC 为例)

Verilog 例化:

```
Gowin_ADC Gowin_ADC_inst(  
    .adcrdy(adcrdy_o), //output adcrdy  
    .adcvalue(adcvalue_o), //output [13:0] adcvalue  
    .adcinbk6a(adcinbk6a_i), //input adcinbk6a  
    .adcinbk6b(adcinbk6b_i), //input adcinbk6b  
    .adcinbk7a(adcinbk7a_i), //input adcinbk7a  
    .adcinbk7b(adcinbk7b_i), //input adcinbk7b  
    .vsenctl(vsenctl_i), //input [2:0] vsenctl  
    .adcen(adcen_i), //input adcen  
    .clk(clk_i), //input clk  
    .drstn(drstn_i), //input drstn  
    .adcreqi(adcreqi_i) ,//input adcreqi  
    .fscal_value(fscal_value_i), //input [9:0] fscal_value  
    .offset_value(offset_value_i) //input [11:0] offset_value  
);
```

Vhdl 例化:

```
component Gowin_ADC  
port (  
    adcrdy: out std_logic;  
    adcvalue: out std_logic_vector(13 downto 0);  
    adcinbk6a: in std_logic;  
    adcinbk6b: in std_logic;  
    adcinbk7a: in std_logic;  
    adcinbk7b: in std_logic;  
    vsenctl: in std_logic_vector(2 downto 0);  
    adcen: in std_logic;  
    clk: in std_logic;  
    drstn: in std_logic;  
    adcreqi: in std_logic;
```

```
        fscal_value: in std_logic_vector(9 downto 0);
        offset_value: in std_logic_vector(11 downto 0)
    );
end component;
```

```
Gowin_ADC_inst: Gowin_ADC
```

```
port map (
    adcrdy => adcrdy_o,
    adcvalue => adcvalue_o,
    adcinbk6a => adcinbk6a_i,
    adcinbk6b => adcinbk6b_i,
    adcinbk7a => adcinbk7a_i,
    adcinbk7b => adcinbk7b_i,
    vsenctl => vsenctl_i,
    adcen => adcen_i,
    clk => clk_i,
    drstn => drstn_i,
    adcreqi => adcreqi_i,
    fscal_value => fscal_value_i,
    offset_value => offset_value_i
);
```

4 ADC 配置及调用

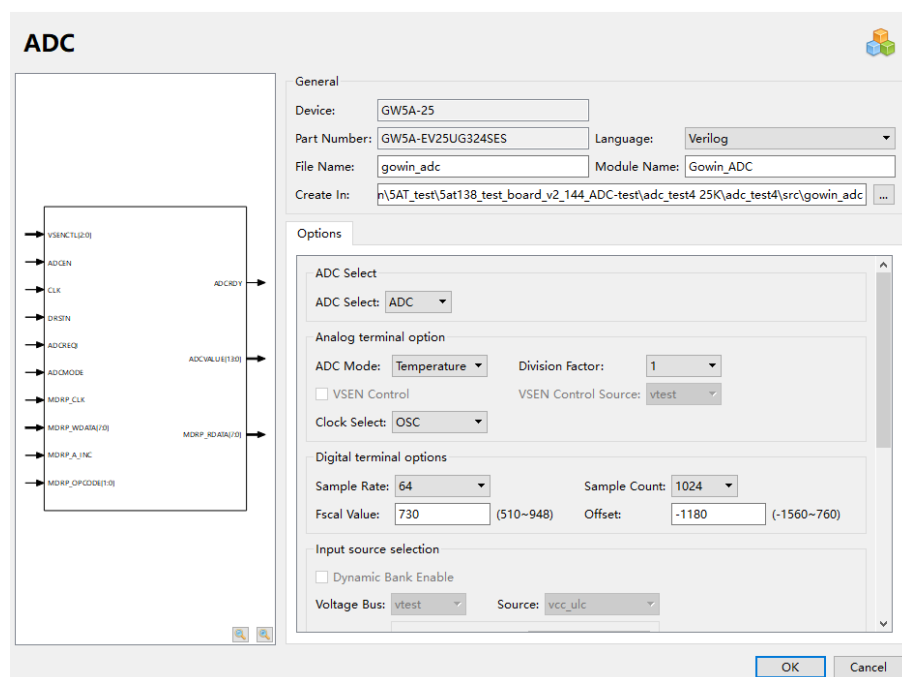
在高云半导体云源®软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 ADC。

以下介绍以 GW5A-25 ADC 温度配置为例。

4.1 ADC 配置

ADC 温度配置界面如图 4-1 所示。

图 4-1 ADC 配置页面



4.2 ADC 生成文件

ADC 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin_adc.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 Gowin_ADC；
- IP 设计使用模板文件“gowin_adc_tmp.v”，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin_adc.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

