



# Arora V 60K FPGA 产品 编程配置手册

UG718-1.0.1, 2024-06-28

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2024/05/22	1.0	初始版本。
2024/06/28	1.0.1	更新配置文件大小及 MSPI 模式数据流文件加载时长相关描述。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	v
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	3
<b>2 名词解释 .....</b>	<b>4</b>
<b>3 配置接口 .....</b>	<b>6</b>
3.1 配置模式 .....	6
3.2 配置管脚 .....	7
3.3 主模式配置时钟 .....	16
3.4 JTAG 配置模式 .....	16
3.4.1 JTAG 配置模式连接示意图 .....	16
3.4.2 JTAG 配置模式时序图 .....	17
3.4.3 JTAG 相关配置流程 .....	18
3.5 SSPI 配置模式 .....	29
3.5.1 SSPI 配置模式连接示意图 .....	29
3.5.2 SSPI 配置模式时序图 .....	31
3.5.3 SSPI 常用配置指令 .....	31
3.5.4 SSPI 配置 SRAM .....	34
3.5.5 SSPI 编程 Flash .....	34
3.5.6 SSPI x4 配置 SRAM .....	36
3.6 MSPI 配置模式 .....	37
3.6.1 MSPI 配置模式连接示意图 .....	38
3.6.2 MSPI 配置模式时序图 .....	40
3.6.3 MSPI 模式配置流程 .....	41
3.7 CPU 配置模式 .....	42
3.7.1 CPU 配置模式连接示意图 .....	42

3.7.2 配置时序 .....	43
3.7.3 连续加载 .....	44
3.7.4 非连续加载.....	44
3.8 SERIAL 配置模式 .....	45
3.8.1 SERIAL 配置模式连接示意图 .....	45
3.9 菊花链 .....	46
3.9.1 串行菊花链.....	46
3.9.2 并行菊花链.....	47
<b>4 配置细节 .....</b>	<b>48</b>
4.1 配置须知 .....	48
4.2 配置流程 .....	50
4.2.1 上电时序 .....	52
4.2.2 初始化 .....	52
4.2.3 配置.....	53
4.2.4 唤醒.....	53
4.2.5 用户模式 .....	53
4.3 安全性考虑.....	53
4.4 比特流文件配置 .....	54
4.4.1 配置选项设置 .....	55
4.4.2 配置数据加密 .....	55
4.4.3 配置文件大小 .....	63
4.4.4 配置文件加载时长.....	65
4.5 SPI Flash 选择.....	66
<b>5 状态寄存器及 Efuse 定义.....</b>	<b>67</b>
5.1 状态寄存器.....	67
5.2 OTP Efuse .....	69
<b>6 多重配置和背景升级 .....</b>	<b>70</b>
6.1 多重配置流程 .....	70
6.2 背景升级和 Hotboot .....	71

# 图目录

图 3-1 配置管脚复用设置.....	15
图 3-2 主模式配置时钟结构 .....	16
图 3-3 JTAG 配置模式连接示意图 .....	16
图 3-4 JTAG 接口编程外部 Flash 连接示意图 .....	17
图 3-5 JTAG 配置模式时序图 .....	17
图 3-6 TAP 状态机 .....	18
图 3-7 指令寄存器访问时序 .....	19
图 3-8 数据寄存器访问时序 .....	20
图 3-9 读取 ID Code 状态机流程图.....	21
图 3-10 读取 ID Code 指令-0x11 访问时序 .....	21
图 3-11 读取 ID Code 数据寄存器访问时序 .....	22
图 3-12 配置 SRAM 流程.....	24
图 3-13 编程 SPI Flash 流程示意图.....	25
图 3-14 GOWIN Arora V JTAG 模拟 SPI 发送 0x06 指令时序图.....	26
图 3-15 SVF 模式编程 Flash 流程图.....	26
图 3-16 配置 OTP 流程图 .....	27
图 3-17 读取 OTP 数据流程图 .....	28
图 3-18 SSPI 配置模式连接示意图.....	29
图 3-19 多 FPGA 连线示意图 .....	29
图 3-20 SSPI 编程外部 Flash 连接示意图 .....	30
图 3-21 SSPI 配置模式时序图 .....	31
图 3-22 读取 ID Code 时序示意图 .....	32
图 3-23 Write Enable (0x15) 时序示意图.....	33
图 3-24 Write Disable (0x3A00) 时序示意图 .....	33
图 3-25 Write Data (0x3B) 时序示意图.....	33
图 3-26 SSPI 配置 SRAM 流程图.....	34
图 3-27 SSPI 配置 Flash 流程图.....	35
图 3-28 QSSPI 配置 SRAM 流程图 .....	36
图 3-29 QSSPI 配置模式连接示意图 .....	37

图 3-30 QSSPI Write Data (0x6B)时序图.....	37
图 3-31 MSPIx1 配置模式连接示意图 .....	38
图 3-32 MSPIx2 配置模式连接示意图 .....	38
图 3-33 MSPIx4 配置模式连接示意图 .....	39
图 3-34 MSPI 配置模式时序图 .....	40
图 3-35 MSPI 模式配置流程图 .....	41
图 3-36 CPU 配置模式连接示意图 .....	42
图 3-37 CPU Mode 配置时序示意图.....	43
图 3-38 连续加载时序图 .....	44
图 3-39 非连续加载时序图.....	44
图 3-40 SERIAL 配置模式连接示意图 .....	45
图 3-41 SERIAL 配置模式时序图 .....	45
图 3-42 串行菊花链示意图.....	47
图 3-43 并行菊花链示意图.....	47
图 4-1 上电流程示意图 .....	48
图 4-2 重新上电时序图 .....	49
图 4-3 触发时序图.....	49
图 4-4 高云半导体 FPGA 配置流程图.....	51
图 4-5 POR 上电时序图.....	52
图 4-6 配置选项 .....	55
图 4-7 加密密钥设置方法.....	56
图 4-8 解密密钥设置方法.....	57
图 4-9 AES 编程对话框 .....	58
图 4-10 Prepare.....	59
图 4-11 Read AES Key Flow .....	60
图 4-12 Program AES Key Flow.....	61
图 4-13 Program AES Key2 Flow.....	62
图 4-14 Lock AES Key Flow .....	63
图 4-15 比特流格式生成 .....	64
图 4-16 上电流程示意图 .....	65
图 6-1 多重配置流程示意图 .....	71

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 名词解释 .....	4
表 3-1 配置模式选择 (MODE [1:0]) .....	6
表 3-2 配置模式选择 (MODE [2:0]) .....	7
表 3-3 器件配置管脚列表 (1 of 2) .....	8
表 3-4 器件配置管脚列表 (2 of 2) .....	9
表 3-5 管脚定义 .....	10
表 3-6 配置管脚复用选项 .....	14
表 3-7 JTAG 配置模式时序参数 .....	18
表 3-8 Arora V FPGA IDCODE .....	20
表 3-9 发送指令过程中 TDI 和 TMS 的值变化 .....	20
表 3-10 SSPI 配置模式时序参数 .....	31
表 3-11 配置指令 .....	32
表 3-12 MSPI 配置模式时序参数 .....	40
表 3-13 CPU 配置模式时序参数 .....	43
表 3-14 SERIAL 配置模式时序参数 .....	46
表 4-1 Arora V FPGA 产品重新上电和 RECONFIG_N 触发时序参数 .....	50
表 4-2 不同器件 POR 模块监控电源轨 .....	52
表 4-3 Arora V FPGA 产品配置文件大小 (最大情况) .....	64
表 4-4 MSPI 模式数据流文件加载时长 .....	65
表 4-5 SPI Flash 操作指令 .....	66
表 5-1 GW5A-60 Status Register .....	67
表 5-2 GW5AT-60 OTP 定义 .....	69



# 1 关于本手册

## 1.1 手册内容

本手册主要介绍高云半导体 Arora V 60K FPGA 产品编程配置方面的通用特性及功能，旨在帮助用户更好地使用 Gowin FPGA 产品。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [UG1222, GW5AT-60 器件 Pinout 手册](#)
- [UG1229, GW5A-60 器件 Pinout 手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	描述
Background Programming	Embedded Flash Background Programming	是指在不影响 FPGA 当前运行的功能和 I/O 状态的情况下，对内置 Flash 的数据流文件进行更新。
Bitstream	Bitstream Data	配置 FPGA SRAM 的数据
Bscan	Boundary Scan	边界扫描测试技术
Configuration	Configuration	配置 FPGA SRAM 区域的过程
Configuration Data	Configuration Data	配置 FPGA SRAM 的数据
Configuration Mode	Configuration Mode	配置模式，决定 Configuration Data 源。
CPU	Central Processing Unit	中央处理器
CRC	Cyclic Redundancy Check	循环冗余校验
Edit Mode	Edit Mode	FPGA 处于 Configuration 或 Programming 所在模式

术语、缩略语	全称	描述
EFlash/EmbFlash	Embedded Flash	FPGA 内置 Flash 存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
FS file	Fuses file	包含配置数据的 ASCII 文件
GPIO	General Purpose Input Output	通用输入、输出接口
I2C (I <sup>2</sup> C、IIC)	Inter-Integrated Circuit	集成电路总线
ID	Identification	身份标识号
IEEE	Institute of Electrical and Electronics Engineers	电气和电子工程师协会
Internal Flash	Internal Flash	同 Embedded Flash
JTAG	Joint Test Action Group	联合测试行动组
LSB	Least Significant Bit	最低有效位 (优先)
LUT	Look-up Table	查找表
MSB	Most Significant Bit	最高有效位 (优先)
MSPI	Master Serial Peripheral Interface	主串行外设接口
Programming	Programming	将 Configuration Data 烧录到 Embedded Flash 或 External Flash 存储器的过程
SCL	Serial Clock	I2C 上的时钟线
SDA	Serial Data	I2C 上的数据线
Security Bit	Security Bit	安全位 (使 SRAM 回读永为高电平)
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存储器
SSPI	Slave Serial Peripheral Interface	从串行外设接口
TAP	Test Access Port	测试访问口
User Mode	User Mode	FPGA 在编程或配置完成过后, 执行相应逻辑功能的模式。

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 名词解释

本章主要介绍高云半导体 Arora V FPGA 产品编程配置过程中常用的一些名词及含义，帮助用户熟悉高云半导体 Arora V FPGA 产品编程配置相关的概念。

**表 2-1 名词解释**

名词	释义
编程 (Program)	将高云半导体云源软件生成的比特流数据写入到FPGA内置Flash或者与FPGA相连的外部SPI Flash的过程。
配置 (Configure)	将高云半导体云源软件生成的比特流数据通过外部接口或内置Flash加载到FPGA的SRAM存储区的过程。
MODE[2:0]	与GowinCONFIG相关的三个MODE管脚的值的表示方法。
MSPI配置	FPGA作为主器件 (master)，通过SPI接口主动从外部Flash读取比特流数据进行配置的过程。
SSPI配置	FPGA作为从器件 (slave)，外部主机 (master) 通过SPI接口写入比特流数据进行配置的过程。
SERIAL配置	FPGA作为从器件 (slave)，外部主机 (master) 通过串行接口写入比特流数据进行配置的过程。
CPU配置	FPGA作为从器件 (slave)，外部主机 (master) 通过并行接口 (数据位宽8-bit) 写入比特流数据进行配置的过程。
多重配置 (MULTI BOOT)	MSPI配置模式的衍生概念，是指FPGA从外部Flash的不同地址读取比特流数据进行配置的过程。用户在前一个比特流数据中写入后一次配置的比特流数据的加载地址，在器件不掉电的情况下通过触发RECONFIG_N切换数据流文件完成配置。支持MSPI配置模式的FPGA产品均支持此模式。
远程升级	用户的一种应用场景，即在FPGA启动工作后，若有升级需求，先通过远程操作将比特流数据写入到外部Flash中，通过触发RECONFIG_N或重新上电使FPGA读取外部Flash完成配置的过程。
菊花链	FPGA器件以串行的方式依次连接起来的一种方式，可以从链首按照连接顺序依次对器件进行配置，只有相邻的器件之间才能传输数据。
用户模式 (User Mode)	FPGA完成一次配置操作后，将控制权移交给用户的行为。配置管脚复用为普通I/O的设置仅在用户模式下生效。
编辑模式 (Edit Mode)	可以对FPGA进行编程或配置操作的模式。 编辑模式下所有的配置管脚无法作为普通I/O使用，所有的普通管脚输出为

名词	释义
	高阻态（背景升级除外）。
ID CODE	高云半导体FPGA器件的身份标识，每一个系列的器件具有独立的编号。
USER CODE	用户为自己所使用的FPGA器件进行的身份标识，可以通过Gowin编程软件写入到器件中，最高可支持32-bit。
安全位（Security Bit）	高云半导体为保护FPGA产品配置数据运行时的安全性所做的特殊设计。用户将设置了安全位的比特流数据写入器件SRAM后，任何人都将无法进行数据回读操作。云源软件默认为所有FPGA产品的比特流数据设置了安全位。
加密（Encryption）	晨熙(Arora)家族FPGA产品支持的特性，加密的比特流数据写入FPGA后，器件自行与事先存储的密钥匹配，匹配成功后进行解密并唤醒器件；匹配失败后器件无法工作。

# 3 配置接口

## 3.1 配置模式

表 3-1 配置模式选择 (MODE [1:0])

配置模式	MODE[1:0] <sup>[1]</sup>	Bus Width	相关说明
JTAG	XX <sup>[2]</sup>	-	外部 Host 通过 JTAG 接口对 Arora V FPGA 产品进行配置
MSPI	01	x1,x2,x4	FPGA 作为 Master, 通过 SPI 接口从外部 Flash (或其他器件) 读取配置数据进行配置
Master SERIAL	01	x1	FPGA 作为 Slave 以前, 通过 DIN 接口从外部读取配置数据进行配置
Slave SERIAL	11	x1	外部 Host 通过 DIN 接口对 Arora V FPGA 产品进行配置
Master CPU	00	x8,x16	FPGA 作为 Slave 以前, 通过 DBUS 接口从外部读取配置数据进行配置
Slave CPU	10		外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置

**注!**

- <sup>[1]</sup>对于一些 MODE 管脚没有全部封装出来的器件, 需要查看 PINOUT 手册确认 MODE 脚状态。
- <sup>[2]</sup>JTAG 配置模式与 MODE[1:0]输入值无关。
- <sup>[3]</sup>该表格适用于 GW5AT-60 器件的 UG225 封装。
- <sup>[4]</sup>MSPI 失败之后 会自动进入 SSPI 模式, 支持 x1,x2,x4。

表 3-2 配置模式选择 (MODE [2:0])

配置模式	MODE[2:0] <sup>[1]</sup>	Bus Width	相关说明
JTAG	XXX <sup>[2]</sup>	-	外部 Host 通过 JTAG 接口对 Arora V FPGA 产品进行配置
MSPI	010/011/101	x1,x2,x4	FPGA 作为 Master, 通过 SPI 接口从外部 Flash (或其他器件) 读取配置数据进行配置
Master SERIAL	010/011/101	x1	FPGA 作为 Slave 以前, 通过 DIN 接口从外部读取配置数据进行配置
Slave SERIAL	000/100	x1	外部 Host 通过 DIN 接口对 Arora V FPGA 产品进行配置
Master CPU	001	x8,x16	FPGA 作为 Slave 以前, 通过 DBUS 接口从外部读取配置数据进行配置
Slave CPU	110/111		外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置

注!

- <sup>[1]</sup>对于一些 MODE 管脚没有全部封装出来的器件, 需要查看 PINOUT 手册确认 MODE 脚状态。
- <sup>[2]</sup> JTAG 配置模式与 MODE[2:0]输入值无关。
- <sup>[3]</sup>该表格适用于 GW5AT-60 器件的 PG484A 封装。
- <sup>[4]</sup>MSPI 失败之后 会自动进入 SSPI 模式, 支持 x1,x2,x4。

## 3.2 配置管脚

高云半导体 Arora V FPGA 产品编程配置相关的管脚既能够完成配置功能, 又可以设置为普通的 I/O, 用户可根据实际使用情况进行选择。用户也可以根据配置管脚的功能对其灵活控制, 满足一些特殊需求。60K 器件所有与配置相关的管脚如表 3-3 及表 3-4 所示, 表中也标注了每种配置模式使用到的管脚及芯片封装过程中的管脚共用情况。

注!

在复用配置 IO 的情况下, 要特别注意某些配置 IO 在上电及配置过程中有状态要求, 不然可能会影响器件正常加载。在通用 IO 满足数量需求的情况下, 不建议客户复用配置 IO。

表 3-3 器件配置管脚列表 (1 of 2)

管脚名称	Bank	JTAG (Only)	Slave Serial	Master Serial	Master SPI		
					x1	x2	x4
MODE [2:0]	7		M[2:0]=100/00 0	M[2:0]= 010/011/101	M[2:0]= 010/011/101	M[2:0]= 010/011/101	M[2:0]= 010/011/101
MODE [1:0]	7		M[1:0]=11	M[1:0]=01	M[1:0]=01	M[1:0]=01	M[1:0]=01
RECONFIG_N	10	√	√	√	√	√	√
READY	10	√	√	√	√	√	√
DONE	10	√	√	√	√	√	√
TCK	10	TCK	TCK	TCK	TCK	TCK	TCK
TMS	10	TMS	TMS	TMS	TMS	TMS	TMS
TDI	10	TDI	TDI	TDI	TDI	TDI	TDI
TDO	10	TDO	TDO	TDO	TDO	TDO	TDO
CCLK	10	-	CCLK	CCLK	CCLK	CCLK	CCLK
CFGUP	11	√	√	√	√	√	√
PUDC_B	3/4 <sup>[1]</sup>	√	√	√	√	√	√
EMCCLK	3/4	-	-	EMCCLK	EMCCLK	EMCCLK	EMCCLK
CSI_B	3/4	-	-	-	-	-	-
DOUT_CSO_B	3/4	-	DOUT	DOUT	-	-	-
RDWR_B	3/4	-	-	-	-	-	-
MCS_N	3/4	-	-	-	MCS_N	MCS_N	MCS_N
D00_MOSI	3/4	-	-	-	MOSI	MOSI/D00	MOSI/D00
D01_DIN	3/4	-	DIN	DIN	D01	D01	D01
D02	3/4	-	-	-	-	-	D02
D03	3/4	-	-	-	-	-	D03
SSPI_CS_N	3/4	-	-	-	-	-	-
D05_SI	3/4	-	-	-	-	-	-
D06_SSPI_CLK	3/4	-	-	-	-	-	-
D07_SSPI_WPN	3/4	-	-	-	-	-	-
D08_SO	3/4	-	-	-	-	-	-
CLKHOLD_N	3/4	-	-	-	-	-	-
D04	3/4	-	-	-	-	-	-
D[09-15]	3/4	-	-	-	-	-	-
D[16-31]	3/4	-	-	-	-	-	-



表 3-4 器件配置管脚列表 (2 of 2)

管脚名称	Bank	Master CPU			Slave CPU		
		X8	X16	x1	X8	X16	X32
MODE (C 模式) [2:0]	7		M[2:0]=001	M[2:0]=001	M[2:0]=110/111	M[2:0]=110/111	
MODE (S 模式) [1:0]	7	M[1:0]=00	M[1:0]=00		M[1:0]=10	M[1:0]=10	
RECONFIG_N	10	√	√	√	√	√	√
READY	10	√	√	√	√	√	√
DONE	10	√	√	√	√	√	√
TCK	10	TCK	TCK	TCK	TCK	TCK	TCK
TMS	10	TMS	TMS	TMS	TMS	TMS	TMS
TDI	10	TDI	TDI	TDI	TDI	TDI	TDI
TDO	10	TDO	TDO	TDO	TDO	TDO	TDO
CCLK	10	CCLK	CCLK	CCLK	CCLK	CCLK	CCLK
CFGUP	11	√	√	√	√	√	√
PUDC_B	3/4	√	√	√	√	√	√
EMCCLK	3/4	EMCCLK	EMCCLK	EMCCLK	-	-	-
CSI_B	3/4	CSI_B	CSI_B	CSI_B	CSI_B	CSI_B	CSI_B
DOUT_CSO_B	3/4	CSO_B	CSO_B	CSO_B	CSO_B	CSO_B	CSO_B
RDWR_B	3/4	RDWR_B	RDWR_B	RDWR_B	RDWR_B	RDWR_B	RDWR_B
MCS_N	3/4	-	-	-	-	-	-
D00_MOSI	3/4	D00	D00	D00	D00	D00	D00
D01_DIN	3/4	D01	D01	D01	D01	D01	D01
D02	3/4	D02	D02	D02	D02	D02	D02
D03	3/4	D03	D03	D03	D03	D03	D03
SSPI_CS_N	3/4	-	-	-	-	-	-
D05_SI	3/4	D05	D05	D05	D05	D05	D05
D06_SSPI_CLK	3/4	D06	D06	D06	D06	D06	D06
D07_SSPI_WPN	3/4	D07	D07	D07	D07	D07	D07
D08_SO	3/4	-	D08	D08	D08	D08	D08
CLKHOLD_N	3/4	-	-	-	-	-	-
D04	3/4	-	D04	D04	D04	D04	D04
D[09-15]	3/4	-	D[09-15]	D[09-15]	-	D[09-15]	D[09-15]
D[16-31]	3/4	-	-	D[16-31]	-	-	D[16-31]

配置相关的管脚如表 3-5 所示

表 3-5 管脚定义

管脚名称	功能描述
MODE	<p>配置模式选择信号。</p> <p>作为配置管脚时，类型为输入，内部弱上拉，最多可达 3-bit 位宽。</p> <p>FPGA 在上电或低脉冲触发 RECONFIG_N 后，器件根据 MODE 值进入相应的配置模式，高云半导体每个系列的 FPGA 产品 MODE 值对应的配置模式略有不同。由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部已接地，具体请参考相应器件的 PINOUT 手册。</p> <p>MODE 管脚作为 GPIO 时，可用作 input 或 output 类型。</p> <p><b>注！</b></p> <p>当 MODE 值改变时，需要重新上电或低脉冲触发 RECONFIG_N 才能生效。</p>
RECONFIG_N	<p>作为配置管脚时，类型为输入，具有内部弱上拉。低电平有效，FPGA 编程配置的重新配置触发功能，RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。在上电及配置过程中务必保持高电平，器件配置完成之后可以释放。</p> <p>作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置。用户逻辑控制情况下，确保上电及配置过程中此管脚保持高电平状态。</p> <p>复用为 GPIO 时，只能用作 output 类型。为保障配置过程顺利进行，用户复用 RECONFIG_N 管脚时需将其初始值置为高电平且上电过程中外部不能拉低。</p>
READY	<p>inout 类型管脚，内部弱上拉，open-drain 输出。高电平有效，只有 READY 拉高时 FPGA 才能进行配置操作。</p> <p>此管脚可以指示 FPGA 当前状态是否可以配置：当器件具备配置条件时，READY 信号为高电平；若上电过程未完成或复位未完成，READY 信号为低电平。</p> <p>用户也可以通过外部拉低 READY 信号以延迟主动加载过程。</p> <p>作为 GPIO 时，可复用为 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证在上电及配置过程中不被外部电路拉低，否则 FPGA 可能无法正常配置。</p>
DONE	<p>inout 类型管脚，内部弱上拉，open-drain 输出。FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。</p> <p>作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功：</p> <ul style="list-style-type: none"> <li>● DONE 信号为高电平，表示器件已经被唤醒进入工作状态；</li> <li>● DONE 信号为低电平，表示配置过程未完成或配置失败。</li> </ul> <p>用户可通过外部人为拉低 DONE 信号以延迟器件唤醒过程。</p> <p>RECONFIG_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。DONE 用作 input 类型</p>

管脚名称	功能描述
	的 GPIO 时需保证在上电及配置过程中不被外部电路拉低, 否则配置结束后 FPGA 无法进入用户模式。
TCK	<p>作为配置管脚时, 类型为输入。</p> <p>JTAG 配置模式的串行时钟输入管脚。</p> <p>作为 GPIO 时, 可用作 input 或 output 类型。</p> <p><b>注!</b></p> <p>作为 GPIO 时, 需确保器件上电加载过程中管脚状态稳定, 以防误触发 JTAG 指令。</p>
TMS	<p>作为配置管脚时, 类型为输入, 内部弱上拉。</p> <p>JTAG 配置模式的串行模式输入管脚。作为 GPIO 时, 可用作 input 或 output 类型。</p>
TDI	<p>作为配置管脚时, 类型为输入, 内部弱上拉。</p> <p>JTAG 配置模式的串行数据输入管脚。作为 GPIO 时, 可用作 input 或 output 类型。</p>
TDO	<p>作为配置管脚时, 类型为输出。</p> <p>JTAG 配置模式的串行数据输出管脚。作为 GPIO 时, 可用作 input 或 output 类型。</p>
CCLK	<p>配置时钟管脚, 用于除 JTAG 和 SSPI 模式以外其他配置模式下的同步时钟。</p> <ul style="list-style-type: none"> <li>对于从模式: CCLK 作为输入, 需要连接外部时钟源。</li> <li>对于主模式: CCLK 作为输出, 作为配置源时钟。</li> </ul> <p><b>注!</b></p> <p>CCLK 为关键时钟信号, 需确保良好的信号完整性。</p>
PUDC_B	<p>作为配置管脚时, 类型为输入。</p> <ul style="list-style-type: none"> <li>当 PUDC_B 为低电平时, 器件配置期间使能所有 GPIO 的内部上拉电阻。</li> <li>当 PUDC_B 为高电平时, 器件配置期间禁止所有 GPIO 的内部上拉电阻。</li> </ul> <p>PUDC_B 必须直接连接或通过 1 k<math>\Omega</math> (或更强) 电阻, 连接到 VCCO3/4 或 GND。</p>
EMCCLK	<p>作为配置管脚时, 类型为输入。用于配置主模式下可选的外部时钟输入源 (相对于内部配置振荡器)。</p> <ul style="list-style-type: none"> <li>对于主模式: FPGA 可以选择切换到 EMCCLK 作为时钟源。</li> <li>对于 JTAG 和从模式: EMCCLK 可以不连接。</li> </ul>
CSI_B	<p>作为配置管脚时, 类型为输入。CPU 模式下的片选输入信号, 低电平有效。</p> <ul style="list-style-type: none"> <li>对于主 CPU 模式: 直接或通过一个 1 k<math>\Omega</math> (或更小) 的电阻连接到 GND。</li> <li>对于从 CPU 模式: 外部配置控制器可以控制 CSI_B 选择总线上待配置的器件, 或在菊花链配置中连接到上游 FPGA 的 CSO_B 管脚。</li> </ul>
CSO_B	<p>作为配置管脚时, 类型为输出。CPU 模式下的片选输出信号, 在菊花链配置中连接到下游 FPGA 的 CSI_B 管脚</p>

管脚名称	功能描述
DOUT	<p>作为配置管脚时，类型为输出。DOUT 是菊花链串行配置的数据输出。</p> <ul style="list-style-type: none"> <li>对于 Serail 和 SPI（仅限 x1）模式：在串行菊花链中连接到下游 FPGA 的 DIN 管脚，作为后一个器件的数据输入。</li> </ul>
RDWR_B	<p>作为配置管脚时，类型为输入。</p> <p>CPU 配置模式的读写使能信号选择管脚：当 RDWR_B 为高电平时表示读操作；当 RDWR_B 为低电平时表示写操作。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
MCS_N	<p>作为配置管脚时，类型为输出。</p> <p>MSPI 配置模式的片选信号，低电平有效。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
MOSI	<p>作为配置管脚时，类型为输出，接外部 Flash 的 SI 管脚。SPIx2 x4 线模式为双向。</p> <p>MSPI 配置模式的串行数据输出管脚。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
MISO	<p>作为配置管脚时，类型为输入，接外部 FLASH 的 SO 脚。SPIx2 x4 线模式为双向。</p> <p>MSPI 配置模式的串行数据输入管脚。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
MI2	<p>作为配置管脚时，类型为输出。SPIx4 线模式为双向。</p> <p>MSPI 写保护管脚：当输出高电平时，MSPI 对应的操作有效；当输出低电平时，MSPI 对应的操作无效。可通过 4.7k 电阻上拉到对应 bank 的 VCCIO。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
MI3	<p>作为配置管脚时，类型为输出，内部弱上拉。SPIx4 线模式为双向。</p> <p>MSPI 时钟锁定管脚：低电平有效。可通过 4.7k 电阻上拉到对应 bank 的 VCCIO。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
DIN	<p>作为配置管脚时，类型为输入。DIN 是串行数据输入管脚。</p> <ul style="list-style-type: none"> <li>对于 Serial 和 MSPI 模式：DIN 从数据源接收串行数据，默认配置下在 CCLK 上升沿采集数据。</li> <li>对于 CPU 模式：DIN 引脚是多功能管脚，用作 D01 数据管脚。</li> </ul> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
D0~D31	<p>inout 类型管脚。</p> <ul style="list-style-type: none"> <li>对于 CPU 模式，作为数据输入输出管脚。器件会自适应检测配置模式为 x8、x16 或者 x32 总线宽度。</li> <li>作为 GPIO 时，可用作 input 或 output 类型。</li> </ul>
SSPI_CS_N	<p>作为配置管脚时，类型为输入可通过 4.7k 电阻上拉到对应 Bank 的 VCCIO。</p> <p>SSPI 配置模式的片选信号，低电平有效。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。</p>
SSPI_CLK	<p>作为配置管脚时，类型为输入。</p> <p>SSPI 配置模式的时钟输入管脚。</p>

管脚名称	功能描述
	作为 GPIO 时，可用作 input 或 output 类型。
SI	作为配置管脚时，类型为输入。 SSPI 配置模式的串行数据输入管脚。 作为 GPIO 时，可用作 input 或 output 类型。
SO	作为配置管脚时，类型为输出。 SSPI 配置模式的串行数据输出管脚。 作为 GPIO 时，可用作 input 或 output 类型。
CLKHOLD_N	作为配置管脚时，类型为输入，可通过 4.7k 电阻上拉到对应 Bank 的 VCCIO。 SSPI 时钟锁定管脚：低电平有效。 作为 GPIO 时，可用作 input 或 output 类型。
SSPI_WPN	作为配置管脚时，类型为输入，可通过 4.7k 电阻上拉到对应 Bank 的 VCCIO。 SSPI 写保护管脚：当输入高电平时，SSPI 对应的操作有效；当输入低电平时，SSPI 对应的操作无效。 作为 GPIO 时，可用作 input 或 output 类型。

### 配置管脚复用

为最大化地提高 I/O 的利用率，高云半导体的 FPGA 产品支持将配置管脚设置为普通 I/O 使用。所有系列的 FPGA 上电后未进行任何配置操作之前，与配置相关的管脚均默认作为配置管脚使用。配置成功后，器件进入用户模式，按照用户选择的复用选项重新分配管脚的功能。

#### 注！

用户设置管脚复用选项时，需确保管脚的外部初始连接状态不影响器件的配置过程。

配置管脚复用选项如表 3-6 所示。

表 3-6 配置管脚复用选项

设置名称	设置选项	说明
JTAG PORT <sup>[1]</sup>	默认状态	TMS, TCK, TDI, TDO 作为专用配置管脚。
	设置为普通 I/O	TMS, TCK, TDI, TDO 在配置结束后作为 GPIO。
CPU PORT	默认状态	CSI_B, CSO_B, RDWR_B, D[0-31]和 CCLK 作为专用配置管脚。
	设置为普通 I/O	CSI_B, CSO_B, RDWR_B, D[0-31]和 CCLK 在配置结束后作为 GPIO。
SSPI PORT	默认状态	SSPI_CS_N, SSPI_CLK, SI, SO, CLKHOLD_N 和 SSPI_WPN 作为专用配置管脚。
	设置为普通 I/O	SSPI_CS_N, SSPI_CLK, SI, SO, CLKHOLD_N 和 SSPI_WPN 在配置结束后作为 GPIO。
MSPI PORT	默认状态	MCS_N, MISO, MOSI, D02, D03 和 CCLK 作为专用配置管脚。
	设置为普通 I/O	MCS_N, MISO, MOSI, D02, D03 和 CCLK 在配置结束后作为 GPIO。
SERIAL	默认状态	DIN, DOUT 和 CCLK 作为专用配置管脚。
	设置为普通 I/O	DIN, DOUT 和 CCLK 在配置结束后作为 GPIO。
RECONFIG_N	默认状态	专用配置管脚
	设置为普通 I/O	配置结束后作为 GPIO output
READY	默认状态	专用配置管脚
	设置为普通 I/O	配置结束后作为 GPIO
DONE	默认状态	专用配置管脚
	设置为普通 I/O	配置结束后作为 GPIO

注！

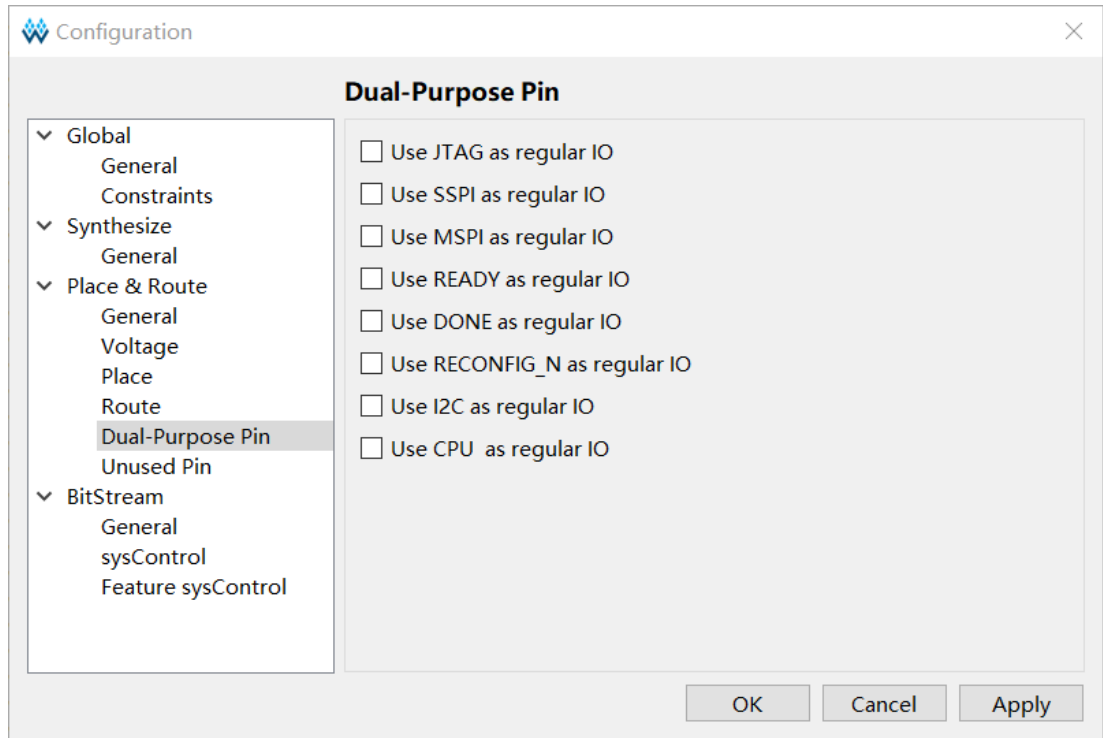
- [1] 可以通过内部逻辑控制 JTAG\_SEL\_N 信号，将 JTAG 管脚恢复为配置 IO。
- [2] JTAG 复用的情况下需确保上电加载过程中 TCK 或者 TMS 状态稳定，以防错误触发 JTAG 指令影响正常加载。

### 高云半导体云源软件配置管脚复用

通过高云半导体云源软件配置管脚复用：

1. 打开高云半导体云源软件中相应的工程；
2. 在菜单栏中选择“Project > Configuration > Dual-Purpose Pin”，如图 3-1 所示；
3. 勾选对应选项设置配置管脚的复用情况。

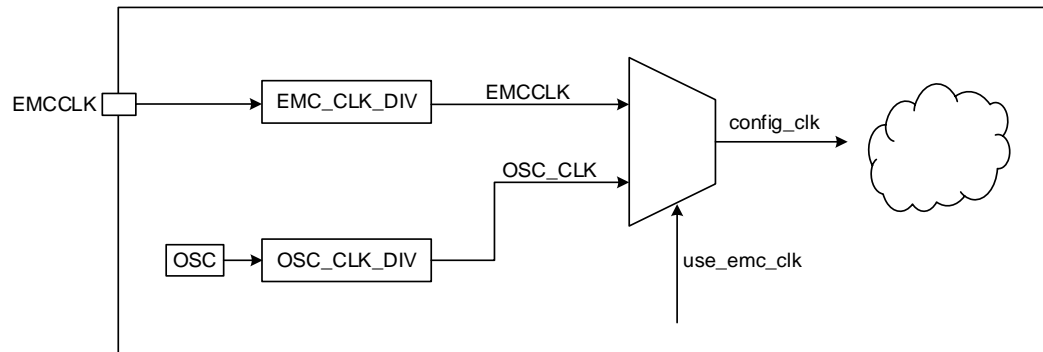
图 3-1 配置管脚复用设置



### 3.3 主模式配置时钟

主模式接口（包括主 CPU 模式、主串行模式和主 SPI 模式）的配置时钟有两个可选源：片上振荡器和外部参考时钟。默认情况下使用片上振荡器时钟作为时钟源。经过 EDA 配置 `emc_clk` 选择指令以及 `EMC_CLK_DIV`，外部时钟源也可以用作配置时钟源，且包含多个分频选项。下图说明了配置时钟结构。

图 3-2 主模式配置时钟结构



### 3.4 JTAG 配置模式

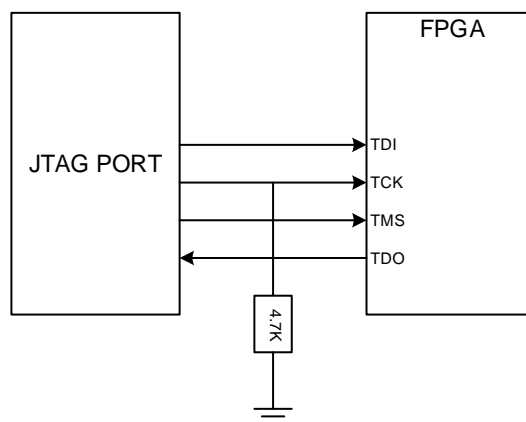
高云半导体 FPGA 产品的 JTAG 配置模式符合 IEEE1532 标准和 IEEE1149.1 边界扫描标准。

JTAG 配置模式是将比特流数据写入到高云半导体 FPGA 产品的 SRAM 中，掉电后配置数据丢失。高云半导体所有封装的 FPGA 产品均支持 JTAG 配置模式。

#### 3.4.1 JTAG 配置模式连接示意图

JTAG 配置模式器件连接关系如图 3-3 所示，具体连接可以参考原理图指导手册。

图 3-3 JTAG 配置模式连接示意图



注！

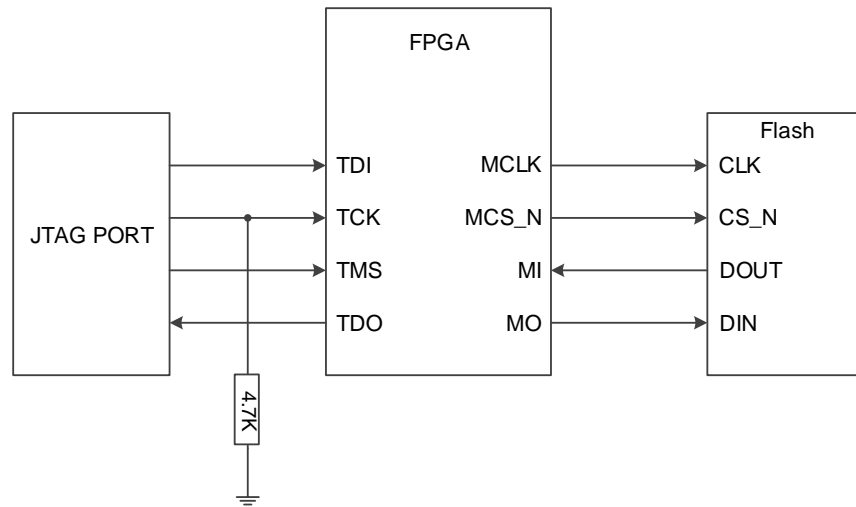
JTAG 配置模式时钟频率不能高于 100MHz。

除了进行常规的 JTAG 配置 SRAM 操作外，高云半导体 FPGA 产品的



外部 SPI Flash 的编程操作也可通过 JTAG 管脚进行，外部 SPI Flash 的编程操作请参考图 3-4。

图 3-4 JTAG 接口编程外部 Flash 连接示意图



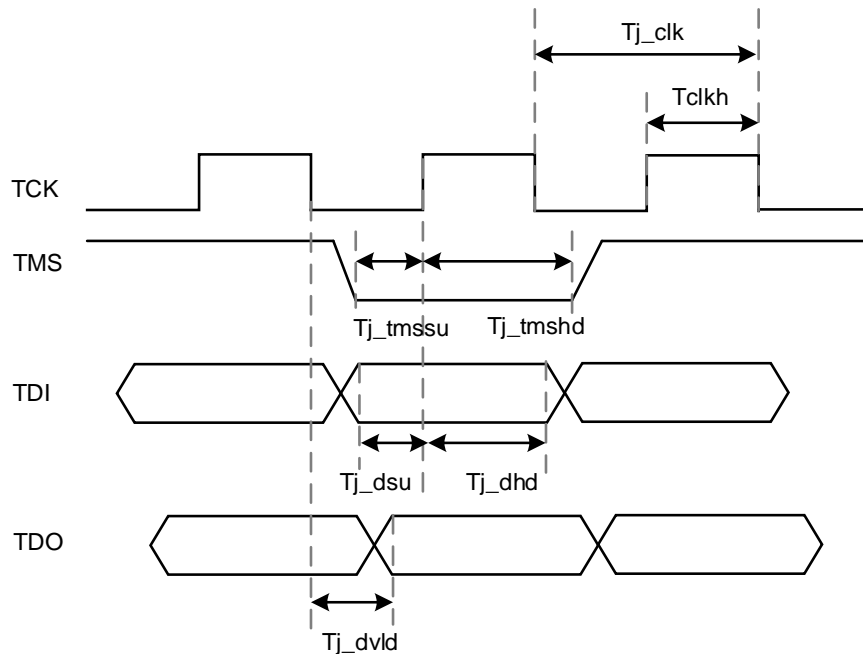
注！

此图为 JTAG 接口编程外部 Flash 的示意图。

### 3.4.2 JTAG 配置模式时序图

JTAG 配置模式的时序图如图 3-5 所示。

图 3-5 JTAG 配置模式时序图



图中各个参数的含义如表 3-7 所示。

表 3-7 JTAG 配置模式时序参数

参数名称	参数含义	最小值	最大值	单位
Tj_clk	JTAG TCK clock period	10	-	ns
Tj_tmssu	TMS setup time	3.0	-	ns
Tj_tmshd	TMS hold time	0	-	ns
Tj_dsu	TDI setup time	3.0	-	ns
Tj_dhd	TDI hold time	0	-	ns
Tj_dvld	delay of TCK to TDO	-	3.0	ns
Tckh	The time of clock high level	(clock cycle ) *45%	(clock cycle ) *55%	-

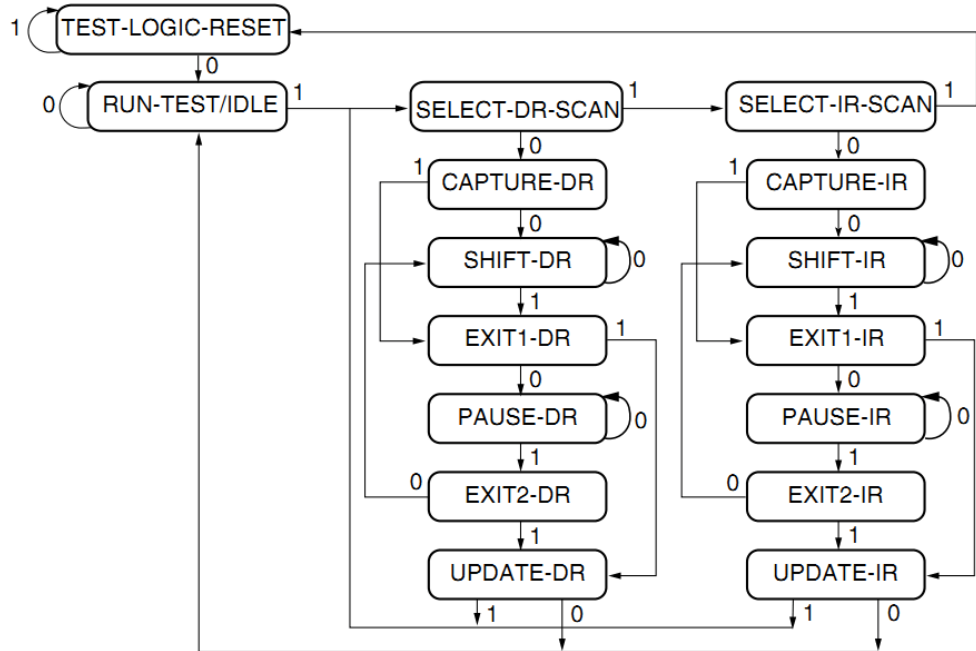
### 3.4.3 JTAG 相关配置流程

#### JTAG 基本指令

##### TAP 状态机

测试访问口状态机旨在选择指令寄存器或数据寄存器，使其连接至 TDI 和 TDO 之间。一般来说，指令寄存器用于选择需扫描的数据寄存器，在状态机框图中，位于箭头一侧的数字表示 TCK 变高时 TMS 的逻辑状态，如图所示。

图 3-6 TAP 状态机



### TAP 复位

通过保持 TMS 为高电平（逻辑“1”）并在 TCK 端输入至少 5 个选通脉冲（变高后再变低）后，复位 TAP 逻辑，从而实现将处于其它状态的 TAP 状态机转换成测试逻辑复位状态，对 JTAG 接口和测试逻辑复位。

注！

该状态不复位 CPU 和外设。

注！

- 在进入 Shift\_DR 或 Shift\_IR 状态时，TDO 上的数据从 TCK 的下降沿开始有效；
- 在进入 Shift\_DR 或 Shift\_IR 状态时，数据不移位；
- 在离开 Shift\_DR 或 Shift\_IR 时，数据被移位；
- 最先移出的是数据的最低位 LSB；
- 一旦复位，所有指令将被重置或失效。

### 指令寄存器和数据寄存器

除测试逻辑复位外，状态机亦可控制两个基本操作：

- 指令寄存器（IR）扫描；
- 数据寄存器（DR）扫描。

在指令寄存器扫描操作中，在 Shift\_IR 状态时，传送数据或指令给指令寄存器，发送时采用 LSB 的方式，低数据位首先被发送，回到 Run-Test-Idle 后指令即被发送完毕，如图 3-7 所示。

在数据寄存器扫描操作中，在 Shift\_DR 状态时，传送数据或指令给数据寄存器，如图 3-8 所示。数据发送采用 LSB 还是 MSB 取决于具体操作。

图 3-7 指令寄存器访问时序

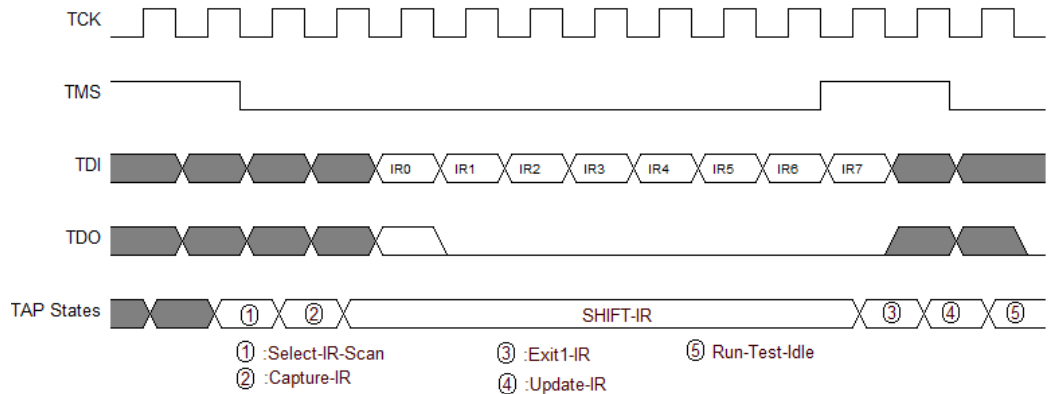
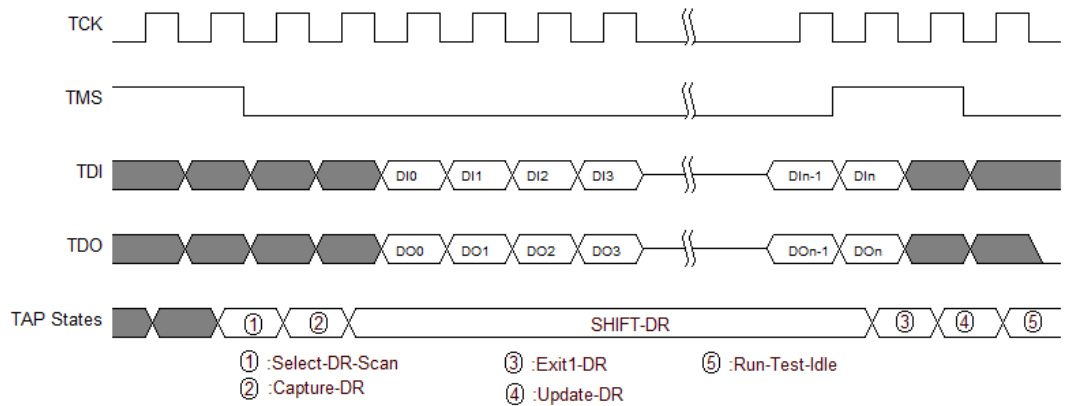


图 3-8 数据寄存器访问时序



注!

- 在高云半导体 Arora V FPGA 中，指令寄存器的总长度为 8 位；
- 根据所选择的寄存器，数据寄存器的长度可变化。

读取 ID CODE 实例

ID Code 即 JEDEC ID Code，是 FPGA 器件的一个基本标识。

高云 FPGA ID Code 长度为 32 位，下表列出了高云部分 FPGA 的 ID Code。

表 3-8 Arora V FPGA IDCODE

Device	IDCODE
GW5AT-60	H0001481B

读取 FPGA 的指令是 0x11，以下步骤以读取 GW5AT-60 ID Code 为例说明 JTAG 的工作方式。

1. TAP 复位：TMS 置为高电平，连续发送至少 5 个时钟周期；
2. 移动状态机从 Test-Logic-Reset 到 Run-Test-Idle；
3. 移动状态机到 Shift-IR，从最低位开始发送 Read ID 指令 0x11，最高位（最后一位）发送的同时移动状态机到 Exit1-IR，即最高位发送前 TMS 要置于高电平，表 3-9 给出 8 个时钟周期内发送 0x11 过程中 TDI 和 TMS 的值变化，时序如图 3-10 所示。

表 3-9 发送指令过程中 TDI 和 TMS 的值变化

Value \ TCK	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
TDI value (0x11)	1	0	0	0	1	0	0	0
TMS value	0	0	0	0	0	0	0	1

4. 移动状态机，从 Exit1-IR 经过 Update-IR 后回到 Run-Test-Idle，并在 Run-Test-Idle 运行至少 3 个时钟周期；
5. 移动状态机到 Shift-DR，发送 32 个时钟周期，并在第 32 个时钟发送

前，置 TMS 为高电平，完成 32 个时钟周期的同时，跳出 Shift-DR 到 Exit1-DR。这期间，发送 32 个时钟即可读出 32bits 数据，即为 0x0001481B，如图 3-11 所示；

6. 移动状态回到 Run-Test-Idle。

图 3-9 读取 ID Code 状态机流程图

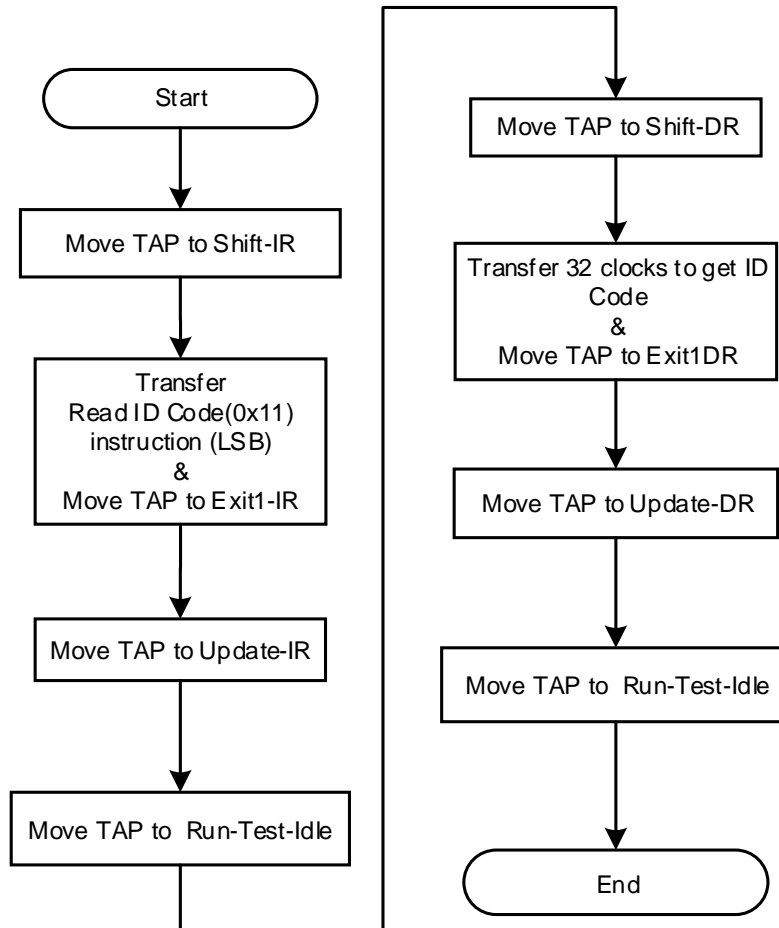


图 3-10 读取 ID Code 指令-0x11 访问时序

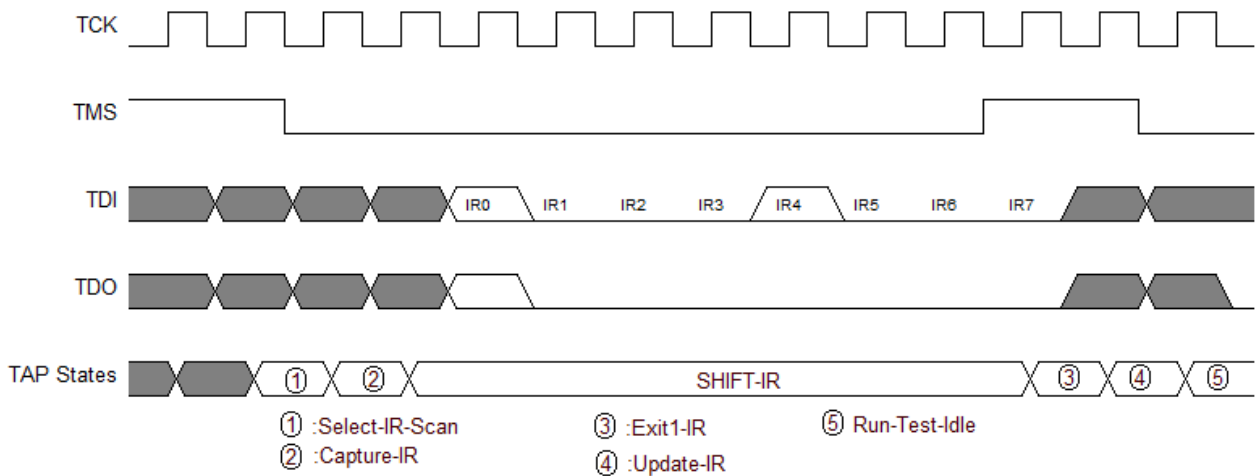
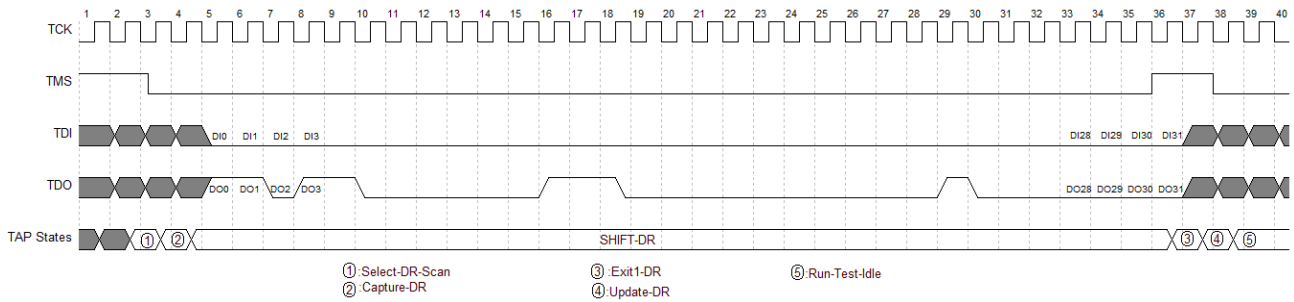


图 3-11 读取 ID Code 数据寄存器访问时序



### 读取 Status Register 0x41

Status Register 在器件调试和观察器件状态有很大帮助，通过读取 Status Register，可初步判断器件的状态，如判断是否成功 wakeup、是否存在加载错误等。

Status Register 共有 32 位，读取指令是 0x41，时序与 Read ID Code 一致。

Status Register 的含义请参考 5.1 状态寄存器。

### 读取 User Code 0x13

User Code 共有 32 位，读取指令是 0x13，时序与 Read ID Code 一致。

User Code 默认使用的是 FS 文件的 checksum 值，可在 Gowin Designer 中重新定义。

### 重加载 0x3C

该指令作用是使 FPGA 从 flash 中读取数据流文件，并配置到 SRAM。

通过 JTAG 依次发送 Reprogram (0x3C) 指令、Noop (0x02) 指令，可使器件重加载，效果同触发 Reconfig\_N 管脚。

### 擦除 SRAM

当重新配置 SRAM 时，需要擦除已存在的 SRAM。流程如下：

1. 发送 ConfigEnable 指令 0x15;
2. 发送 SRAM Erase 指令 0x05;
3. 发送 Noop 指令 0x02;
4. 延时或 Run Test 2~10ms;
5. 发送 SRAM Erase Done 指令 0x09;
6. 发送 ConfigDisabled 指令 0x3A;
7. 发送 Noop 指令 0x02，结束流程;

注！

在发送 EraseSram (0x05) 指令、Noop (0x02) 之后，要给足够的时间等待其擦除完

毕。

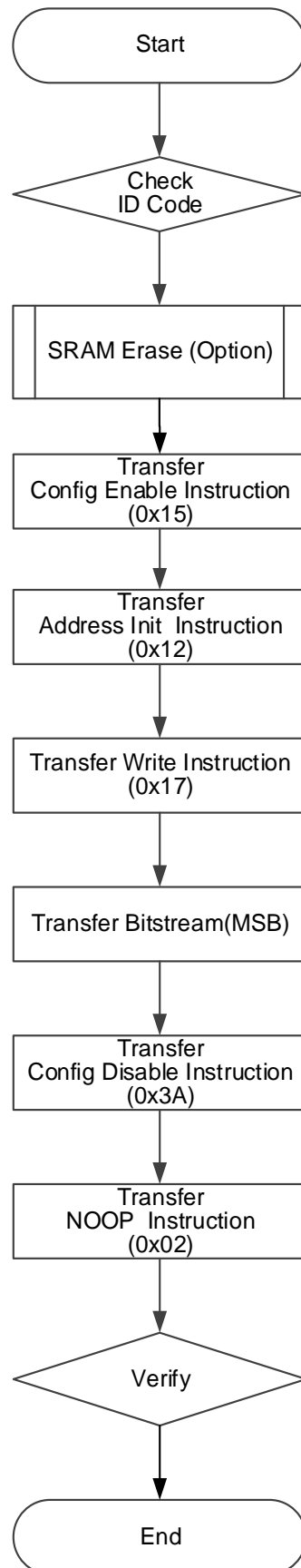
### 配置 SRAM

通过外部 Host 配置 FPGA SRAM，使 FPGA 实现功能，通过 JTAG 配置 SRAM 不受 Configuration Mode Pins 的影响。

通过 Gowin software 设计软件生成数据流文件，利用 JTAG 实现 SRAM 的配置，下面介绍外部 Host 配置 SRAM 的过程，如图 3-12 所示。

1. 建立 JTAG 链路，TAP 复位；
2. 读取设备 ID CODE，检查 ID CODE 是否匹配；
3. 如 SRAM 已被配置，擦除 SRAM，流程参考擦除 SRAM；
4. 发送 ConfigEnable 指令 0x15。
5. 发送 Address Initialize 指令 0x12；
6. 发送 Transfer Configuration Data 指令 0x17。
8. 移动状态到 Shift-DR（数据寄存器），将 Bitstream Data 从最高位开始（MSB），逐位发送，发送全部数据流文件内容，并回到 Run-Test-Idle 状态；
9. 发送 ConfigDisabled 指令 0x3A；
7. 发送 Noop 指令 0x02，结束配置流程。

图 3-12 配置 SRAM 流程





## 编程 Flash

### JTAG 转换 SPI 烧录外部 Flash

此模式下用户通过 JTAG 模拟 Master SPI 时序对 SPI Flash 进行编程，TMS 对应 CS 信号，TCK 对应 SCLK 信号，TDI 对应 SI 信号，TDO 对应 SO 信号。该模式编程 FLASH 的流程图如下图所示。

图 3-13 编程 SPI Flash 流程示意图

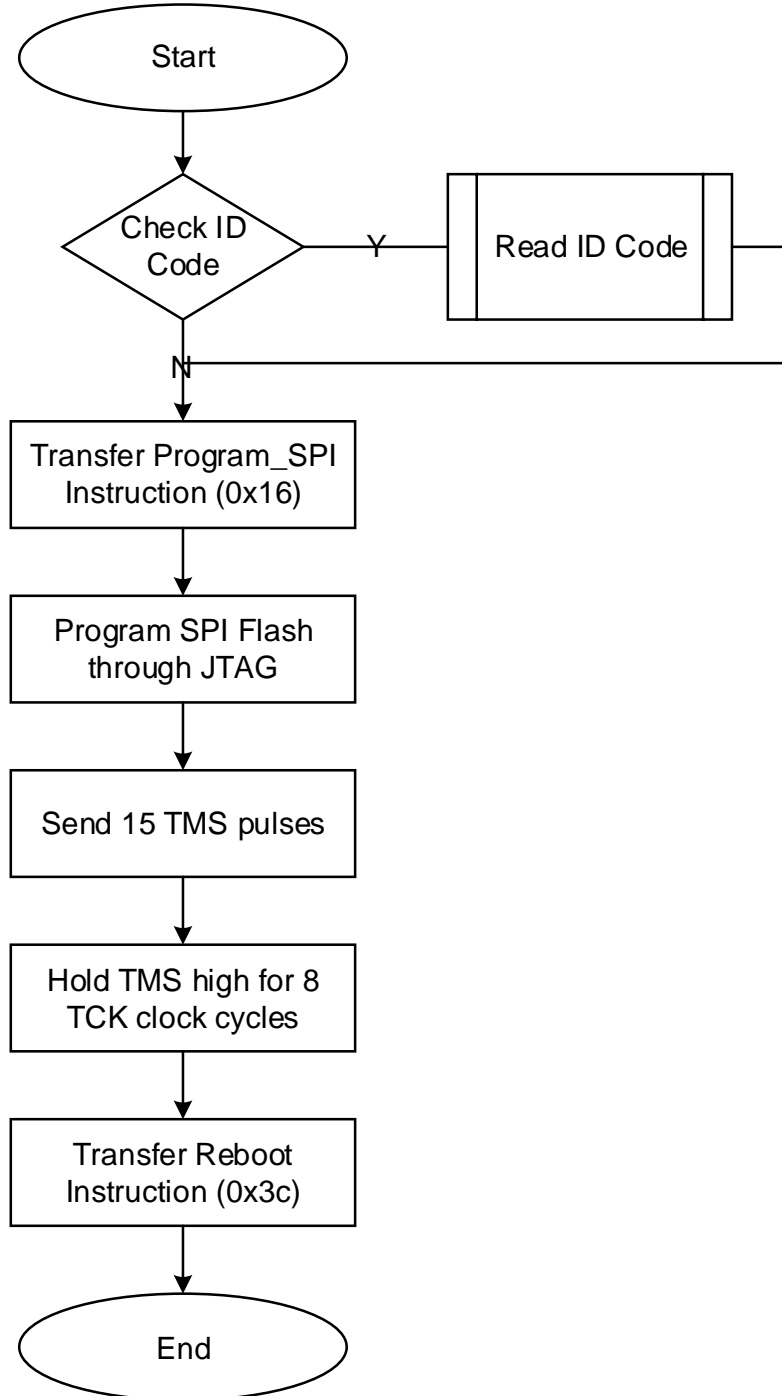
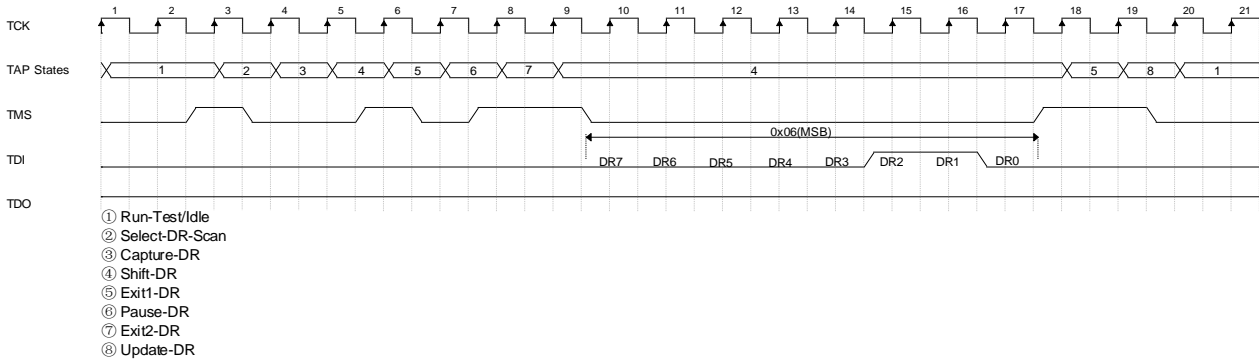


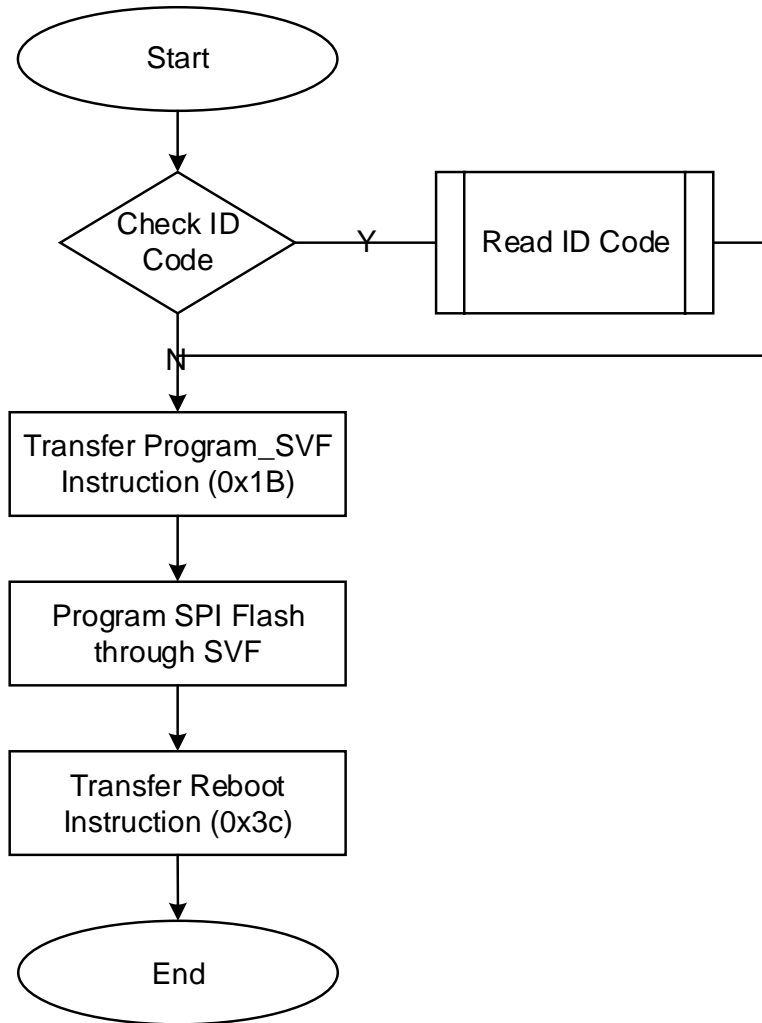
图 3-14 GOWIN Arora V JTAG 模拟 SPI 发送 0x06 指令时序图



**SVF (串行向量格式) 烧录外部 Flash**

SVF 是描述高层 IEEE 1149.1 (JTAG)总线操作的语法规则。SVF 以紧凑和可移植的形式描述 JTAG 链操作。SVF 文件通过描述需要移入器件链的信息，记录 JTAG 操作。编程工具使用 SVF 文件作为输入，利用包含在 SVF 文件中的信息对 FLASH 编程。该模式编程 FLASH 的流程图如下图所示。

图 3-15 SVF 模式编程 Flash 流程图



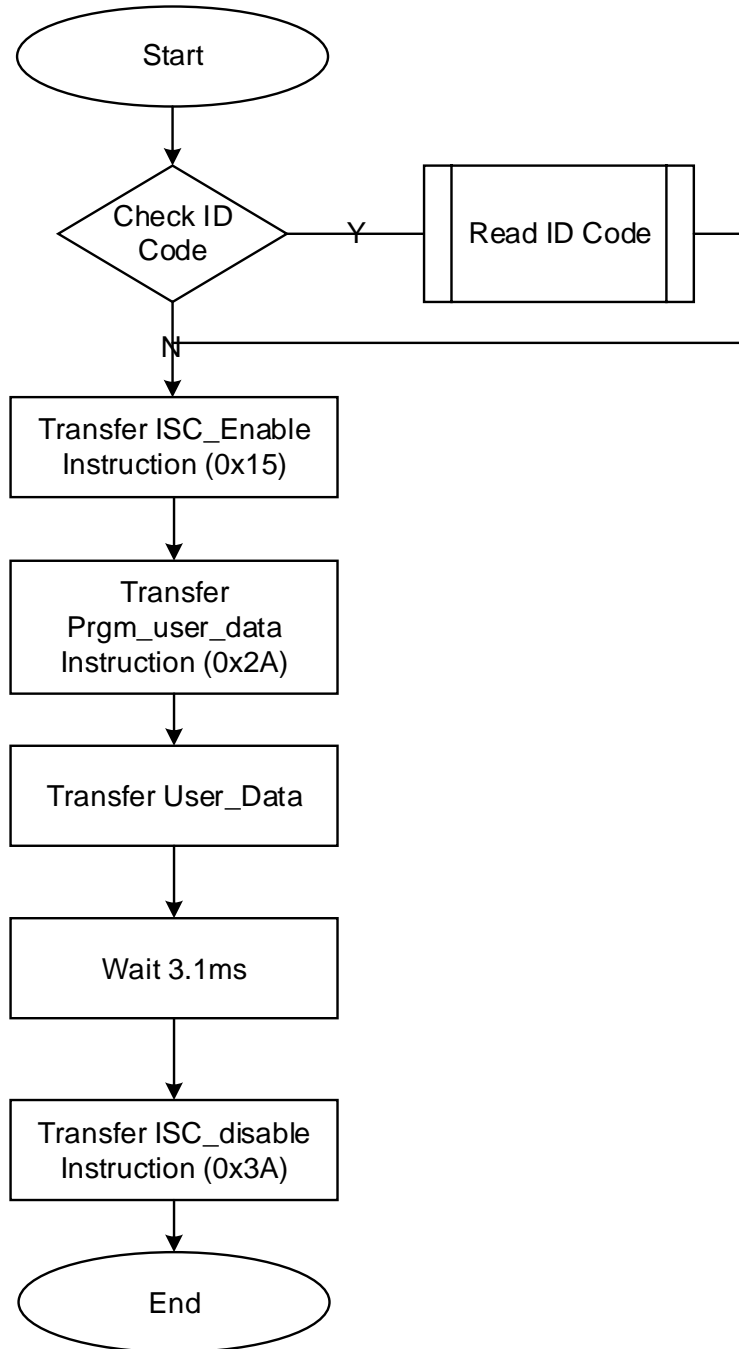
### 配置 OTP

Arora V FPGA 提供 128 Bit 的 OTP 空间，支持一次性编程。其中 Bit0~Bit31 为用户区，系统制造商可以使用此空间存储安全性和其他重要信息。Bit32~Bit95 为 DNA 区，存储器件 64 位唯一标识信息。

OTP 定义请参考 5.2 OTP Efuse。

其配置流程如下图所示。

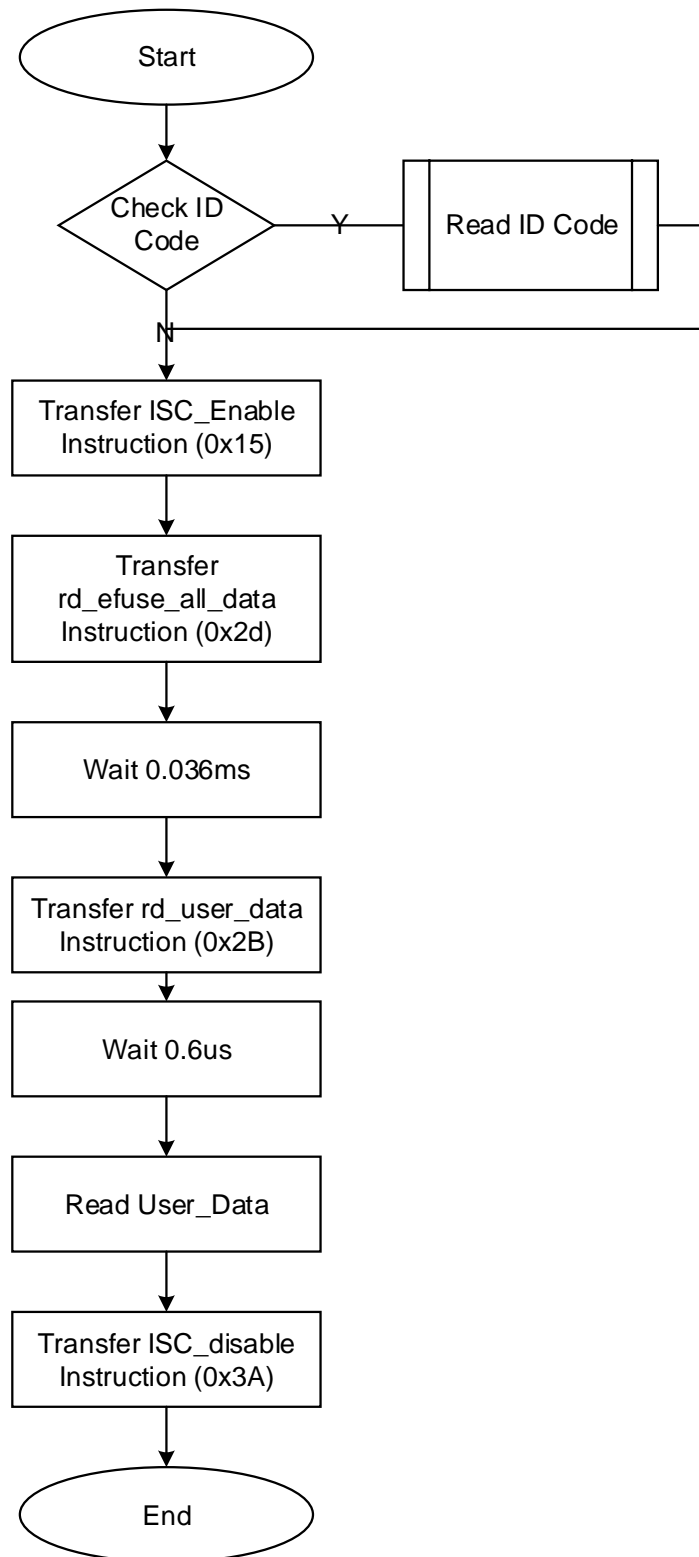
图 3-16 配置 OTP 流程图



### 读取 OTP

读取 OTP 数据的流程如下图所示。

图 3-17 读取 OTP 数据流程图



### 例程文件

例程文件，请联系公司技术支持或当地办事处。

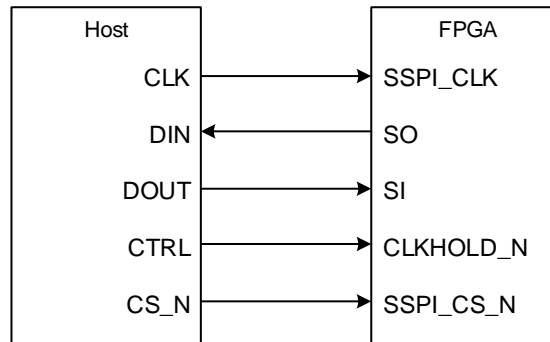
## 3.5 SSPI 配置模式

SSPI (Slave SPI) 配置模式，即 FPGA 作为从器件，由外部 Host 通过 SPI 接口对高云半导体 FPGA 产品进行配置的过程。

### 3.5.1 SSPI 配置模式连接示意图

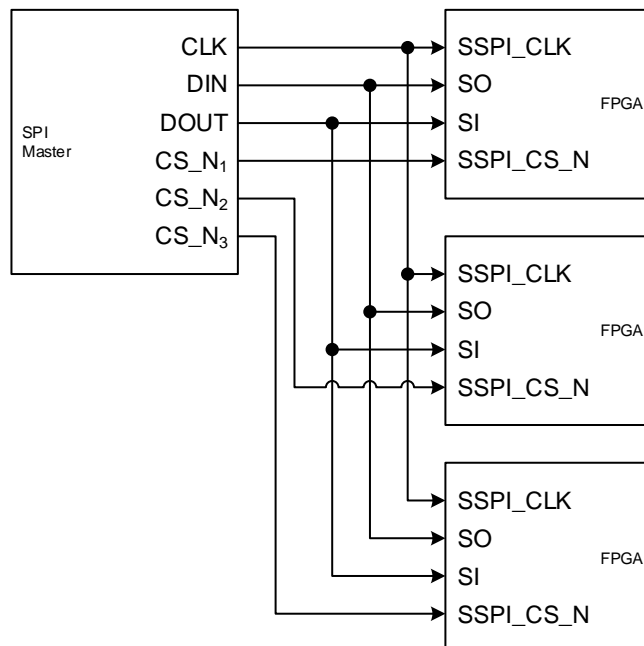
使用 SSPI 配置模式对高云半导体 FPGA 产品配置的连接示意图如图 3-18 所示。

图 3-18 SSPI 配置模式连接示意图



使用 SSPI 配置模式对多片 FPGA 产品配置的连接示意图如图 3-19 所示。

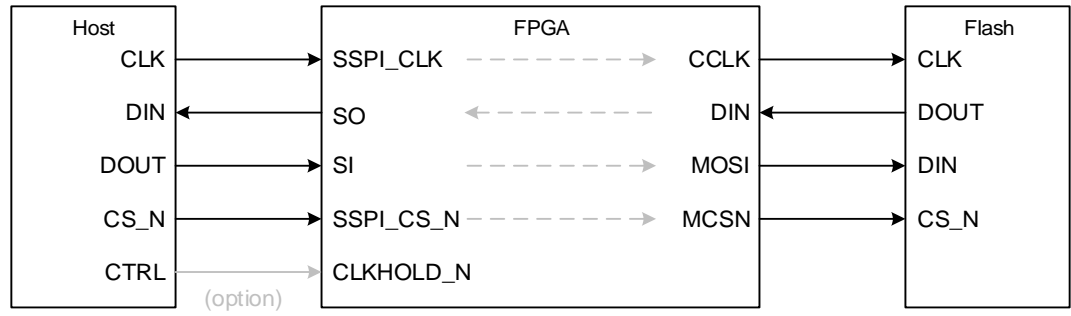
图 3-19 多 FPGA 连线示意图



SSPI 配置管脚除了进行常规的 SRAM 配置操作外，还可编程 FPGA 外部的 SPI Flash，编程 Flash 操作的 MODE 值与 SSPI 配置模式的 MODE 值相同，用户可以在 Gowin 编程软件中选择将配置数据写入 SRAM 或外部 Flash。需要从外部 Flash 加载前，需要将 MODE 值调整为 MSPI MODE，之后通过重新上电或触发 RECONFIG\_N 触发 MSPI 加载。

SSPI 接口编程外部 Flash 的连接示意图如图 3-20 所示。

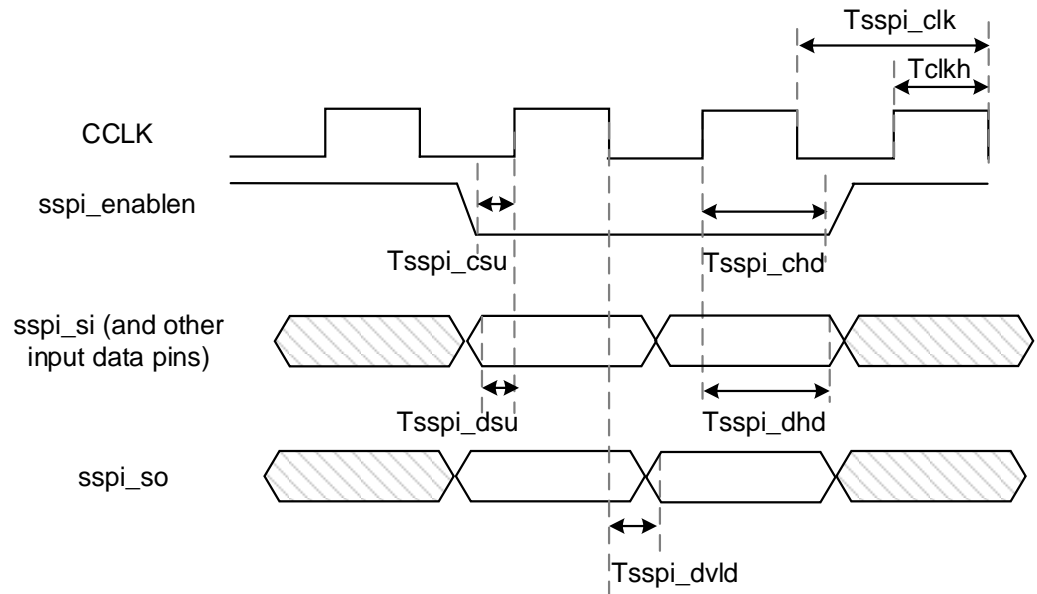
图 3-20 SSPI 编程外部 Flash 连接示意图



### 3.5.2 SSPI 配置模式时序图

SSPI 配置模式的时序图如图 3-21 所示。

图 3-21 SSPI 配置模式时序图



时序参数如表 3-10 所示。

表 3-10 SSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值	单位
Tsspi_clk	SSPI port clock period	10.0	-	ns
Tsspi_csu	sspi_enablen setup time	1.0	-	ns
Tsspi_chd	sspi_enablen hold time	0	-	ns
Tsspi_dsu	SSPI input data setup time	1.0	-	ns
Tsspi_dhd	SSPI input data hold time	0	-	ns
Tsspi_dvld	delay of SSPI clock to output data	-	1.0	ns
Tclkh	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	-

除满足上电要求外，SSPI 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- SSPI 接口使能  
上电后初次配置或前一次配置时 RECONFIG\_N 未设置为普通 I/O 状态。
- 启动新的配置  
重新上电或低电平脉冲触发 RECONFIG\_N 管脚。

### 3.5.3 SSPI 常用配置指令

当 FPGA 处于 SSPI 模式时，通过 SSPI 可以烧录 FPGA SRAM 或者读取 ID CODE\USER CODE\STATUS CODE 等信息，也可以烧录外部存储设备（例如 SPI Flash）。

FPGA 的 SSPI 指令一般由 1-4 个字节组成，至少包含 1 个指令类字节和多个冗余信息字节，没有指定信息字节的情况下，冗余信息字节可以是任意数（下表用 0x00 表示）。

表 3-11 配置指令

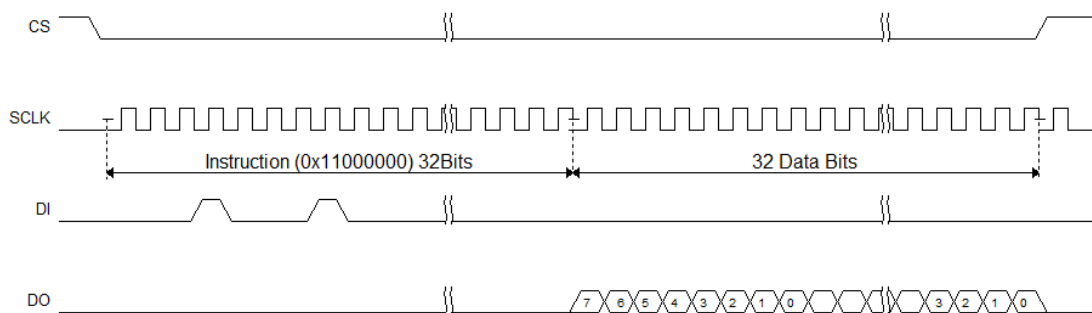
指令名称	完整指令（指令字节+冗余信息字节）
Read ID Code	0x11000000
Read User Code	0x13000000
Read Status Code	0x41000000
Reconfig/Reprogram	0x3C00
Write Enable	0x1500
Write Disable	0x3A00
Write Data	0x3B
Program SPI Flash	0x1600
Init Address	0x1200
Erase SRAM	0x0500

### Read ID Code

FPGA 的 ID Code 长度是 32bits，读取 ID 的指令是四个字节，即 0x11000000。在指令发送之前，使 CS 处于高电平状态，并且要在此状态产生若干时钟（两个时钟以上），以驱动 FPGA 获取 CS 状态。

当 CS 拉低之后，数据以 MSB 的方式写入指令 0x11000000，在写完四字节指令后要继续产生 32 个时钟，此时 ID CODE 数据将以 MSB 的形式从 DO 依次位移出来。

图 3-22 读取 ID Code 时序示意图



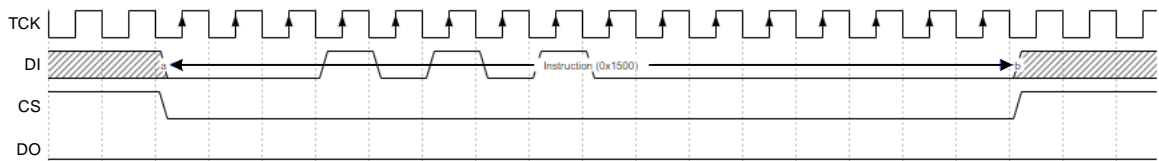
读取 StatusCode/UserCode 与读取 ID Code 的操作类似，替换对应的指令即可。

### Write Enable (0x1500)

在配置 SRAM（写 Features）前，使用 Write Enable（0x15）指令进入设备编辑模式，使设备可以接受写数据 Write Data（0x3B）指令。



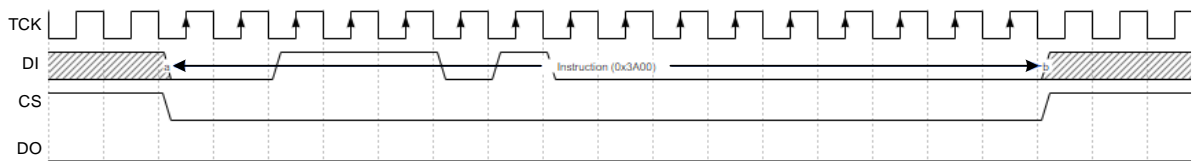
图 3-23 Write Enable (0x15) 时序示意图



### Write Disable (0x3A00)

发送数据完成后，需使用 Write Disable 从编辑模式中退出。退出后可唤醒设备，使设备进入工作状态。

图 3-24 Write Disable (0x3A00) 时序示意图



像上述两个指令，0x1500 和 0x3A00 指令的时序基本一致，指令都是在 CS 低电平后开始，并在指令传输完成后拉高 CS，遵循这种时序的指令有 0x3C00 (Reconfig/Reprogram)、0x1500 (Write Enable)、0x3A000 (Write Disable)、0x1600 (Program SPI Flash)、0x1200 (Init Address)、0x0500 (Erase SRAM)。

### Erase SRAM(0x0500)

指令时序与 WriteEnable/WriteDisable 一致，仅替换指令内容为 0x0500。

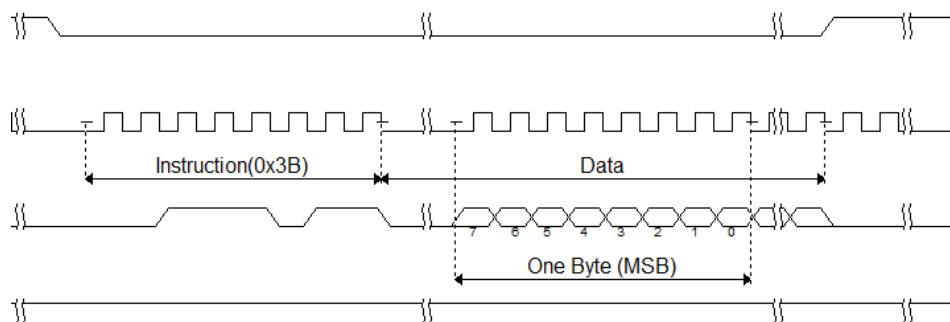
当指令发送后，需延迟至少 10ms 以使指令执行完毕。

### Write Data (0x3B)

通过使用 WriteData (0x3B) 指令直接向 FPGA 设备发送数据流文件。

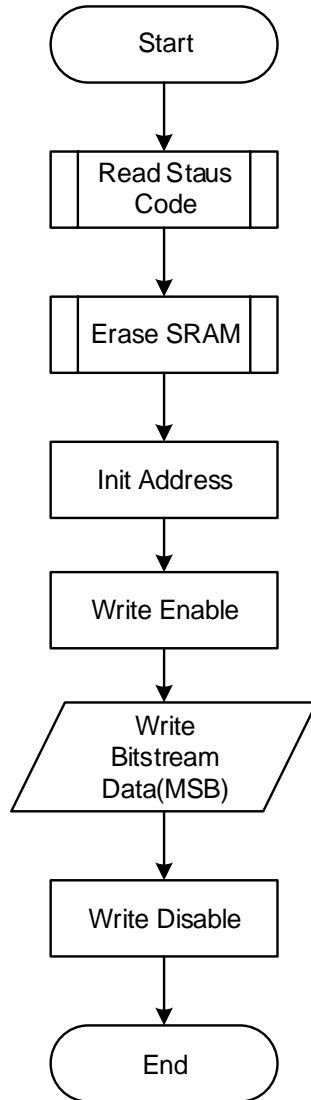
注意，在数据写入过程中，CS 一直处于低电平。

图 3-25 Write Data (0x3B) 时序示意图



### 3.5.4 SSPI 配置 SRAM

图 3-26 SSPI 配置 SRAM 流程图

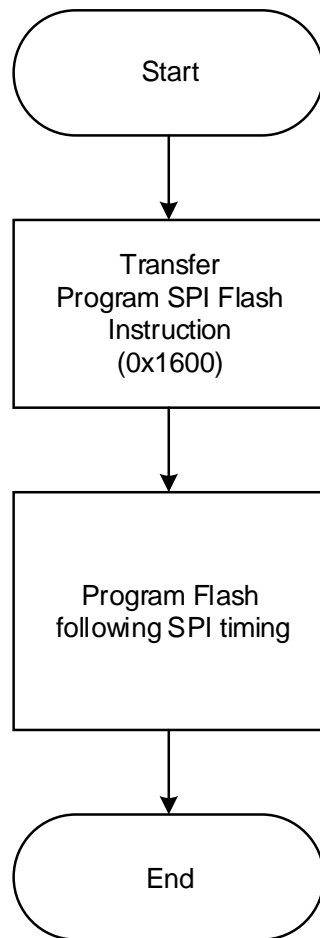


### 3.5.5 SSPI 编程 Flash

烧录流程示意图见图 3-27。首先通过 SSPI 向 FPGA 发送指令“Program SPI Flash”（0x1600）指令，完成后 FPGA 可以转发 SSPI 到 Flash，Host 端的 SSPI 可以直接访问 Flash，接下来就可以按照 Flash 的相关时序对其进行编程。

注意，从 Flash 读取数据时，回读的数据会延迟一个 Bit。例如 SSPI 读取 Flash 的 IDCode 时，需要额外发送一个时钟从而获取最后一位。

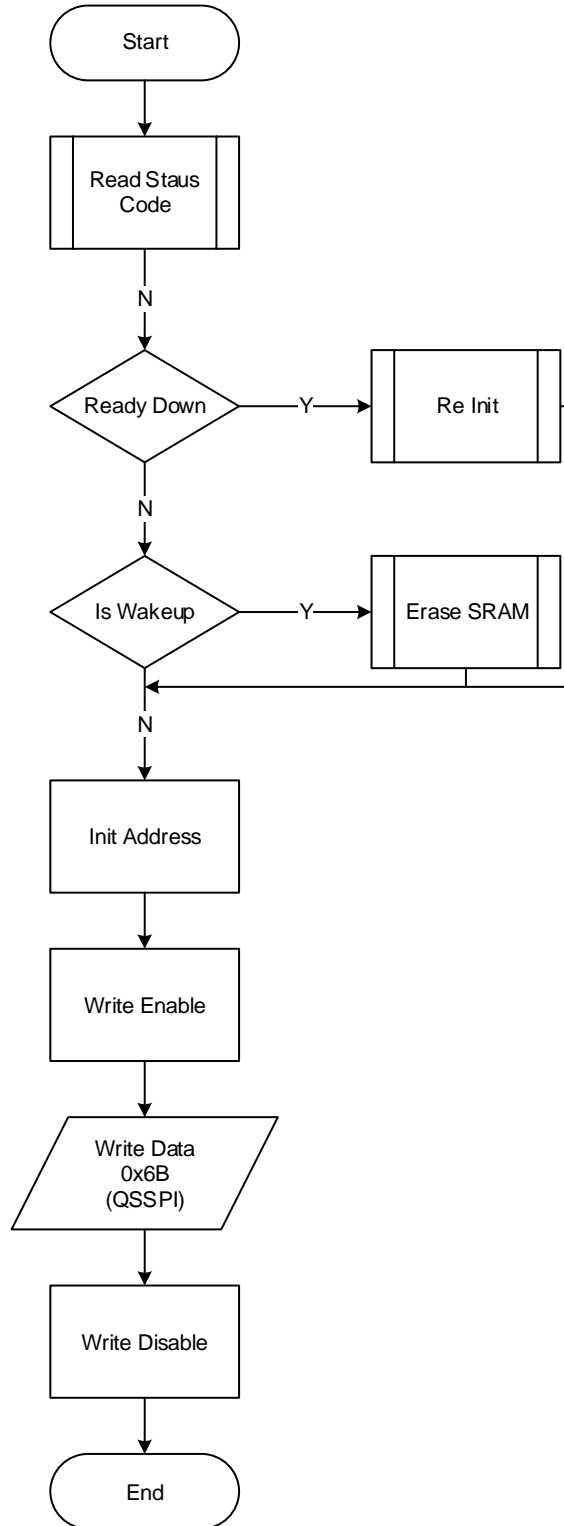
图 3-27 SSPI 配置 Flash 流程图



### 3.5.6 SSPI x4 配置 SRAM

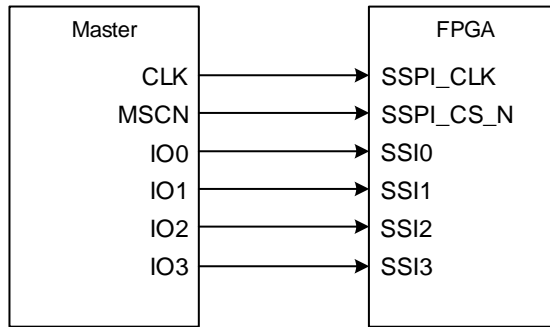
SSPI 模式下配置 SRAM 流程如下所示，其中 Read Status、Reinit、EraseSram、InitAddress、WriteEnable、WriteDisble 依旧使用 SSPI 指令，只有 Write Data 时采用 QSSPI。

图 3-28 QSSPI 配置 SRAM 流程图



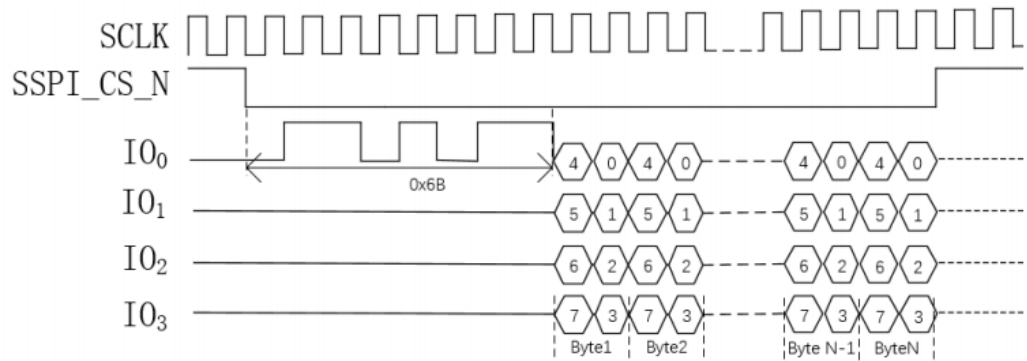
QSSPI 配置的连接示意图如图 3-29 所示。

图 3-29 QSSPI 配置模式连接示意图



QSSPI Write Data (0x6B) 时序图如下图所示。

图 3-30 QSSPI Write Data (0x6B)时序图



## 3.6 MSPI 配置模式

MSPI (Master SPI) 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取比特流数据完成配置的过程。

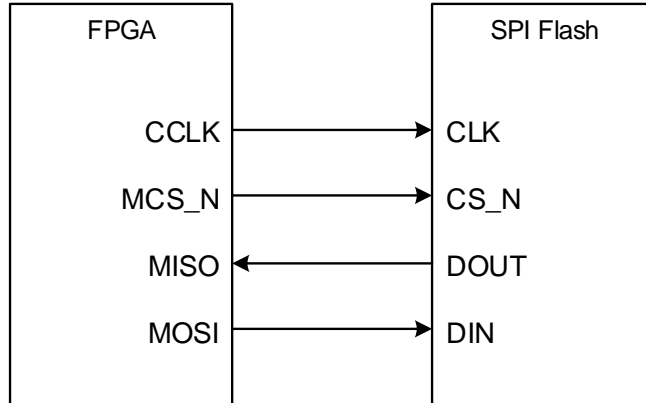
**MSPI 配置过程：**将 MODE 管脚设置为 MSPI 状态，将 FPGA 重新上电或低电平脉冲触发 RECONFIG\_N 管脚，器件自行从外部 Flash 读取比特流数据，完成配置过程。

根据 MSPI 的配置特性，用户可以实现远程升级的需求：当 FPGA 启动工作后，若有升级需求，用户可以将配置数据远程写入 FPGA 外部的 Flash 器件中，当具备升级条件时触发 RECONFIG\_N 或重新上电使系统完成升级。

### 3.6.1 MSPI 配置模式连接示意图

使用 MSPI x1/x2/x4 配置模式对高云半导体 FPGA 产品进行配置的连接示意图如图 3-31~图 3-33 所示。

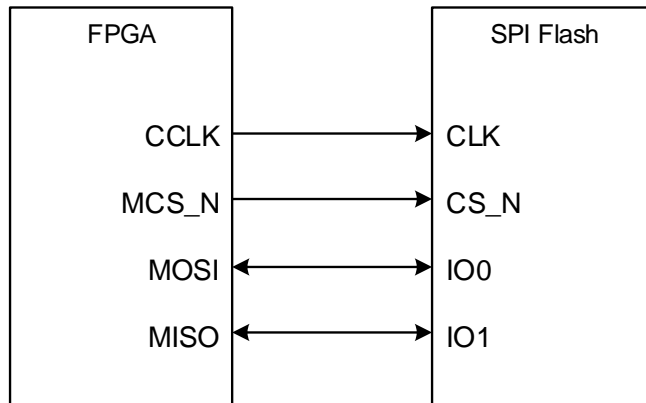
图 3-31 MSPIx1 配置模式连接示意图



注!

- [1] MSPI x1 的频率范围: 2.5Mhz~105Mhz
- [2] 默认配置为 MSPI x1, 3Byte 寻址模式, 可在 EDA 软件中更改设置以提升加载时间。

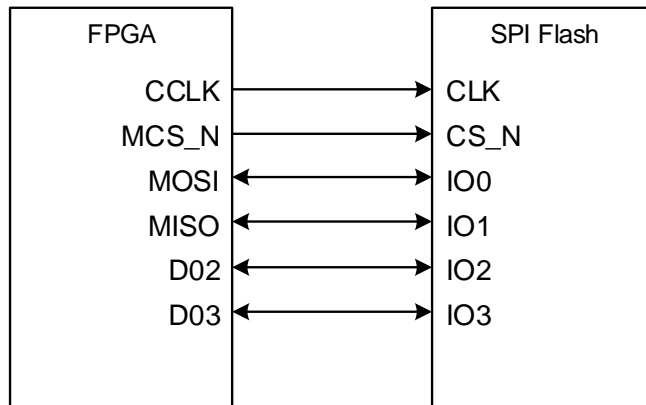
图 3-32 MSPIx2 配置模式连接示意图



注!

- [1] MSPI x2 的频率范围: 2.5Mhz~105Mhz
- [2] 默认配置为 MSPI x1, 3Byte 寻址模式, 可在 EDA 软件中更改设置以提升加载时间。

图 3-33 MSPIx4 配置模式连接示意图



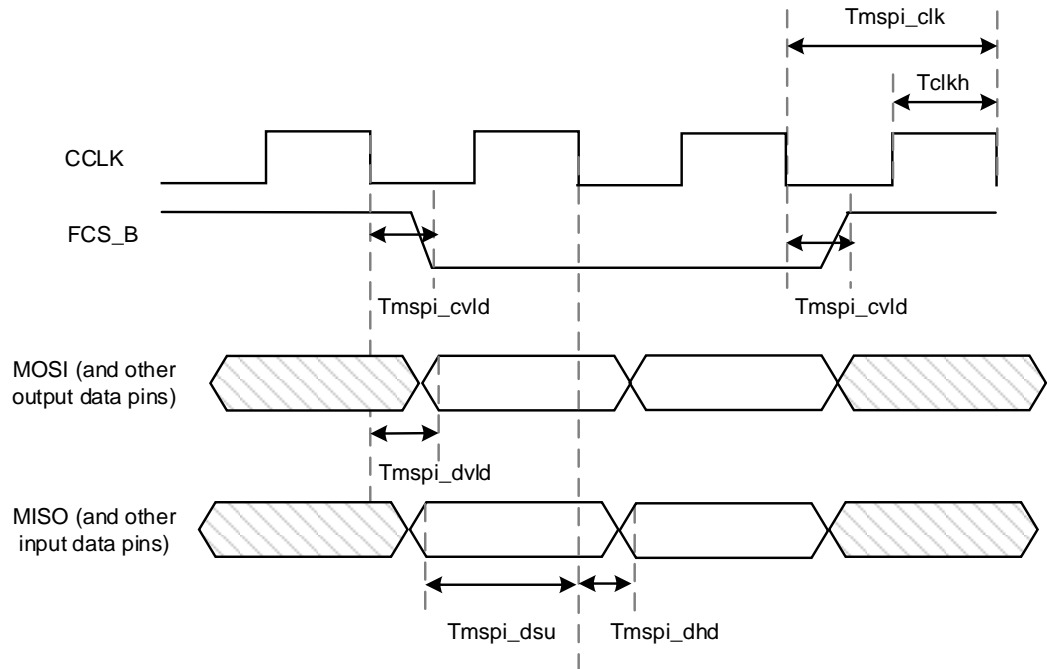
注！

- [1] MSPI x4 的频率范围：2.5Mhz~105Mhz
- [2] 默认配置为 MSPI x1，3Byte 寻址模式，可在 EDA 软件中更改设置以提升加载时间。

### 3.6.2 MSPI 配置模式时序图

MSPI 配置模式时序图如图 3-34 所示。

图 3-34 MSPI 配置模式时序图



相关的时序参数如表 3-12 所示。

表 3-12 MSPI 配置模式时序参数

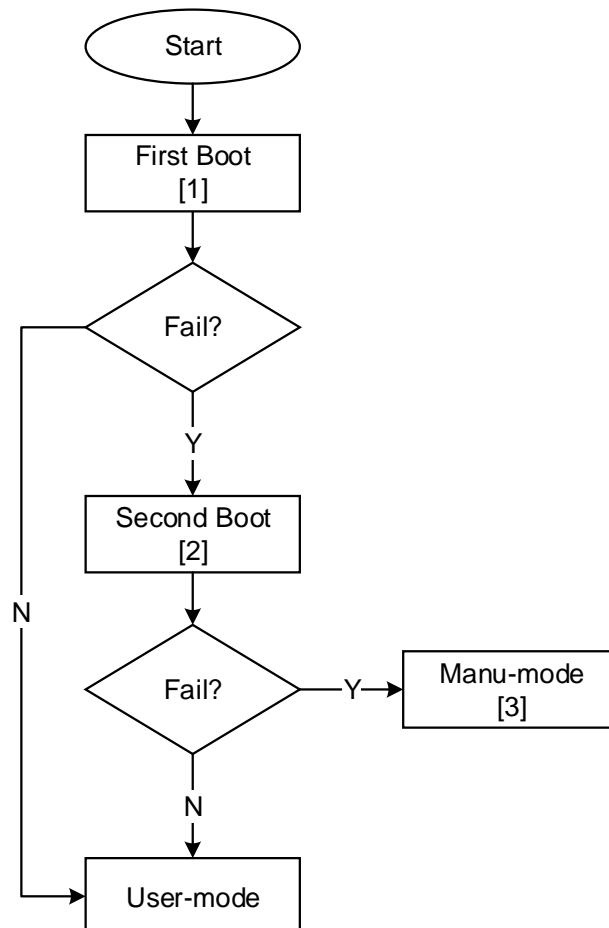
参数名称	参数含义	最小值	最大值	单位
$T_{mspi\_clk}$	MSPI clock period	10.0	-	ns
$T_{mspi\_cvld}$	delay of MSPI clock falling edge to CSI_B	-	1.0	ns
$T_{mspi\_dvld}$	delay of MSPI clock falling edge to output data	-	1.0	ns
$T_{mspi\_dsu}$	the setup time of input data	2.0	-	ns
$T_{mspi\_dhd}$	the hold time of input data	0	-	ns
$T_{clkh}$	The time of clock high level	(clock cycle ) *45%	(clock cycle) *55%	-



### 3.6.3 MSPI 模式配置流程

Arora V FPGA 上电后以默认 2.5MHz 的频率从 0x000000 地址开始，以 SPI x1 协议读取比特流数据完成配置。若第一次配置失败，器件会自动从默认 0x800000 地址进行第二次配置操作。若两次配置都失败，器件会进入 Manu-mode，导致配置失败的因素包括 ID 验证错误，CRC 校验错误、指令错误、超时错误等。

图 3-35 MSPI 模式配置流程图



注！

- [1] 默认配置下第一次加载为 MSPI x1，3Byte 寻址普通读取模式，可在 EDA 软件中更改设置，提升加载时间。
- [2] 可在 EDA 软件中根据需要设置加载的地址。
- [3] Manu-mode 下可以通过 SSPI、JTAG 接口完成调试或手动配置。

此外，在 MSPI 模式下，通过在比特流文件开头添加 `mspi_jump(0x6E)` 的指令方式，可以实现任意跳转加载地址的功能，便于在复杂系统中灵活分配 FLASH 存储空间。

## 3.7 CPU 配置模式

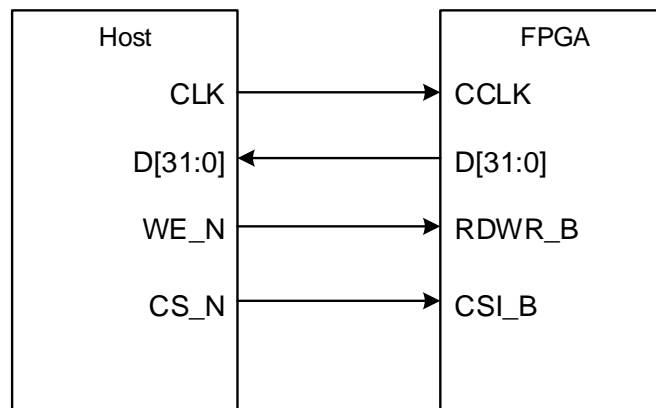
CPU 配置接口支持 8/16/32 位宽的数据总线接口对器件进行配置，可自适应调整总线宽度并支持 8 位宽度数据回读；同时支持主模式和从模式，主从模式的唯一区别是接口时钟的方向不同；在默认情况下，主模式选择内部晶振作为配置时钟源，可通过 EDA 设置选择 EMCCLK 作为配置时钟源，最高接口时钟速度如下所列：

- 32 位模式：最大时钟频率为 50MHz
- 16 位模式：最大时钟频率为 100MHz
- 8 位模式：最大时钟频率为 100MHz

### 3.7.1 CPU 配置模式连接示意图

CPU 配置模式的连接示意图如图 3-36 所示。

图 3-36 CPU 配置模式连接示意图



注！

主模式下 CCLK 为输出，从模式下 CCLK 为输入。

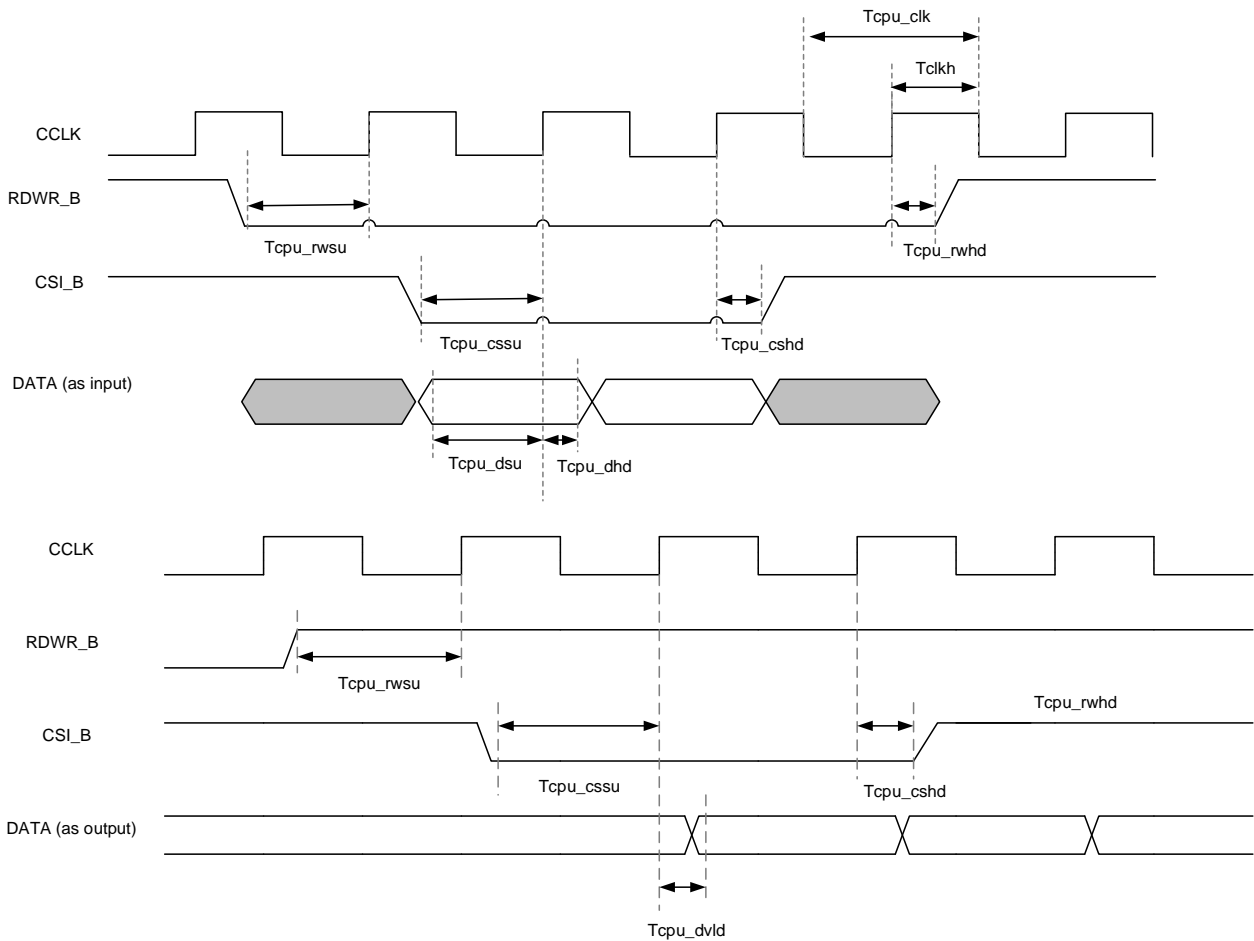
除满足上电要求外，使用 CPU 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- CPU 接口使能  
上电后初次配置或前一次配置时 RECONFIG\_N 未设置为普通 I/O 状态。
- 启动新的配置  
重新上电或者低电平脉冲触发 RECONFIG\_N 管脚。

### 3.7.2 配置时序

CPU 下载模式时序图如图 3-37 所示。

图 3-37 CPU Mode 配置时序示意图



相关的时序参数如表 3-13 所示。

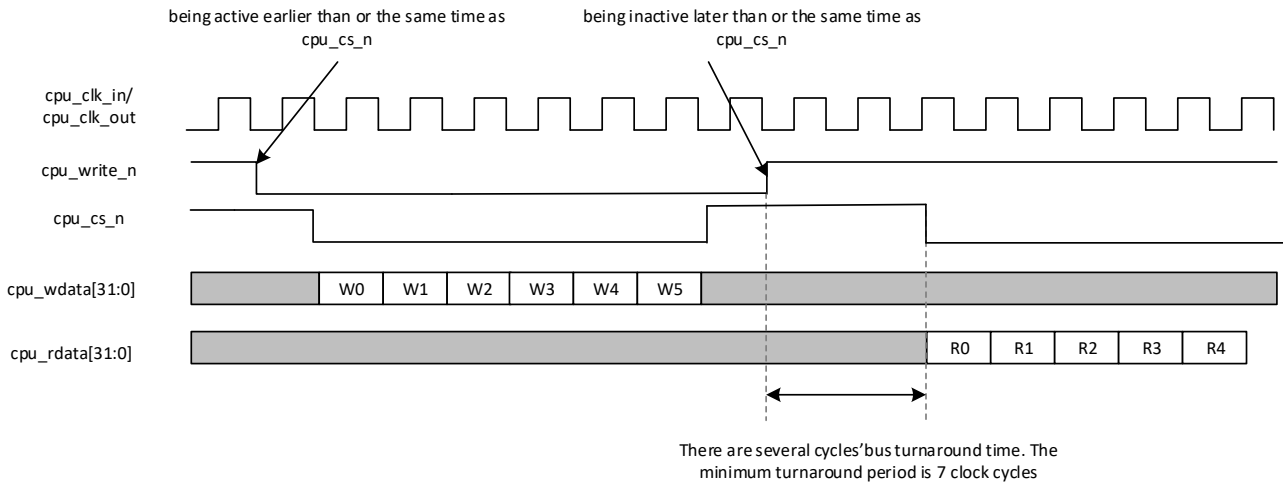
表 3-13 CPU 配置模式时序参数

参数名称	参数含义	最小值	最大值	单位
Tcpu_clk	CPU port clock period	10.0	-	ns
Tcpu_rwsu	RDWR_B setup time	8.0	-	ns
Tcpu_rwhd	RDWR_B hold time	0	-	ns
Tcpu_cssu	CS_B setup time	8.0	-	ns
Tcpu_cshd	CS_B hold time	0	-	ns
Tcpu_dsu	input data setup time	4.0	-	ns
Tcpu_dhd	input data hold time	0.0	-	ns
Tcpu_dvld	delay of CPU clock to output data	-	8.0	ns
Tclkh	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	-

### 3.7.3 连续加载

连续数据加载用于 Host 可以提供不间断的配置数据流。上电后，配置控制器将 RDWR\_B 信号设置为写控制 (RDWR\_B = 0) 并将 CSI\_B 信号置零 (CSI\_B = 0)。需要特别提醒的是，RDWR\_B 必须在 CSI\_B 前被驱动为低电平，否则发生中止。

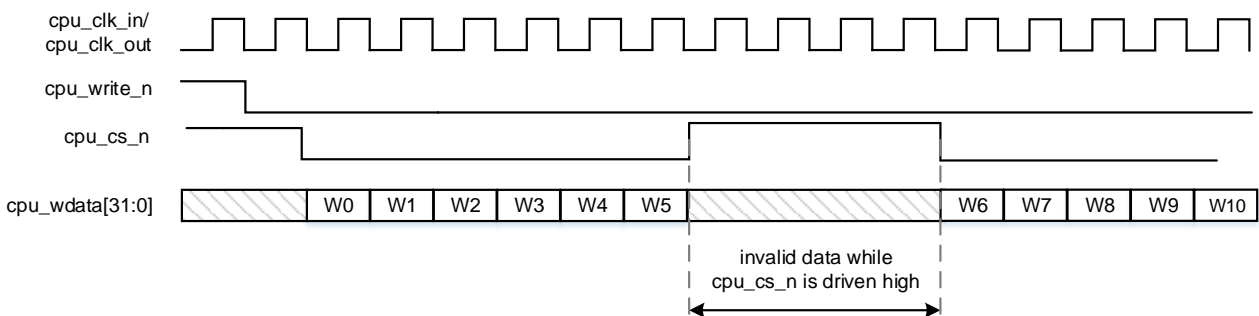
图 3-38 连续加载时序图



### 3.7.4 非连续加载

非连续加载模式用于数据源（即 Host）无法提供不间断配置数据流的场景。Host 可以通过两种方式暂停配置：通过拉高 CSI\_B 信号或通过暂停 CCLK。

图 3-39 非连续加载时序图



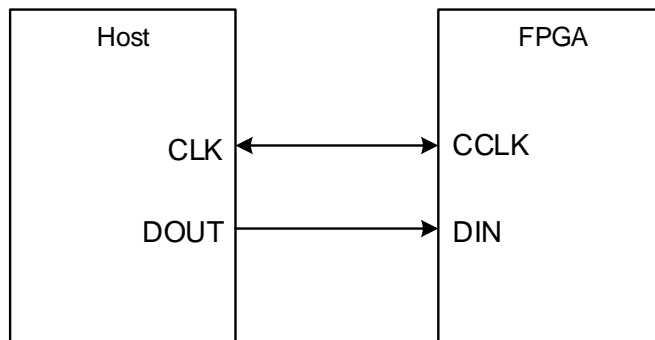
## 3.8 SERIAL 配置模式

SERIAL 配置模式，Host 通过串行接口对高云半导体 FPGA 产品进行配置。SERIAL 配置模式是使用管脚数量最少的配置模式之一，同时支持主模式和从模式，主从模式的唯一区别是接口时钟的方向不同。SERIAL 配置模式只能将比特流数据写入 FPGA，无法从 FPGA 器件回读数据，因此，SERIAL 配置模式无法读取 ID CODE 和 USER CODE 以及状态寄存器信息。

### 3.8.1 SERIAL 配置模式连接示意图

SERIAL 配置模式的连接示意图如图 3-40 所示。

图 3-40 SERIAL 配置模式连接示意图



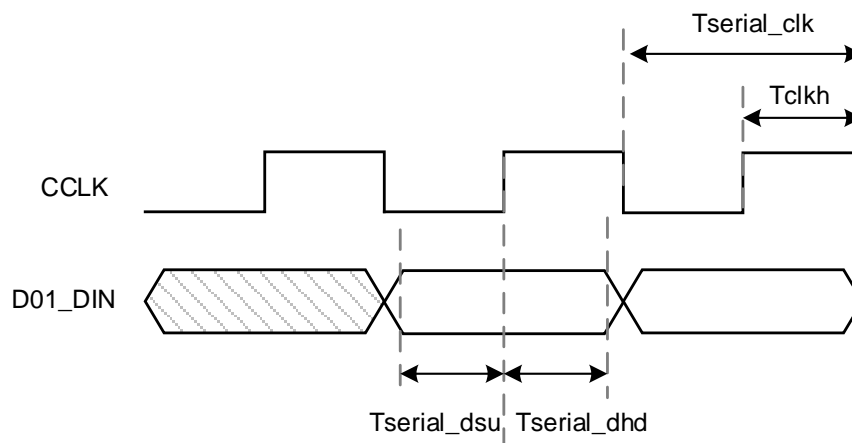
注！

[1]主模式下 CCLK 为输出，从模式下 CCLK 为输入。

### SERIAL 配置模式时序图

SERIAL 配置模式时序如图 3-41 所示。

图 3-41 SERIAL 配置模式时序图



相关的时序参数如表 3-14 所示。

表 3-14 SERIAL 配置模式时序参数

参数名称	参数含义	最小值	最大值	单位
Tserial_clk	Serial port clock period	10.0	-	ns
Tserial_dsr	the setup time of input data	4.0	-	ns
Tserial_dhd	the hold time of input data	0	-	ns
Tclkh	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	-

除满足上电要求外，使用 SERIAL 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- SERIAL 接口使能  
上电后初次配置或前一次配置时 RECONFIG\_N 未设置为普通 I/O 状态。
- 启动新的配置  
重新上电或者低电平脉冲触发 RECONFIG\_N 管脚。

## 3.9 菊花链

### 3.9.1 串行菊花链

在串行菊花链中，设备通过 DIN 引脚接收其配置数据，并通过 DOUT 引脚将配置数据传递给下游设备。最上游的设备（离数据源最近的设备，即下图中的 Device\_1）可以处于以下模式之一：

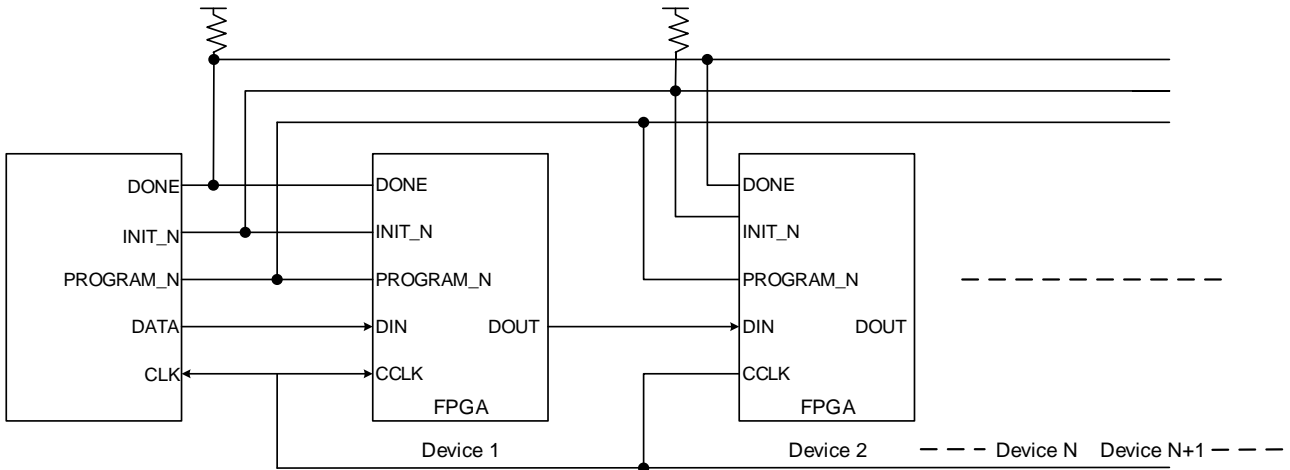
- Master Serial
- Slave Serial
- Master SPI  
下游设备必须为：
- Slave Serial

注！

Master SPI 必须处于 x1 模式。

下图为串行菊花链示意图，其中 Host 首先配置 Device 1，然后通过 DOUT 引脚将比特流旁路到与其相邻的下一个设备（即图中的 Device 2）。

图 3-42 串行菊花链示意图



### 3.9.2 并行菊花链

在并行菊花链中，“芯片选择”信号从上游器件向下传递到下游器件。最上游的设备可以处于以下模式之一：

- Master CPU
- Slave CPU

下游设备必须是：

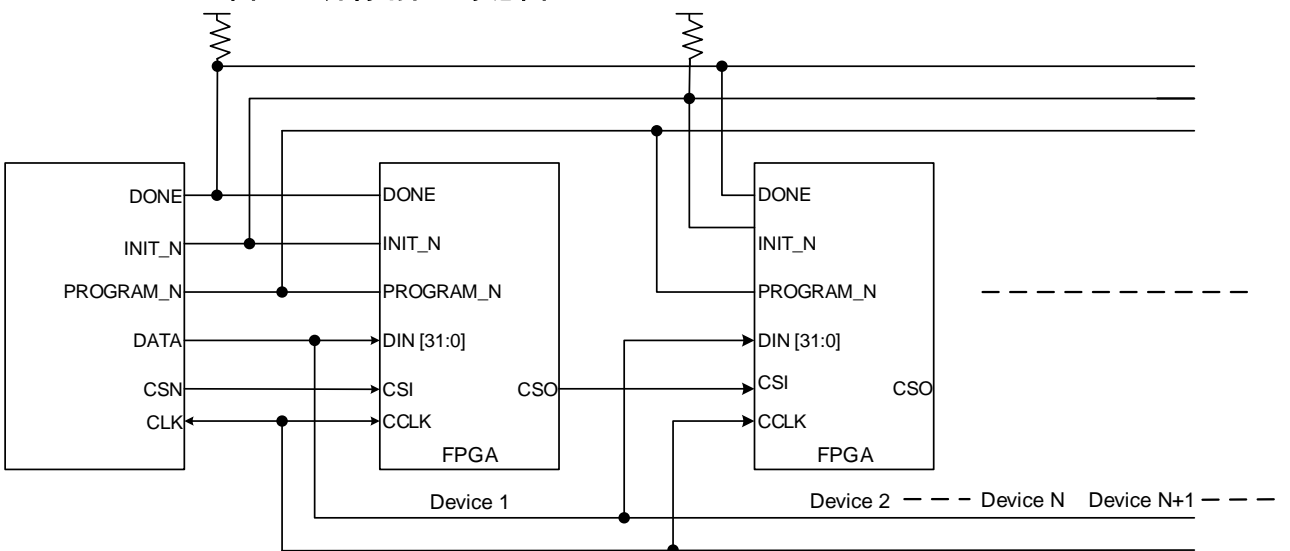
- Slave CPU

注！

所有设备的写使能引脚（RDWR\_N）必须拉低。

下图为并行菊花链示意图，图中首先配置 Device 1，然后通过“CSO”引脚将“CSN”旁路到 Device 2。一旦设备本身完成配置，所有下游设备会将“CSN”传递到与其相邻的下一个设备。

图 3-43 并行菊花链示意图



# 4 配置细节

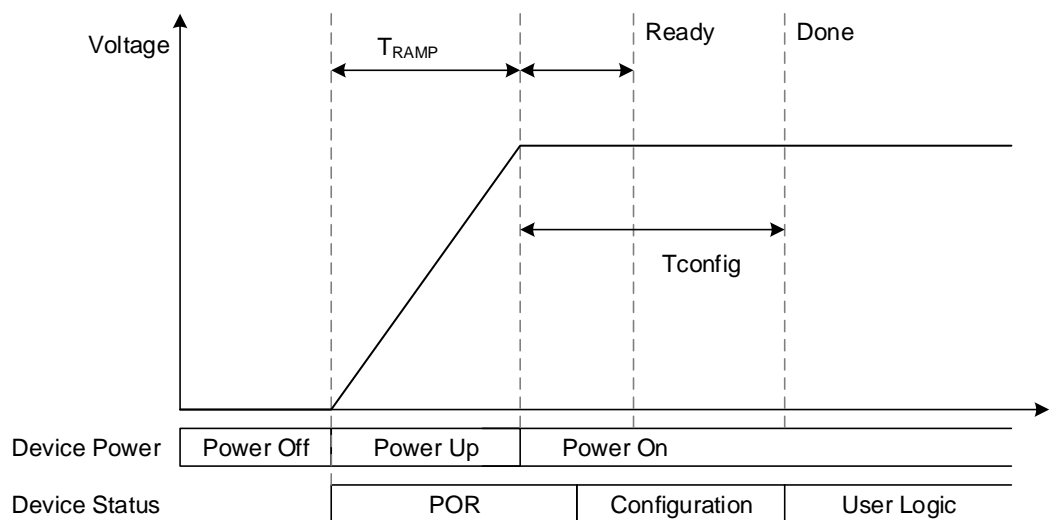
高云半导体 Arora V FPGA 产品是基于 SRAM 工艺的高性能器件。基于 SRAM 工艺的器件掉电后器件内部的配置数据丢失，每次上电后需重新配置。

高云半导体 FPGA 产品封装类型丰富，每一种封装的器件支持的配置模式与封装出来的配置管脚数目有关：所有器件均支持通用的 JTAG 配置；每种配置模式的 MODE 值各不相同。

## 4.1 配置须知

### 上电要求

图 4-1 上电流程示意图



当 FPGA 的 VCC、VCCO、VCCX 供电电压满足最小供电幅值时，FPGA 进入启动流程：电压稳定且 RECONFIG\_N 未被外部电路拉低>FPGA 内部电路拉低 READY 和 DONE 管脚>FPGA 初始化>READY 拉高并采样 MODE 值>根据配置模式读取配置数据并校验>FPGA 唤醒>DONE 拉高>进入用户模式。



FPGA 启动过程中需要保持供电稳定，FPGA 上电及加载过程中 RECONFIG\_N 管脚不允许出现低电平，用户可选择将 RECONFIG\_N 管脚悬空或外部上拉。FPGA 唤醒前所有普通 I/O 输出高阻态。

### 配置管脚复用

用户在使用不同配置模式时，需要根据配置管脚的作用，确保 FPGA 工作在已选择的配置模式下。用户端管脚数目不足时，可以通过其他连接方式灵活处理这些管脚，只保留数据传输相关的管脚即可。MODE[2:0]用来选择编程配置模式，用户不需要改变模式时可以使用上拉或下拉的方式将其固定在特定的模式，上拉电阻推荐 4.7K，下拉电阻推荐 1K。

注！

RECONFIG\_N、READY 和 DONE 管脚与每种配置模式相关，无论用户是否将它们设置为 GPIO，都需要保证在配置操作完成前它们的初始值或管脚连接状态满足编程配置条件。

### 固定管脚推荐接法

用户进行电路原理图设计时，推荐接法请参考原理图指导手册。

### 重新上电及低电平脉冲触发 RECONFIG\_N 时序图

重新上电和低电平脉冲触发 RECONFIG\_N 的时序图如图 4-2 和图 4-3 所示。

图 4-2 重新上电时序图

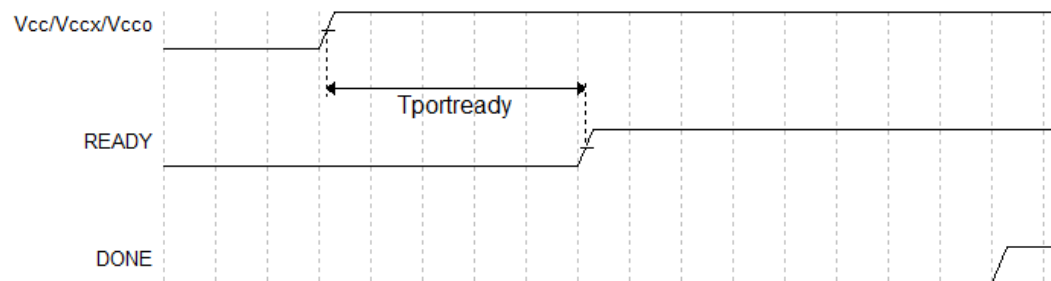
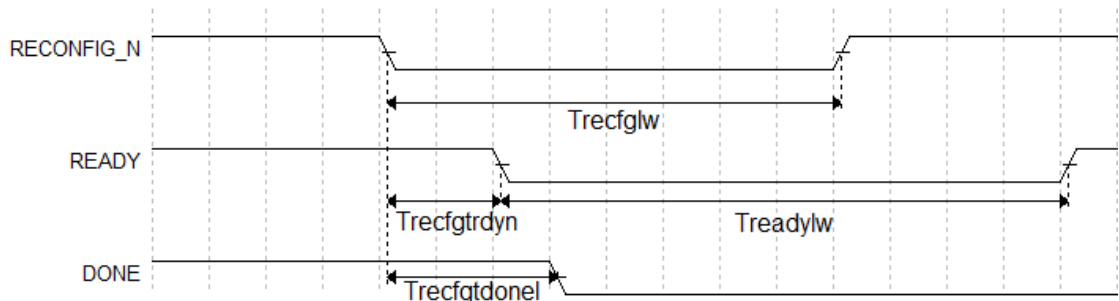


图 4-3 触发时序图



Arora V FPGA 产品相关的时序参数如表 4-1 所示。

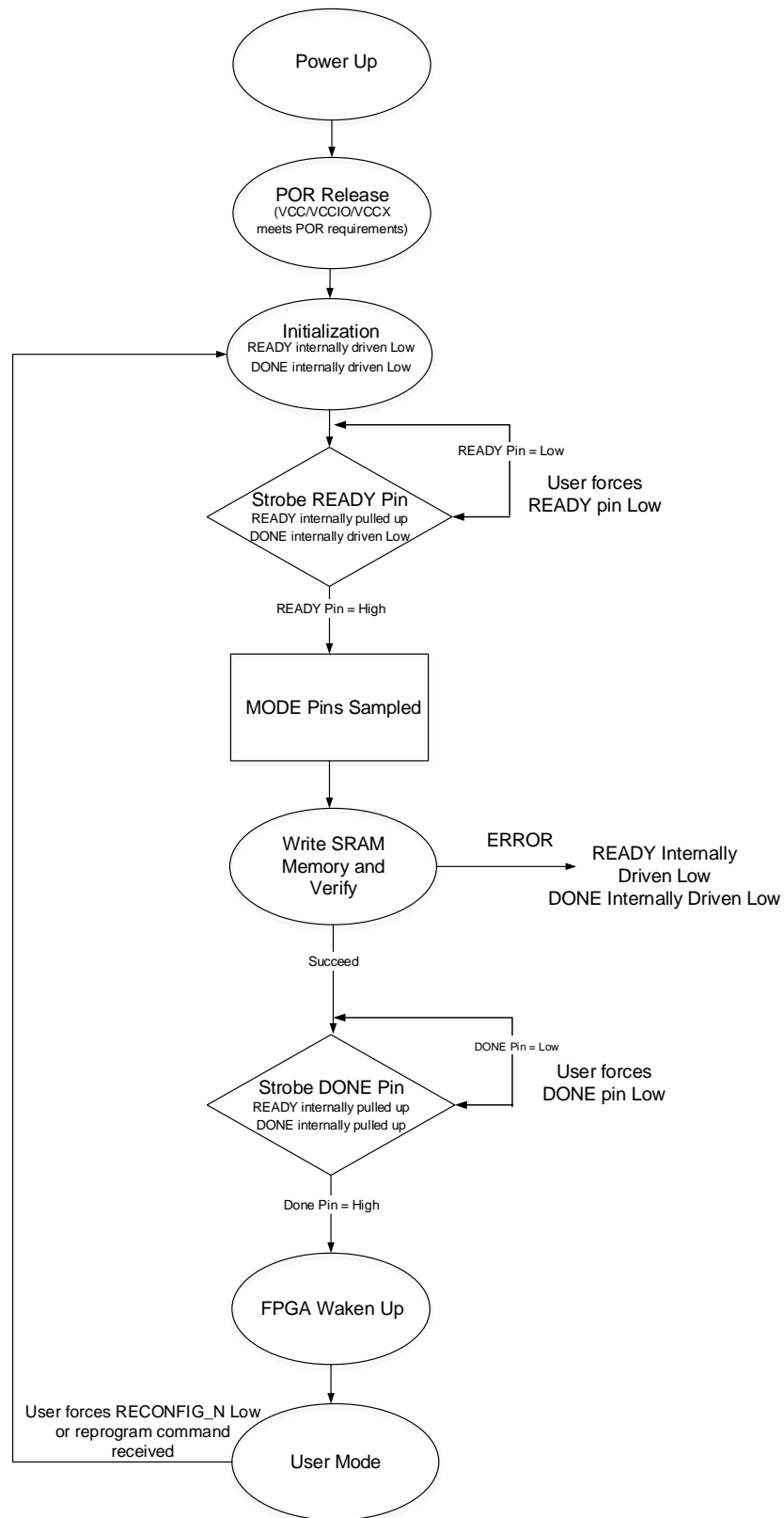
**表 4-1 Arora V FPGA 产品重新上电和 RECONFIG\_N 触发时序参数**

参数名称	参数含义	最小值	最大值
$T_{portready}$	POR 到 READY 的上升沿的时延 (Time from POR to the rising edge of READY)	-	23ms
$T_{recfglw}$	RECONFIG_N 低电平脉冲宽度 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N 下降沿到 READY 变低电平的时延 (Time from RECONFIG_N falling edge to READY low)	-	70ns
$T_{readylw}$	READY 低电平脉冲宽度 (READY low pulse width)	TBD	-
$T_{recfgtdone}$	RECONFIG_N 下降沿到 DONE 变低电平的时延 (Time from RECONFIG_N falling edge to DONE low)	-	80ns

## 4.2 配置流程

高云半导体 FPGA 上电启动后历经初始化、配置 SRAM 和唤醒等几个状态，其配置流程如图 4-4 所示。

图 4-4 高云半导体 FPGA 配置流程图



注！

- READY、DONE、RECONFIG\_N 是双向 IO，open drain 输出，同时内部有弱上拉（上拉电流约为 100uA）。
- 用户可以通过强制拉低 READY(force the READY pin low)来控制器件开始加载的时

- 间点。
- 用户可以通过强制拉低 DONE(force the DONE pin low)来控制器件 wake up 的时间点。
- 从上电到器件加载完整，RECONFIG\_N 管脚需要保持为高电平状态。

### 4.2.1 上电时序

电源上电的过程中，FPGA 内部的上电复位(POR)电路开始工作。POR 电路确保外部 I/O 管脚处于高阻状态并监控 VCC/VCCX/VCCIO<sub>n</sub> 电源轨。当 VCC/VCCX/VCCIO<sub>n</sub> 满足最低复位电平时(不同器件的复位电平不同，不同器件监控的电源轨不同)，POR 电路释放内部复位信号，FPGA 开始初始化流程。当 READY 和 DONE 信号拉低后，器件进入初始化状态，如图 4-5 所示。

图 4-5 POR 上电时序图

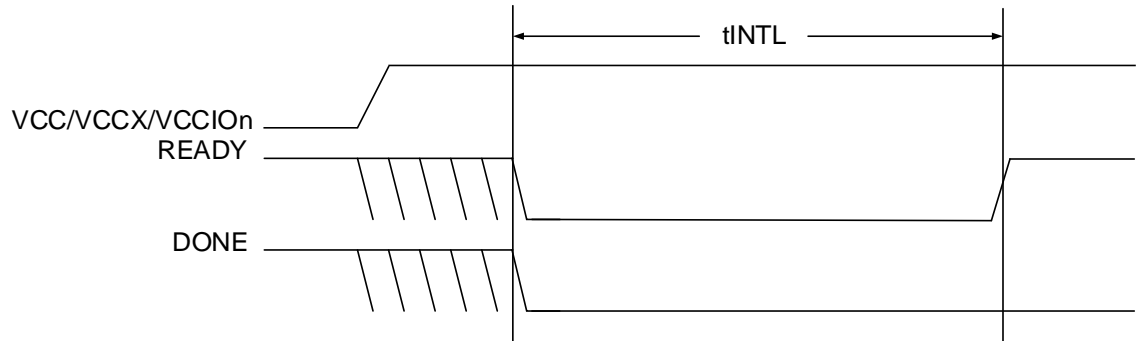


表 4-2 列出了不同器件 POR 模块监控电源轨的详情。

表 4-2 不同器件 POR 模块监控电源轨

系列	器件	POR 模块监控电源轨
Arora V	GW5AT-60	VCC/VCCX/ VCCIO3/4/12/5

### 4.2.2 初始化

在上电复位电路拉低 READY 和 DONE 管脚后，高云半导体 FPGA 立即进入存储器初始化状态。初始化状态的目的是清除 FPGA 内部的配置 SRAM 存储器。

FPGA 满足以下所有条件后跳出初始化状态：

- 初始化状态超过 tINITL。
- RECONFIG\_N 管脚为高。
- READY 管脚不被外部驱动强制拉低。

在初始化阶段 READY 管脚提供两种功能：

- 指示 FPGA 正在清除内部的配置 SRAM 区域。
- 作为输入，当被外部强制拉低时可以阻止 FPGA 跳出初始化状态。

### 4.2.3 配置

识别到 **READY** 管脚的上升沿后，**FPGA** 进入配置状态。根据 **MODE** 管脚状态，可以通过多种模式配置 **FPGA** 内部的配置 **SRAM**。在 **FPGA** 接收配置数据的期间，可以通过 **READY** 管脚判别内部状态。**READY** 管脚高电平指示配置过程正常，**READY** 管脚低电平指示 **FPGA** 配置出错，不能正常工作。

### 4.2.4 唤醒

当正确接收到所有配置数据后，**FPGA** 进入唤醒状态并置起内部的 **DONE** 状态位。在唤醒状态下，**FPGA** 会依次进行如下操作：

1. 使能全局输出信号(**GOE**)，**FPGA** 的 **I/O** 退出高阻状态，完成 **I/O** 编程实现预设的功能。通过置位全局置位/复位信号(**GSR**)，可以防止输入信号影响 **FPGA** 内部的 **Flip-Flop** 状态。
2. 释放全局置位/复位信号(**GSR**)和全局写入禁止信号 (**GWDISn**)。使能全局写入禁止信号可以防止 **FPGA** 误改写内部 **RAM** 的初始化数据。
3. 使能外部 **DONE** 管脚。使能状态下 **DONE** 管脚是一个双向开漏 **I/O**。可以通过外部强制拉低 **DONE** 管脚的方式让 **FPGA** 保持在唤醒状态。一旦 **DONE** 管脚拉高，**FPGA** 将完成唤醒状态，进入用户模式。

### 4.2.5 用户模式

进入用户模式后，**FPGA** 将立刻执行您设计的逻辑运算。**FPGA** 将保持在用户模式下直到触发以下三种事件：

- 外部拉低 **RECONFIG\_N** 管脚
- 通过配置端口接收到 **REFRESH** 指令
- 电源有下上电动作

一旦出现以上三种操作，**FPGA** 将重新进入配置流程。

## 4.3 安全性考虑

用户使用 **FPGA** 进行设计，安全性问题是一个关键的考虑因素，高云半导体的编程软件结合器件特性开发了一系列安全保护措施，为用户的比特流数据提供了完善的安全性保障机制。

安全措施大致分为三个阶段：

- 配置开始前，编程软件自动检查比特流数据的合法性；
- 配置过程中，器件实时校验传输数据的正确性；
- 配置完成后，器件进入工作状态，屏蔽一切形式的回读请求。

三个阶段的详细描述信息如下：

### 配置开始前

使用高云半导体的编程软件进行配置操作，请参见以下步骤：

1. 进行配置电路的硬件连接；
2. 启动编程软件进行器件扫描，软件自动识别已连接的 **FPGA** 产品；
3. 选择比特流数据和编程配置模式进行器件的编程配置。

上述过程中，编程软件首先读取已连接器件的 **ID**，然后将其与用户选择的比特流数据中的 **ID** 进行比较，只有二者一致才能进行操作，否则，用户选择的比特流数据被判定为非法数据，无法进行编程配置。

#### 注！

高云半导体 **FPGA** 产品具有特定的 **ID**，以便与其他系列产品进行区分。使用高云半导体云源软件生成的比特流数据中自动添加了器件的 **ID** 验证指令，用户只需在建立工程时选择具体器件即可。

### 配置过程中

配置过程开始后，器件首先读取比特流数据的 **ID** 信息进行校验，校验通过后开始编程配置过程。为防止比特流数据被篡改的情况和传输过程中可能发生的错误，高云半导体器件采用 **CRC** 校验的方式确保比特流文件中的所有数据位正确写入 **FPGA**，具体过程如下：

高云半导体云源软件生成的比特流数据中每段地址后都加入了该段地址对应数据的 **CRC** 校验码，高云半导体器件在接收数据的过程中也会不断地生成校验码，与器件接收的校验码进行比较，一旦发现校验错误，之后的数据将被忽略，配置完成后 **DONE** 指示灯不会被点亮，编程软件界面上弹出 **CRC** 校验出错的提示。

### 配置完成后

配置完成后，根据用户选择的编程配置模式，器件的比特流数据加载到 **SRAM** 中完成启动。对于加载到 **SRAM** 中的数据，高云半导体云源软件在生成比特流数据的过程中自动设置了安全位，任何用户都无法读取 **SRAM** 中的数据。

#### 注！

高云半导体不对外置 **Flash** 的存储安全性负责。

## 4.4 比特流文件配置

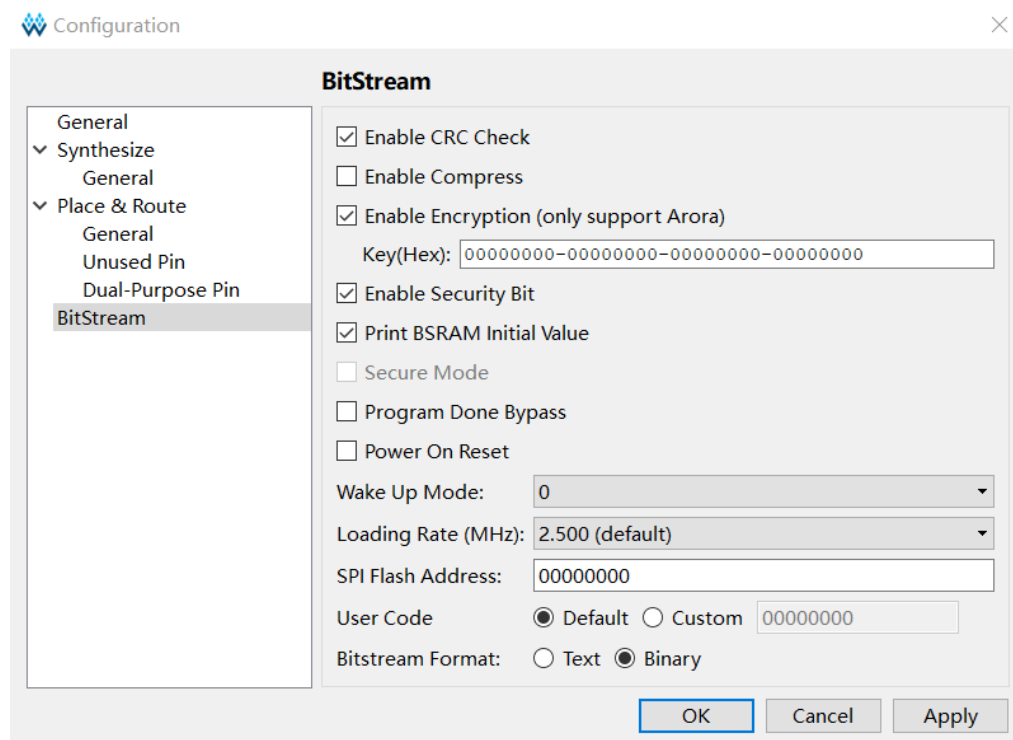
高云半导体 **FPGA** 产品编程配置相关的特性需要结合云源软件进行选项设置。配置主要包括配置管脚复用相关的选项和比特流文件配置相关选项。本章主要描述比特流文件配置相关信息，配置管脚复用相关信息请参考配置管脚复用。

高云半导体为保障配置数据的安全准确传输，在 **FPGA** 产品的比特流文件中默认加入了 **CRC** 校验算法并设置了安全位。数据配置过程中实时校验输入数据是否出错，错误的无法唤醒器件，**DONE** 信号拉低。设置了安全位的比特流数据完成配置后，任何用户无法进行回读操作。

### 4.4.1 配置选项设置

比特流数据生成相关的设置界面请参考图 4-6，配置选项包括 CRC 校验使能、比特流数据压缩、加密密钥设置、安全位设置、MSPI 配置频率选择、多重配置模式下 SPI Flash 启动地址设置、USER CODE 设置等。

图 4-6 配置选项



注！

高云半导体云源软件勾选加密密钥设置选项后强制勾选安全位设置选项，用户使用这样的比特流数据进行配置，既可以保证数据传输过程的安全，又能够阻止任何回读操作，最大限度地保障了用户数据的安全性。

### 4.4.2 配置数据加密

高云半导体晨熙（Arora V）家族 FPGA 产品支持比特流数据加密，采用 128 bits 的 AES 加密算法。加密的比特流数据的配置流程如下：

1. 在高云半导体云源软件输入加密密钥生成比特流文件；
2. 在 Gowin 编程软件输入解密密钥存入 FPGA；
3. 将加密的比特流数据加载到器件之后，器件会自行读取解密密钥进行数据解析。

数据解析成功后，器件完成配置并正常工作；数据解析失败后，器件无法工作，READY 和 DONE 信号拉低。

#### 定义

- AES 密钥：也称 AES 私钥，AES 加密算法中用到的私钥部分，由算法外指定，本文简称 key；

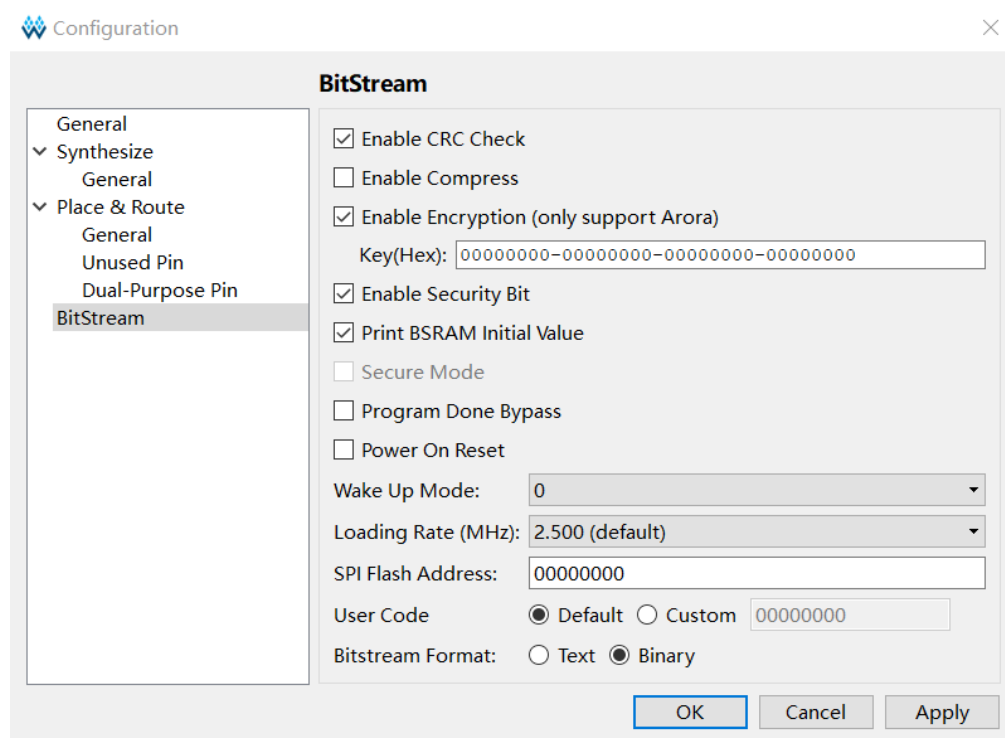
- AES 密钥长度：128 位；
- Key: AES 密钥的简称，Arora V FPGA 产品中提供一个 128 位长度的空间用于存储 Key；
- Lock: 为保证 AES 密钥的安全，该指令用于限制 key 的读权限，本文将该过程简称 lock，当处于锁定状态后，设置后回读数据所有数据都是 1。

### 输入加密密钥

在云源软件中输入加密密钥的方法如下：

1. 打开云源软件中相应的工程；
2. 在菜单栏中选择“Project>Configuration”；
3. 单击“BitStream”页签，勾选“Enable Encryption(only support Arora)”并输入密钥值，如图 4-7 所示。

图 4-7 加密密钥设置方法



加密密钥设置成功后，还需要将解密的密钥写入到 FPGA 的密钥存储区，器件才能解析加密的比特流数据完成配置。

### 输入解密密钥

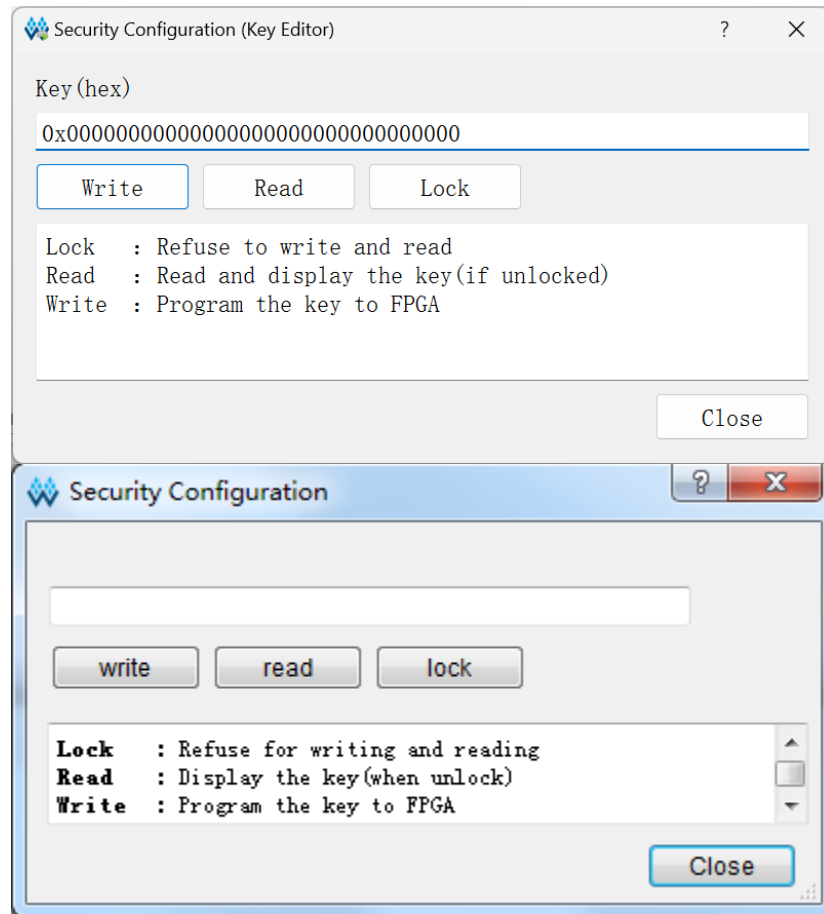
解密密钥的写入方法如下：

1. 打开 Gowin 编程软件；
2. 扫描 FPGA 器件；
3. 右键单击器件选择 Security Key Setting；



4. 在弹出的界面上输入之前加密的密钥值并单击“Write”将其写入到 FPGA，如图 4-8 所示。

图 4-8 解密密钥设置方法



解密密钥写入成功后可以选择界面上的读取指令回读写入的密钥进行验证。

密钥写入成功后，用户也可选择 **lock** 命令将密钥“锁死”在 FPGA 内部，之后任何对密钥的读取和写入操作都将无效：密钥值无法进行修改，读取的密钥所有位全部为“1”。

设置解密密钥后，加密的比特流数据只有与解密密钥匹配成功后才能唤醒。非加密比特流数据的配置不受密钥影响。

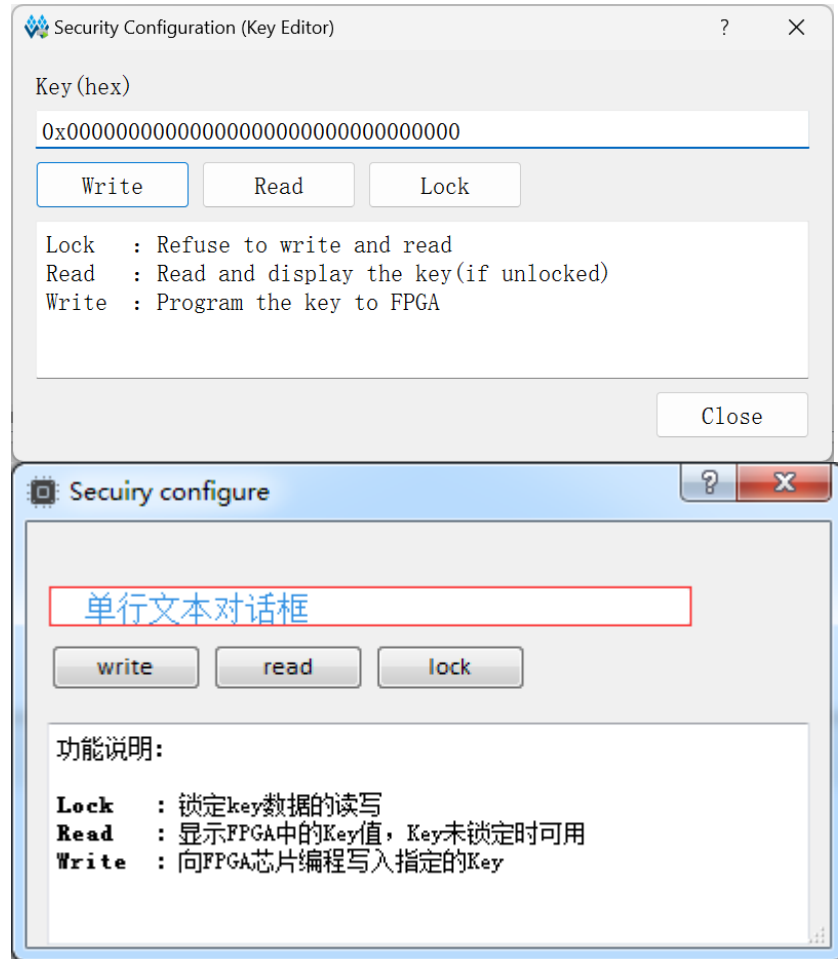
#### 注！

高云半导体 FPGA 的密钥初始值所有位全部为 0，当把密钥值的某一位修改为 1 后便无法改回 0。例如，用户的某次操作中写入的密钥值为 00000000-00000000-00000000-00000001，之后修改此器件的密钥时最低位也必须是 1。

## AES 密钥编程操作

Gowin Programmer 工具中提供了 AES 密钥编程工具，单击菜单“Edit”中“Security Key Setting”选项即可开启该工具，如图 4-9 所示。

图 4-9 AES 编程对话框



该程序包含三个功能，分别是：

- Write: 编程 Key;
- Read: 读取 Key;
- Lock: 锁定 Key 的读写权限。

### 编程 Key (Write)

1. 将自定义的 Key(AES 密钥)填入“单行文本对话框”中;
2. 单击“write”按钮;
3. 工具运行结束，返回验证结果。

### 读取 Key (Read)

单击“read”按钮可对写入的 AES 密钥进行再次验证，读取出来的 AES 密钥会显示在“单行文本对话框”中。

### 锁定 Key (Lock)

单击“lock”按钮，锁定 Key 数据的读写，AES 密钥将不能再被读取和写入。

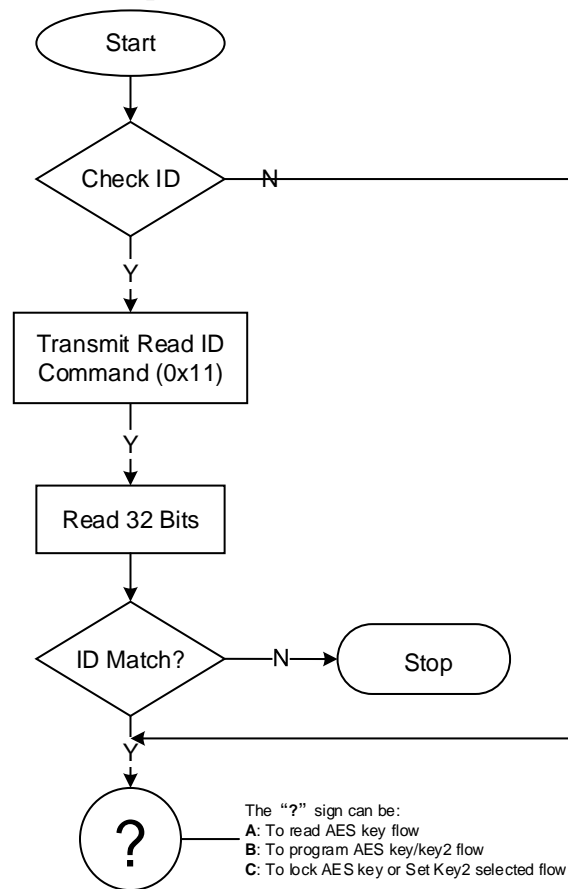
### AES 密钥编程流程

图 4-10~图 4-14 给出了如何编程或锁定 AES 密钥的流程，图示流程均基于 JTAG 协议。

#### 检查 ID CODE

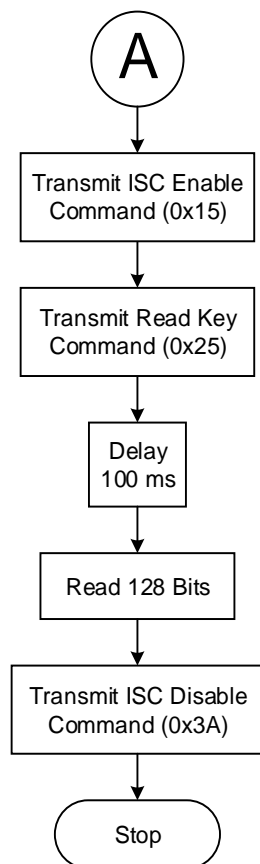
对器件 ID 进行检查，一方面可确定 JTAG 协议是否工作正常，另一方面确定烧录对象是否正确，避免误操作。

图 4-10 Prepare



## 读取 AES Key

图 4-11 Read AES Key Flow



烧录 AES Key

图 4-12 Program AES Key Flow

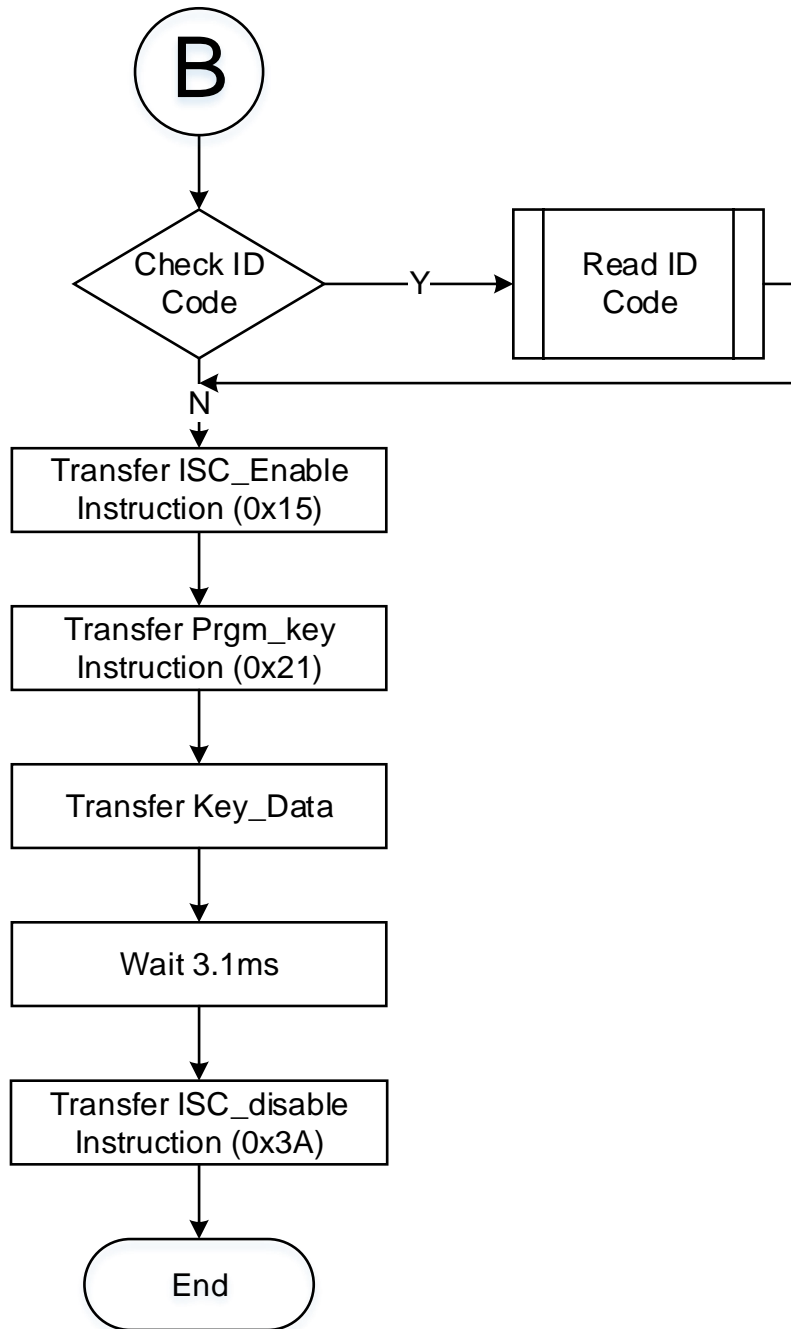
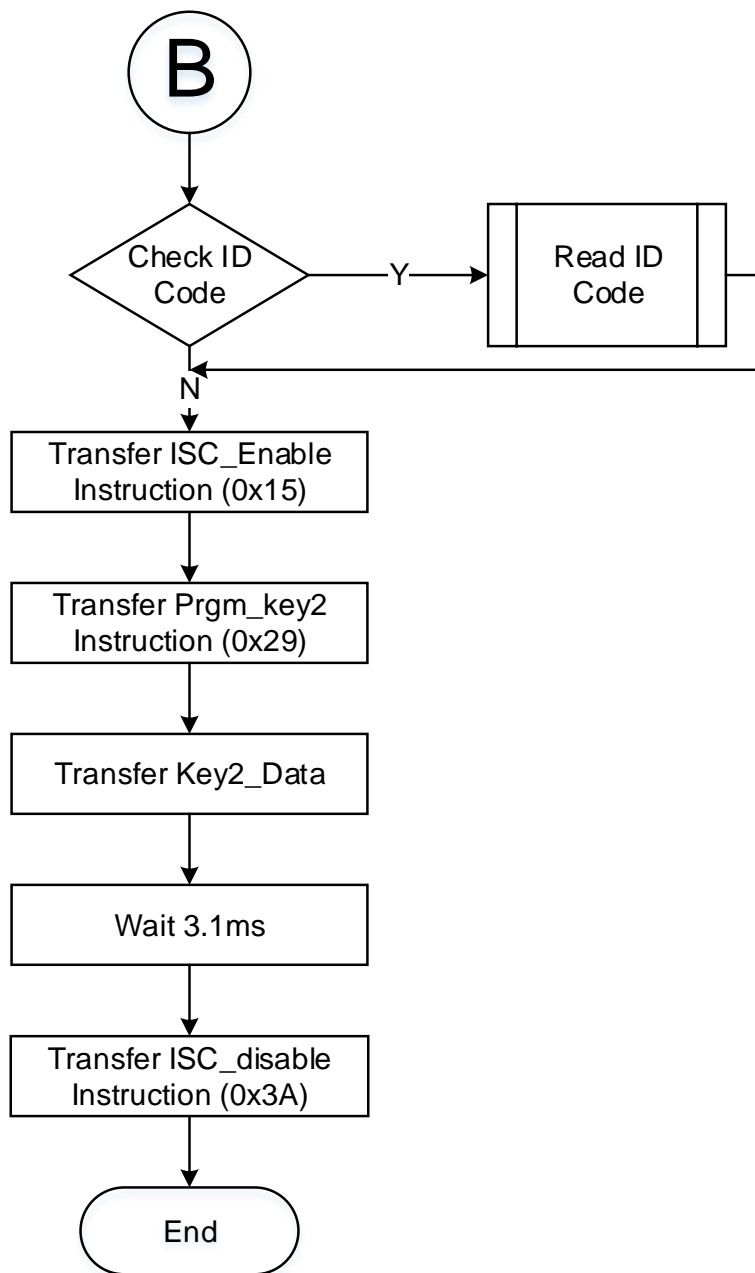


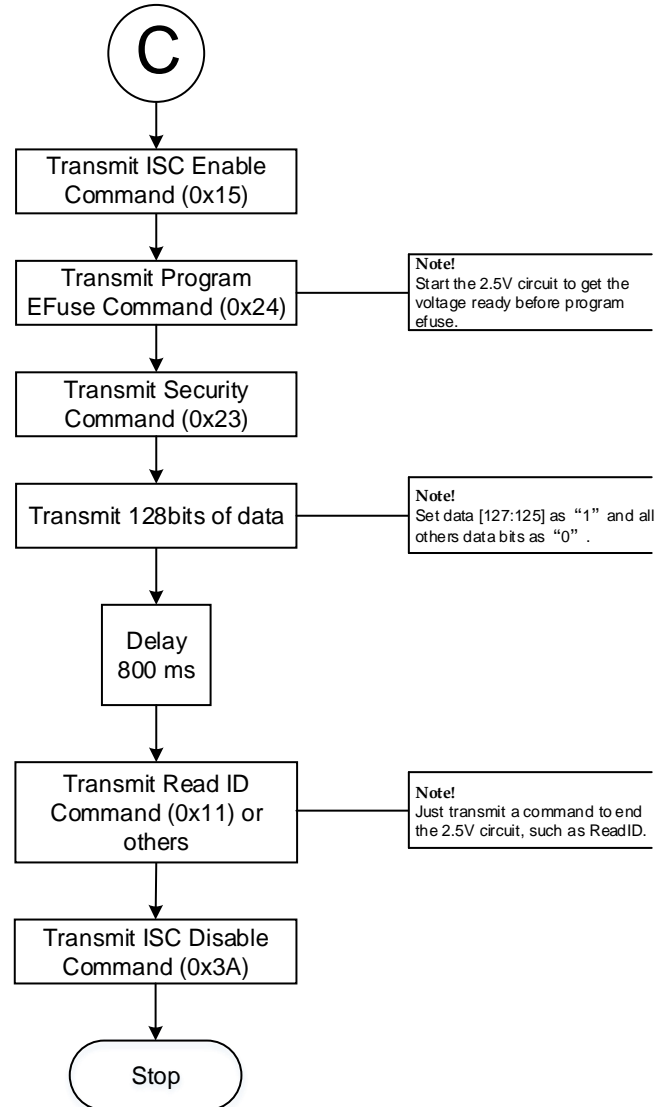
图 4-13 Program AES Key2 Flow



### 锁定 AES Key

锁定 AES Key 的作用是防止 Key 泄露。锁定 AES Key 之后将不能读取和配置 AES Key。

图 4-14 Lock AES Key Flow



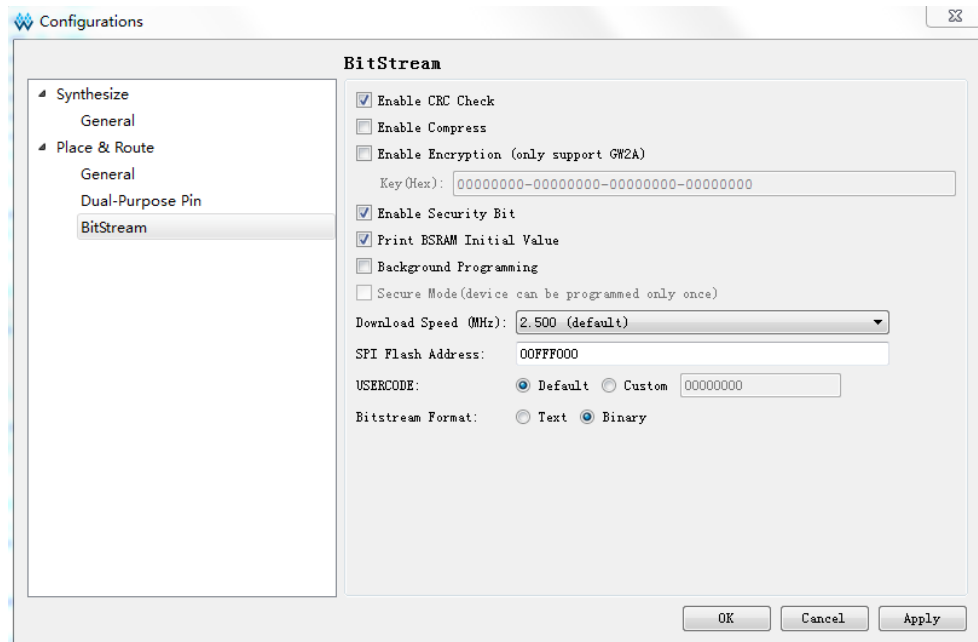
### 4.4.3 配置文件大小

高云半导体 FPGA 产品配置数据流文件的存储格式，包括携带注释信息的文本格式（ASCII）的文件和不携带注释信息的二进制格式的文件。文本格式的文件后缀名为.fs，其中以“//”开头的行属于注释信息，其他部分是数据流数据。二进制格式的文件的后缀名为.bin，其不包含注释信息，此文件格式通常用于嵌入式编程。用户可以在高云半导体云源软件中设置存储格式：

1. 打开高云半导体云源软件；
2. 在 Process 选项卡上右键单击 Place&Route 选择 Configuration 中的 bitstream；

3. 在 Bitstream Format 选项中选择 Text 或 Binary 格式即可，如图 4-15 所示。

图 4-15 比特流格式生成



高云半导体支持比特流数据的压缩，压缩比例与用户的设计相关，本文档只提供未压缩的配置文件大小，如表 4-3 所示。

表 4-3 Arora V 60K FPGA 产品配置文件大小（最大情况）

逻辑单元数量	配置文件大小（最大值）
59904	21Mb

**注！**

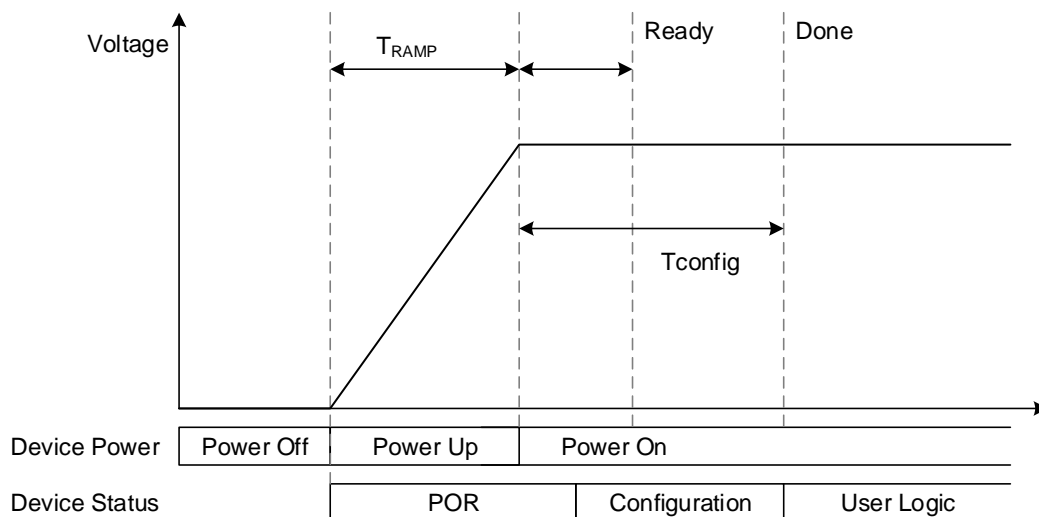
表中的数据是二进制格式的文件大小，并且配置文件未进行压缩。使用 SPI Flash 存储数据流文件时需要留出一些余量。



### 4.4.4 配置文件加载时长

FPGA 可以作为 Master 从 Flash 读取数据流文件并配置 SRAM。当 FPGA 上电并在 Ready 后开始尝试主动读取数据流文件，当完成加载后，FPGA 进到 User Logic 状态，如图 4-16 所示。

图 4-16 上电流程示意图



高云 Arora V FPGA 器件支持 MSPI 模式,即从外部 SPI Flash 自行读取数据流并配置 FPGA，读取配置文件的频率默认是 2.5MHz，每一个 SPI 时钟即读取一个比特，根据文件大小可计算加载所需时长。MSPI 读取 SPI Flash 的时钟最大支持 105MHz。

根据配置文件大小、加载频率和每时钟加载位宽的不同，其加载时间也不一样。

MSPI 模式数据流文件加载时长如表 4-4 所示。

表 4-4 MSPI 模式数据流文件加载时长

逻辑单元数量	最大配置文件	SPI x 1 加载频率=2.5MHz, $T_{config}$ 的最大值 (ms)	SPI x 1 加载频率=25MHz, $T_{config}$ 的最大值 (ms)	SPI x 1 加载频率=104MHz, $T_{config}$ 的最大值 (ms)	SPI x 4 加载频率=104MHz, $T_{config}$ 的最大值 (ms)
59904	21Mb	8400	840	201.9	50.5

以上列出的是加载时间的参考，设备从上电到配置完成，除了配置所占时间，还有设备上电的时间  $T_{ramp}$ ，和设备初始化的时间，具体上电时间与电源器件有关，需要自行测量。所以 FPGA 从上电到加载完成大致时间可按如下公式计算：

MSPI 模式：

$$T_{\text{加载时长}} = \text{POR 时长} + \text{数据流比特数/加载频率}$$

## 4.5 SPI Flash 选择

高云半导体 FPGA 产品支持的外部 SPI Flash 器件操作指令如表 4-5 所示，市场上常见的 Mxic、GigaDevice 和 Winbond 的产品均符合要求，原则上只要普通读指令和快速读指令，高云 FPGA 都可以从该 Flash 中加载。

**表 4-5 SPI Flash 操作指令**

操作	指令
Read	8'h03
Fast read	8'h0B
Dual output fast read	8'h3B
Quad output fast read	8'h6B
4-byte read	8'h13
4-byte fast read	8'h0C
4-byte dual output fast read	8'h3C
4-byte quad output fast read	8'h6C

**注！**

高云半导体 FPGA 支持的 Flash 读指令必须至少有一种是 03 或 0B，容量需要不小于 64Mb.

# 5 状态寄存器及 Efuse 定义

## 5.1 状态寄存器

器件内部有供调试用的状态寄存器(Status Register)，在器件调试过程中通过读取 Status Register，可初步判断器件的状态，如判断是否成功 wakeup、是否存在加载错误等。

表 5-1 GW5A-60 Status Register

Bit	Domain	Description
31	auto_erase	1= bulk erase is ongoing
30	wakeup	1= wakeup status (all global signals, i.e. gsr, gwd, goe and done, are driven high)
29	init_r	1= initialization is done This signal is equal to the status of "INIT_N" pin
28	mfg_done	1= OTP reading is done and MFG pattern is verified
27	decomp_fail	1 – no corresponding dictionary item is found during decompressing a code-word
26:25	sync_det_retry	The retry time of sync pattern detection in MSPI mode 00 – no retry 01 – retry one time 10 – retry two times 11- no "sync pattern" is found after three times detection
24:23	cpu_bus_width	the detected bus width of CPU interface 00 – no BWD pattern is detected 01 – 8-bit mode 10 – 16-bit mode 11 – 32-bit mode
22	ser_running	1: CMSER is ongoing 0: CMSER is in IDLE state
21	ser_ecc_uncorr	1: Uncorrectable ECC error has been detected 0: no uncorrectable ECC error was detected
20	ser_ecc_corr	1: Correctable ECC error has been detected (whether or not to be corrected is dependent on

Bit	Domain	Description
		register setting) 0: no correctable ECC error was detected
19	ser_crc_err	1: CRC error has been detected 0: no CRC error has been detected
18	ser_crc_done	1: at least one time of CRC comparison has been done 0: no CRC comparison was done
17	sspi_mode	
16	key_right	
15	encrypted_format	
14	security_final	
13	done_final	
12	i2c_sram_f	
11	cmd_bypass_state	
10	nj_active_r	
9	auto_boot_1st_fail	
8	prgm_spi	
7	edit_mode	
6	preamble	
5	memory_erase	
4	auto_boot_2nd_fail	
3	time_out_r	Timeout Error (1 表示发生错误, 0 表示未发生错误)
2	id_fail_r	ID Verify Failed Error (1 表示发生错误, 0 表示未发生错误)
1	bad_cmd_r	Bad Command Error (1 表示发生错误, 0 表示未发生错误)
0	crc_error_r	CRC Error (1 表示发生错误, 0 表示未发生错误)

## 5.2 OTP Efuse

Arora V FPGA 提供 128 Bit 的 OTP 空间，支持一次性编程。其中 Bit0~Bit31 为用户区，系统制造商可以使用此空间存储安全性和其他重要信息。Bit32~Bit95 为 DNA 区，存储器件 64 位唯一标识信息。

GW5AT-605 OTP 定义如表 5-2 所示。

表 5-2 GW5AT-60 OTP 定义

Name	Bit Index	Description
User MISC	0~9bit (10bits)	0bit mfg_7bit(i2c_addr_2bit)
		1bit mfg_6bit(i2c_addr_0bit)
		2~5bit otp_2nd_boot_addr[3:0](4bits)
		6~9bit otp_1 <sup>st</sup> _boot_addr[3:0](4bits)
User Define	10~31bit (22bits)	user defined
Device DNA	32~95bit (64bits)	57bit DNA
USER Control	96~127bit(32bits)	96~98bit cfg_aes_only[2:0]
		99~101bit prgm_key_lock[2:0]; 该区域有效时，jtag 不能对 key/key2 区域的密钥进行写操作。
		102~104bit rd_key_lock[2:0]; 该区域有效时，jtag 不能对 key/key2 区域的密钥进行读操作。
		105~107bit prgm_fuse_user_lock[2:0]
		108~110bit rd_fuse_user_lock[2:0]
		112~114bit prgm_rd_dna_lock[2:0]
		115~117bit lock_sel_key_r[2:0]; 该区域有效时，表示选择 key2 区域，否则选择 key 区域（3bit 的数据中，只要有两 bit 设置为 1，则表示高区域有效）。
		118~120bit prgm_user_misc_lock[2:0]
		121~123bit rd_user_misc_lock[2:0]
		124~126bit prgm_user_control_lock[2:0]
127bit reserved		

# 6 多重配置和背景升级

高云半导体 Arora V FPGA 的多重配置功能支持灵活的动态配置和可靠的背景升级。在配置过程中检测到错误时，FPGA 可以触发回退功能，确保设备可以加载 Golden 固件。多重配置功能只用于 Master SPI 配置模式。

## 6.1 多重配置流程

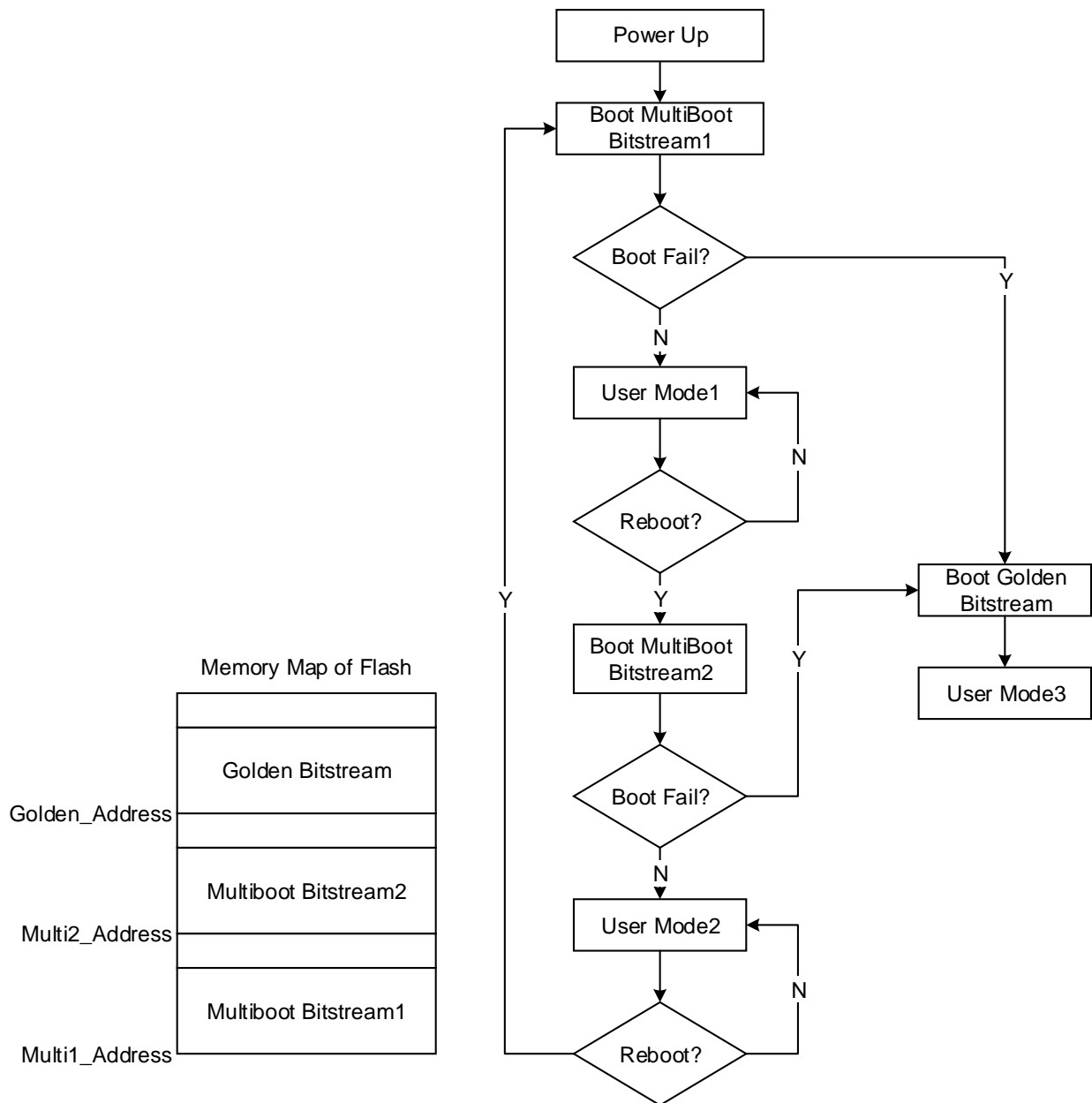
将 Flash 空间划分为 3 个区域分别存储 Multiboot Bitstream1、Multiboot Bitstream2 和 Golden Bitstream1。上电后器件首先从 0 地址处加载 Multiboot1 固件(默认配置下 MultiBoot1 的加载地址为 0，可以通过 EDA 将 MultiBoot1 的加载地址配置为任意地址)，加载完成后器件进入 User\_Mode1 执行相应的逻辑运算。

User\_Mode1 中，若收到 Reboot 指令或外界通过低电平脉冲触发 RECONFIG\_N，器件会从指定的 Multi2\_Address 地址以预设的 MSPI 模式加载 Multiboot2 固件，加载完成后器件进入 User\_Mode2 执行相应的逻辑运算；User\_Mode2 中，若收到 Reboot 指令或外界通过低电平脉冲触发 RECONFIG\_N，器件会从指定的 Multi1\_Address 地址以预设的 MSPI 模式加载 Multiboot1 固件，加载完成后器件进入 User\_Mode1 执行相应的逻辑运算。用户可以按以上方式灵活切换器件的逻辑功能。

如果在加载任意 MultiBoot Bitstream 过程中发生错误，器件会从预设的 Golden Address 处加载 Golden Bitstream，从而保证系统的稳定运行。

多重配置流程示意图如图 6-1 所示。

图 6-1 多重配置流程示意图



## 6.2 背景升级和 Hotboot

Arora V FPGA 支持通过 JTAG/SSPI/QSSPI 或者 UserLogic 的方式进行背景升级。其中 JTAG/SSPI/QSSPI 接口访问 Flash 的方法请参考 3 配置接口中相关描述；UserLogic 访问 Flash 需要调用 Gowin 官方 IP 实现。为了提高系统的鲁棒性，建议在远程升级的场景中预留 Golden Bitstream 区。

此外，Arora V FPGA 也支持 Hotboot 模式，即在完成背景升级后，若收到 Reboot 指令或外界通过低电平脉冲触发 RECONFIG\_N，器件所有的输出 IO 会被锁定在当前状态直到 wakeup 成功。

