



GW1NS 系列 FPGA 产品 封装与管脚手册

UG823-1.8, 2022-10-18

版权所有 © 2022 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、小蜜蜂、LittleBee、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/30	1.0	初始版本。
2018/11/16	1.1	增加各封装管脚分布示意图。
2019/01/10	1.2	<ul style="list-style-type: none">● 更新表 2-3 GW1NS-2/GW1NS-2C 器件管脚数目列表；● 更新 IO BANK 说明。
2019/04/03	1.3	更新 CS36 封装尺寸图。
2019/09/29	1.4	增加 GW1NS-4 / GW1NS-4C 相关信息。
2019/11/12	1.5	增加 CS49 封装信息及封装尺寸图。
2020/03/30	1.6	增加 GW1NS-2/GW1NS-2C CS36U 封装信息。
2020/04/16	1.6.1	<ul style="list-style-type: none">● 删除 GW1NS-2C CS36U 封装信息；● 修改 GW1NS-4/GW1NS-4C 器件 QN48 封装管脚分布示意图及管脚数据。
2020/07/28	1.7	增加 GW1NS-4/4C MG64 封装信息。
2020/11/25	1.7.1	更新 CS49 封装尺寸图。
2021/06/30	1.7.2	更新管脚统计信息。
2022/10/18	1.8	<ul style="list-style-type: none">● 统一封装尺寸图中的单位为毫米；● 删除 GW1NS-2、GW1NS-2C 相关信息。● 更新管脚定义。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 无铅封装	3
2.2 封装和最大用户 I/O 信息	3
2.3 电源管脚	4
2.4 管脚数目	4
2.4.1 GW1NS-4/GW1NS-4C 器件管脚数目	4
2.5 管脚定义说明	5
2.6 I/O BANK 说明	7
3 管脚分布示意图	8
3.1 GW1NS-4/ GW1NS-4C 器件管脚分布示意图	8
3.1.1 CS49 管脚分布示意图	8
3.1.2 QN48 管脚分布示意图	9
3.1.3 MG64 管脚分布示意图	10
4 封装尺寸	11
4.1 封装尺寸 CS49 (2.9mm x 2.9mm)	11
4.2 封装尺寸 QN48 (GW1NS-4/GW1NS-4C, 6mm x 6mm)	12
4.3 封装尺寸 MG64 (4.2mm x 4.2mm)	13

图目录

图 2-1 GW1NS 系列 FPGA 产品 I/O BANK 整体示意图.....	7
图 3-1 GW1NS-4/GW1NS-4C 器件 CS49 封装管脚分布示意图（顶视图）	8
图 3-2 GW1NS-4/GW1NS-4C 器件 QN48 封装管脚分布示意图（顶视图）	9
图 3-3 GW1NS-4/GW1NS-4C 器件 MG64 封装管脚分布示意图（顶视图）	10
图 4-1 封装尺寸 CS49	11
图 4-2 封装尺寸 QN48(GW1NS-4/GW1NS-4C).....	12
图 4-3 封装尺寸 MG64	13

表目录

表 1-1 术语、缩略语	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数	3
表 2-2 GW1NS 电源管脚	4
表 2-3 GW1NS-4/GW1NS-4C 器件管脚数目列表	4
表 2-4 GW1NS 系列 FPGA 产品管脚定义说明	5
表 3-1 GW1NS-4/GW1NS-4C 器件 CS49 其他管脚	8
表 3-2 GW1NS-4/GW1NS-4C 器件 QN48 其他管脚	9
表 3-3 GW1NS-4/GW1NS-4C 器件 MG64 其他管脚	10

1 关于本手册

1.1 手册内容

GW1NS 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NS 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS821, GW1NS 系列 FPGA 产品数据手册](#)
2. [UG290, Gowin FPGA 产品编程配置手册](#)
3. [UG823, GW1NS 系列 FPGA 产品封装与管脚手册](#)
4. [UG824, GW1NS-4&4C 器件 Pinout 手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CS49	WLCSP49	WLCSP49 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
MG64	MBGA64	MBGA64 封装
QN48	QFN48	QFN48 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW1NS 系列 FPGA 产品是高云半导体小蜜蜂® (LittleBee®) 家族 FPGA 第一代产品，包括 SoC FPFA 产品（封装前带“C”的器件）和非 SoC FPFA 产品（封装前不带“C”的器件）。SoC FPFA 内嵌 ARM Cortex-M3 硬核处理器，而非 SoC FPFA 内部没有 ARM Cortex-M3 硬核处理器。以 ARM Cortex-M3 硬核处理器为核心，满足最小内存实现的需求，FPGA 逻辑资源和内嵌的其他资源方便灵活的实现外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、管脚数量少、使用灵活、瞬时启动、低成本、非易失性、高安全性、封装类型丰富等特点。GW1NS 系列 SoC FPGA 产品实现了可编程逻辑器件和嵌入式处理器的无缝连接，兼容多种外围器件标准，可大幅降低用户成本，可广泛应用于工业控制、通信、物联网、伺服驱动、消费等多个领域。

2.1 无铅封装

GW1NS 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NS 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1NS-4/GW1NS-4C
QN48	0.4	6 x 6	38(4)
CS49	0.4	2.9 x 2.9	42(8)
MG64	0.5	4.2 x 4.2	55(8)

注！

- 本手册中 GW1NS 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.3 术语、缩略语。
- JTAGESEL_N 和 JTAG 管脚是互斥管脚，JTAGESEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。当 mode[2:0]=001 时，JTAGESEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，此时最大用户 I/O 数加 1。

2.3 电源管脚

表 2-2 GW1NS 电源管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCX	VSS	NC
VCCPLL	VCCP	-	-

2.4 管脚数目

2.4.1 GW1NS-4/GW1NS-4C 器件管脚数目

表 2-3 GW1NS-4/GW1NS-4C 器件管脚数目列表

管脚类型		GW1NS-4/GW1NS-4C		
		CS49	QN48	MG64
I/O 单端/差分对/LVDS ^[1]	BANK0	8/3/0	8/3/0	10/3/0
	BANK1	18/9/0	10/5/0	28/14/0
	BANK2	16/8/8	9/4/4	18/9/8
	BANK3	0/0/0	11/5/0	0/0/0
最大用户 I/O 总数 ^[2]		42	38	55
差分对		20	17	26
True LVDS 输出		8	4	8
VCC		1	2	1
VCCX		1	1	1
VCCO0		0	1	1
VCCO1		1	1	1
VCCO2		1	1	1
VCCO3		0	2	1
VCCO0/VCCO3 ^[3]		1	0	0
VSS		2	1	2
MODE0		0	0	0
MODE1		0	1	0
MODE2		0	0	0
JTAGSEL_N		0	1	1
NC		0	0	0

注！

- [1] 单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3] 引脚复用。

2.5 管脚定义说明

GW1NS 列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-4 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定義以及其他管脚定义进行了详细说明。

表 2-4 GW1NS 系列 FPGA 产品管脚定义说明

管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top)。 [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息，即管脚对应的 CFU 行数。 [A/B]提供差分信号对信息。
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O。
D0	I/O	CPU 模式下的数据端口 D0
D1	I/O	CPU 模式下的数据端口 D1
D2	I/O	CPU 模式下的数据端口 D2
D3	I/O	CPU 模式下的数据端口 D3
D4	I/O	CPU 模式下的数据端口 D4
D5	I/O	CPU 模式下的数据端口 D5
D6	I/O	CPU 模式下的数据端口 D6
D7	I/O	CPU 模式下的数据端口 D7
WE_N	I	CPU 模式下选择 D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出。
DOUT	O	SERIAL 模式下的数据输出
DIN	I, 内部弱上拉	SERIAL 模式下的数据输入
TMS	I, 内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入
TDO	O	JTAG 模式串行数据输出
TDI	I, 内部弱上拉	JTAG 模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复 JTAG 下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位 GowinCONFIG 逻辑信号，低电平有效。
FASTRD_N	I	访问 SPI FLASH 方式选择信号，低电平表示 Fast Read 模式；高电平表示 Read 模式。
READY ^[1]	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置

管脚名称	方向	说明
DONE ^[1]	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE 信号为低电平时，延迟芯片启动，直到 DONE 信号为高电平。
MI	O	MSPI 模式下 MI
MO	I	MSPI 模式下 MO
MCS_N	O	MSPI 模式下的使能信号 MCS_N，低电平有效。
MCLK	O	MSPI 模式下时钟输出 MCLK，默认频率为 2.5MHz。
SCLK	I	SSPI, SERIAL, CPU 模式下的时钟输入。
SO	O	SSPI 模式下 SO
SI	I/O	SSPI 模式下 SI
SSPI_CS_N	I/O	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉。
CLKHOLD_N	I, 内部弱上拉	高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚, C(Comp)。
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚, T(True)。
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚, C(Comp)。
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚, T(True)。
CH[7:0]	I	八通道模拟输入
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口; 若该管脚未被封装出来, 内部接地。
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口; 若该管脚未被封装出来, 内部接地。
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口; 若该管脚未被封装出来, 内部接地。
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCP	NA	FLASH 供电管脚 (1.8V)
VCCPLL	NA	PLL 电压供电管脚

注!

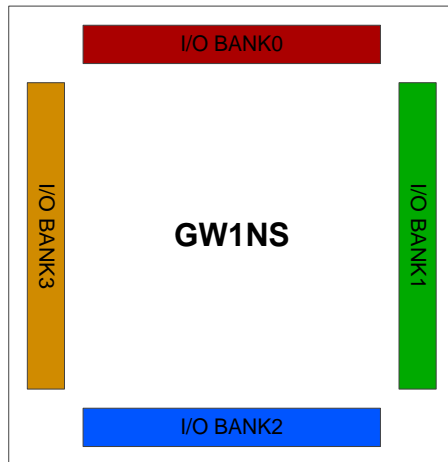
- [1] READY 和 DONE 默认状态为 open-drain 输出, 内部弱上拉。在配置期间, DONE 输出 0。

- [2] 当输入是单端时，GCLKC_[x]所在管脚不是全局时钟管脚。

2.6 I/O BANK 说明








GW1NS 系列 FPGA 产品分为四个 I/O BANK 区，图 2-1 为 GW1NS 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW1NS 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW1NS 系列 FPGA 产品每种封装的管脚分布示意图。GW1NS 系列 FPGA 产品的四个 BANK 用四种颜色区分。

用户 I/O、电源、地使用不同的符号来区分。GW1NS 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

3 管脚分布示意图

3.1 GW1NS-4/ GW1NS-4C 器件管脚分布示意图

3.1.1 CS49 管脚分布示意图

图 3-1 GW1NS-4/GW1NS-4C 器件 CS49 封装管脚分布示意图（顶视图）

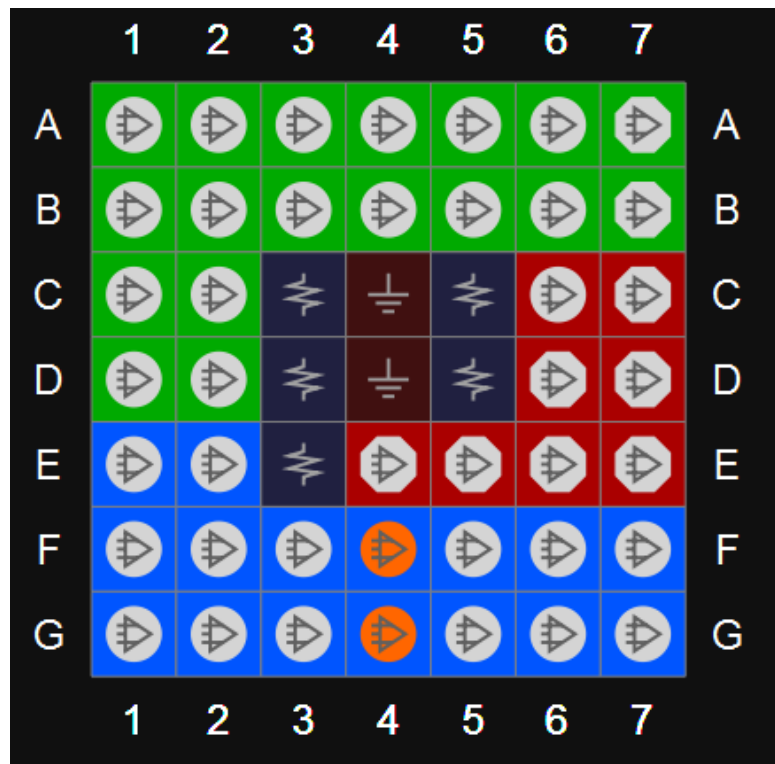


表 3-1 GW1NS-4/GW1NS-4C 器件 CS49 其他管脚

VCC	D5
VCC01	C3
VCC02	E3
VCCX	D3
VCC00/VCC03	C5
VSS	D4,C4

3.1.2 QN48 管脚分布示意图

图 3-2 GW1NS-4/GW1NS-4C 器件 QN48 封装管脚分布示意图（顶视图）

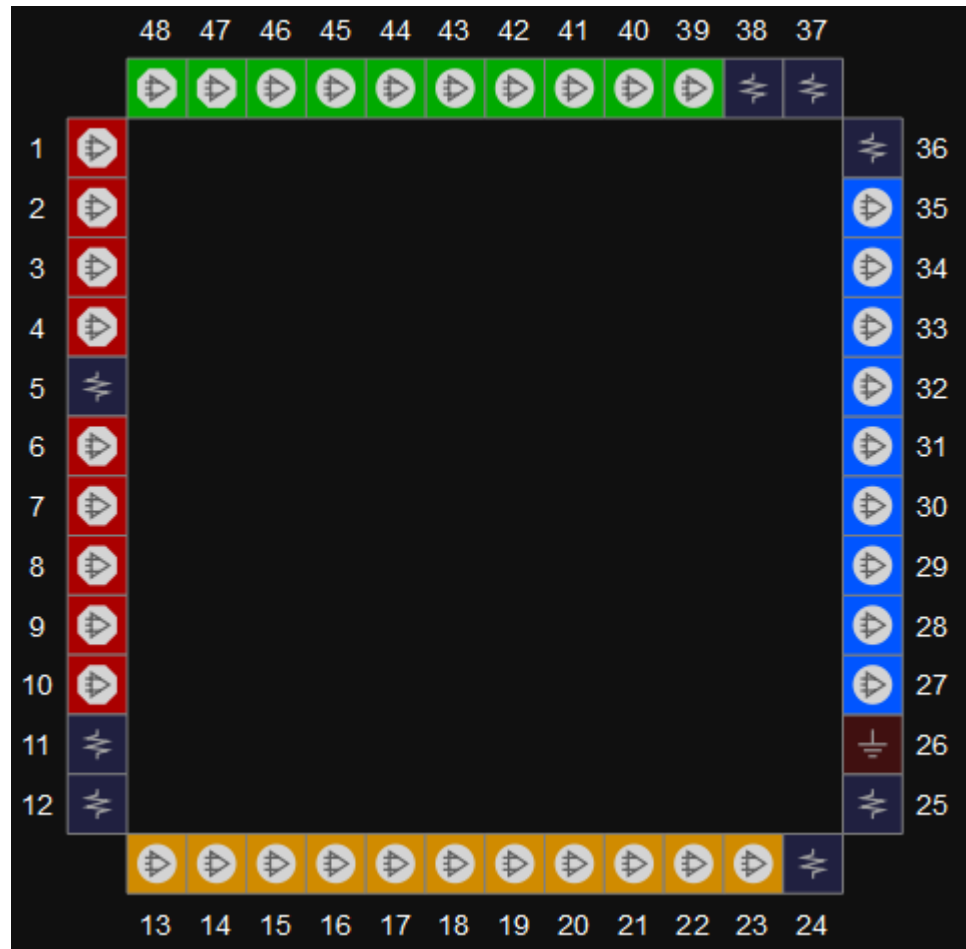


表 3-2 GW1NS-4/GW1NS-4C 器件 QN48 其他管脚

VCC	11,37
VCC00	5
VCC01	38
VCC02	36
VCC03	12,24
VCCX	25
VSS	26

3.1.3 MG64 管脚分布示意图

图 3-3 GW1NS-4/GW1NS-4C 器件 MG64 封装管脚分布示意图（顶视图）

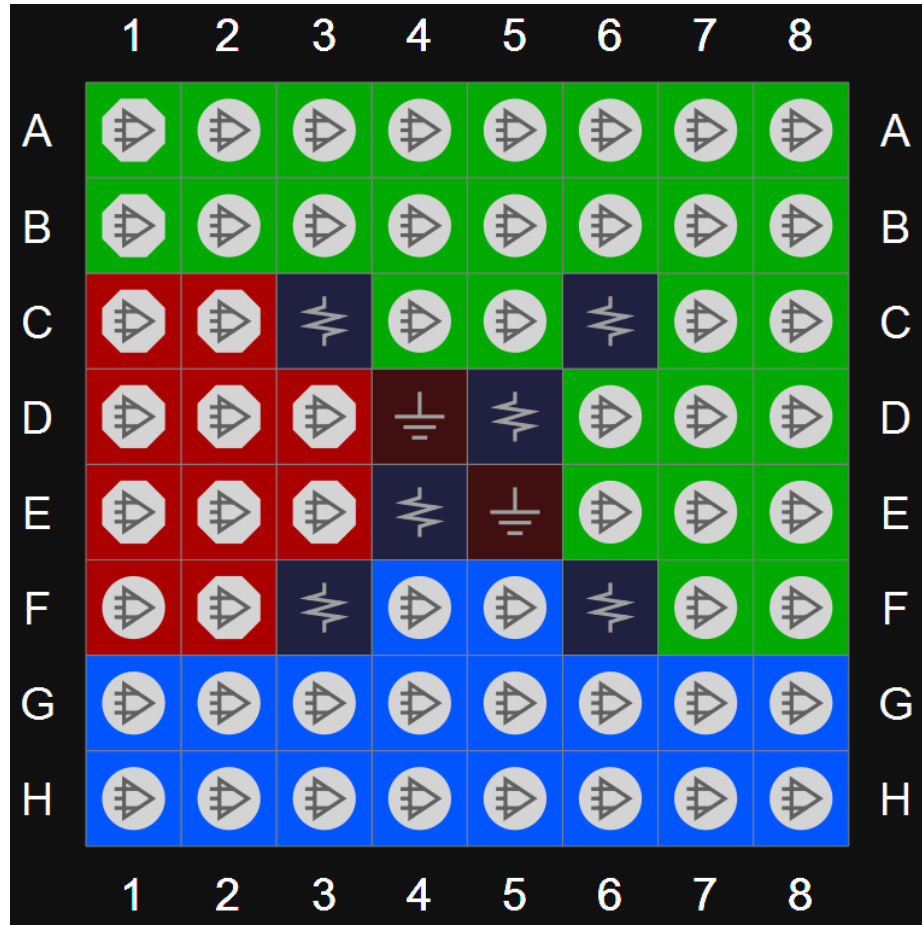


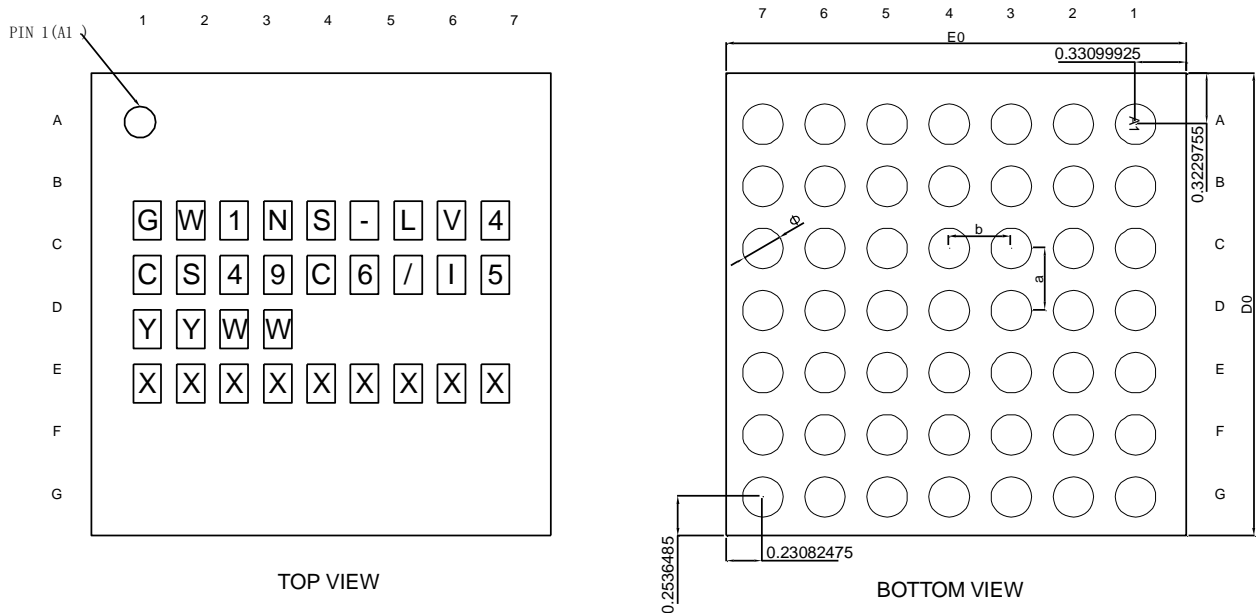
表 3-3 GW1NS-4/GW1NS-4C 器件 MG64 其他管脚

VCC	D5
VCC00	C3
VCC01	C6
VCC02	F6
VCC03	F3
VCCX	E4
VSS	D4,E5

4 封装尺寸

4.1 封装尺寸 CS49 (2.9mm x 2.9mm)

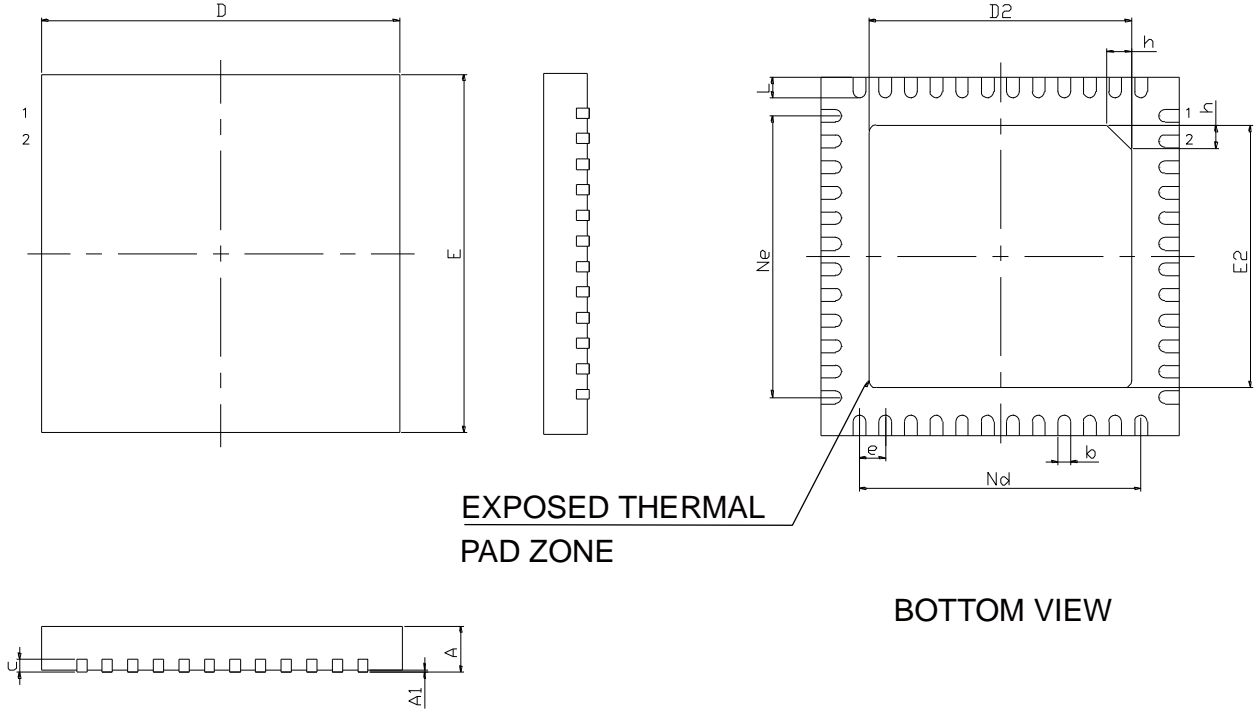
图 4-1 封装尺寸 CS49



SYMBOL	ITEM	DATA(mm)
D0'E0	PACKAGE SIZE X*Y	2.9766*2.9618±0.025
ϕ	BALL DIAMETER	0.26±0.03
a/b	BALL PITCH X/Y	0.4/0.4
N	BALL COUNT	49
H	PACKAGE HEIGHT	0.54±0.05
H1	BALL HEIGHT	0.2±0.025
H2	SI THICKNESS+PI	0.315±0.015
H3	BACK COATING	0.025±0.01

4.2 封装尺寸 QN48 (6mm x 6mm)

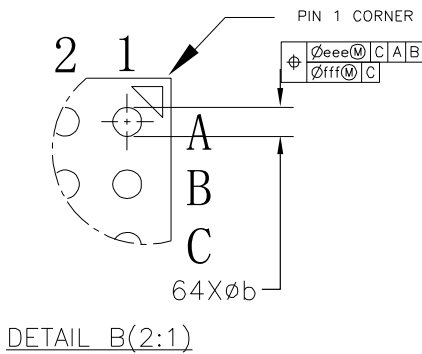
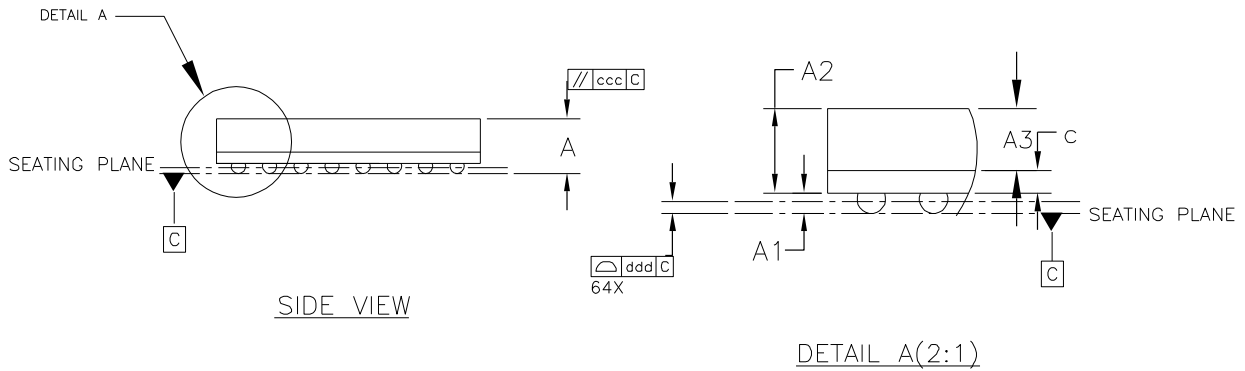
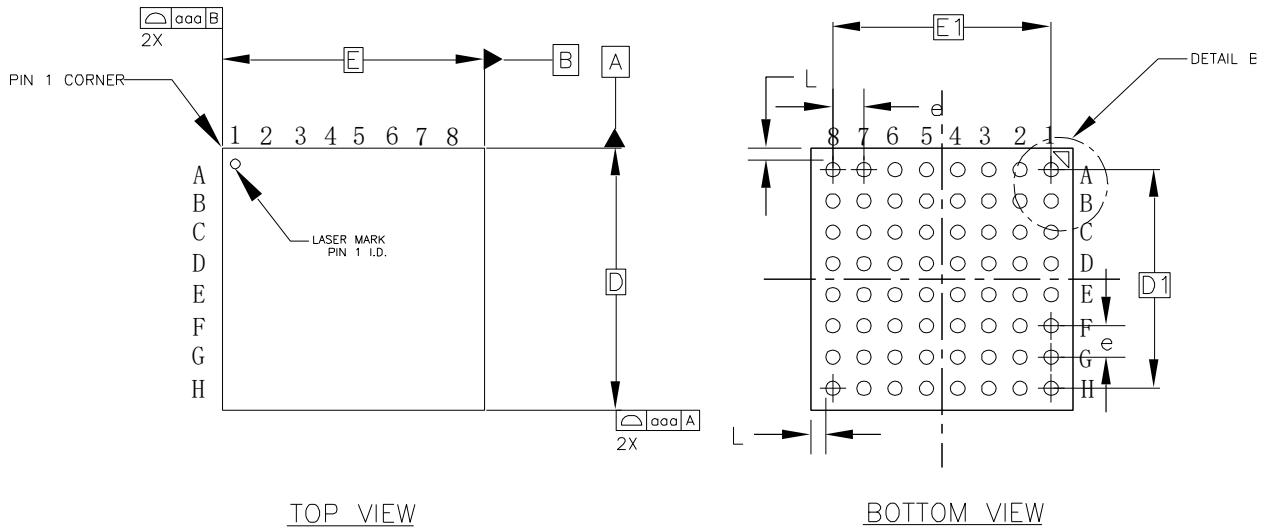
图 4-2 封装尺寸 QN48(GW1NS-4/GW1NS-4C)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.75	0.85	0.85
A1	—	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

4.3 封装尺寸 MG64 (4.2mm x 4.2mm)

图 4-3 封装尺寸 MG64



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.79	0.87	0.95
A1	0.11	0.16	0.21
A2	0.66	0.71	0.76
A3	0.53 BASIC		
c	0.15	0.18	0.21
D	4.10	4.20	4.30
D1	3.50 BASIC		
E	4.10	4.20	4.30
E1	3.50 BASIC		
e	0.50 BASIC		
b	0.18	0.23	0.28
L	0.235 REF		
aaa	0.15		
ccc	0.10		
ddd	0.10		
eee	0.15		
fff	0.05		

