



GW1NZ 系列 FPGA 产品 封装与管脚手册

UG843-1.5,2020-06-30

版权所有©2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/10/22	1.0	初始版本。
2019/01/10	1.1	更新 2.6 IO BANK 说明。
2019/04/03	1.2	<ul style="list-style-type: none">● 更新 I/O BANK 整体示意图；● 更新 CS16 封装尺寸图。
2019/08/23	1.3	统一 CS16 封装尺寸图。
2019/12/10	1.4	新增 QN48 封装信息。
2020/06/30	1.5	增加 FN32F 封装信息。

目录

目录.....	i
图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 无铅封装.....	3
2.2 封装和最大用户 I/O 信息.....	4
2.3 电源管脚.....	4
2.4 管脚数目.....	5
2.4.1 GW1NZ-1 器件管脚数目.....	5
2.5 管脚定义说明.....	5
2.6 I/O BANK 说明.....	8
3 管脚分布示意图.....	9
3.1 GW1NZ-1 器件管脚分布示意图.....	9
3.1.1 CS16 管脚分布示意图.....	9
3.1.2 FN32 管脚分布示意图.....	10
3.1.3 FN32F 管脚分布示意图.....	11
3.1.4 QN48 管脚分布示意图.....	12
4 封装尺寸.....	13
4.1 封装尺寸 CS16 (1.8mm x 1.8mm).....	14
4.2 封装尺寸 FN32 (4mm x 4mm).....	15
4.3 封装尺寸 FN32F (4mm x 4mm).....	16
4.4 封装尺寸 QN48 (6mm x 6mm).....	17

图目录

图 2-1 GW1NZ 系列 FPGA 产品 I/O BANK 整体示意图.....	8
图 3-1 GW1NZ-1 器件 CS16 封装管脚分布示意图（顶视图）	9
图 3-2 GW1NZ-1 器件 FN32 封装管脚分布示意图（顶视图）	10
图 3-3 GW1NZ-1 器件 FN32F 封装管脚分布示意图（顶视图）	11
图 3-4 GW1NZ-1 器件 QN48 封装管脚分布示意图（顶视图）	12
图 4-1 封装尺寸 CS16	14
图 4-2 封装尺寸 FN32	15
图 4-3 封装尺寸 FN32F	16
图 4-4 封装尺寸 QN48.....	17

表目录

表 1-1 术语、缩略语	2
表 2-1 封装和最大用户 I/O 信息	4
表 2-2 GW1NZ 电源管脚	4
表 2-3 GW1NZ-1 器件管脚数目列表	5
表 2-4 GW1NZ 列 FPGA 产品管脚定义说明	5
表 3-1 GW1NZ-1 器件 CS16 其他管脚	9
表 3-2 GW1NZ-1 器件 FN32 其他管脚	10
表 3-3 GW1NZ-1 器件 FN32F 其他管脚	11
表 3-4 GW1NZ-1 器件 QN48 其他管脚	12

1 关于本手册

1.1 手册内容

GW1NZ 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NZ 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
2. [UG290, Gowin FPGA 产品编程配置手册](#)
3. [UG843, GW1NZ 系列 FPGA 产品封装与管脚手册](#)
4. [UG842, GW1NZ-1 器件 Pinout 手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
FN32	QFN32	QFN32 封装
FN32F	QFN32F	QFN32F 封装
CS16	WLCSP16	WLCSP36 封装
QN48	QFN48	QFN48 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW1NZ 系列 FPGA 产品是高云半导体小蜜蜂® (LittleBee®) 家族 FPGA 第一代零功耗产品，具有零功耗、低成本、瞬时启动、非易失性、高安全性、封装类型丰富、使用方便灵活等特点，可广泛应用于工业控制、通信、消费类、视频监控等领域。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NZ 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 无铅封装

GW1NZ 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NZ 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息

封装	间距(mm)	尺寸(mm)	GW1NZ-1
FN32	0.4	4 x 4	25
FN32F	0.4	4 x 4	25
CS16	0.4	1.8 x 1.8	11
QN48	0.4	6 x 6	40

注!

- 本手册中 GW1NZ 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.3 术语、缩略语。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，此时最大用户 I/O 数加 1。

2.3 电源管脚

表 2-2 GW1NZ 电源管脚

VCC	VCC00	VCC01	VCCX
VCCM	VSS		

2.4 管脚数目

2.4.1 GW1NZ-1 器件管脚数目

表 2-3 GW1NZ-1 器件管脚数目列表

管脚类型		GW1NZ-1			
		CS16	FN32	FN32F	QN48
I/O 单端/差分对 ¹	BANK0	7/2	12/5	12/5	17/8
	BANK1	4/0	13/5	13/5	23/11
最大用户 I/O 总数 ²		11	25	25	25
差分对		2	10	10	10
VCC		1	1	1	1
VCCX		1	1	1	1
VCCO0		1	1	1	1
VCCO1		1	1	1	1
VSS		1	2	2	2
MODE0		1	0	0	0
MODE1		0	0	0	0
JTAGSEL_N		0	1	1	1

注!

- [1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2]这里的数目不包括 JTAGSEL_N, JTAGSEL_N 和 JTAG 管脚是互斥管脚, JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚 (TCK、TDI、TDO、TMS) 不可同时复用为 I/O, 此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。

2.5 管脚定义说明

GW1NZ 列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-4 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定義以及其他管脚定义进行了详细说明。

表 2-4 GW1NZ 列 FPGA 产品管脚定义说明

管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息, 包括 L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息, 若[End]为 T(top)或 B(bottom), 则提供列信息, 即管脚对应的 CFU 列数。若[End]为 L(left) 或 R(right), 则提供行信息, 即管脚对应的 CFU 行数[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义, /MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的时

管脚名称	方向	说明
		候，这些管脚可以用作用户 I/O
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的 GowinCONFIG 配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N, 低电平表示使用高速 Flash 访问模式, 高电平表示使用普通 Flash 访问模式 CPU 模式下的数据端口 D3
MCLK/D4	I/O	MSPI 模式下时钟输出 MCLK。 CPU 模式下的数据端口 D4
MCS_N/D5	I/O	MSPI 模式下的使能信号 MCS_N, 低电平有效 CPU 模式下的数据端口 D5
MI/D7	I/O	MSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO/D6	I/O	MSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6
SSPI_CS_N/D0	I/O	SSPI 模式下的使能信号 SSPI_CS_N, 低电平有效, 内部弱上拉 CPU 模式下的数据端口 D0
SO/D1	I/O	SSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1
SI/D2	I/O	SSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2
TMS	I, 内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入, 需要在 PCB 上连接 4.7K 下拉电阻
TDI	I, 内部弱上拉	JTAG 模式串行数据输入
TDO	O	JTAG 模式串行数据输出
SPMI_SDATA	I/O	SPMI (系统电源管理接口) 模式的通讯总线
SPMI_EN/VCCEN	I	SPMI (系统电源管理接口) 模式的睡眠控制和使能
SPMI_SCLK	I/O	SPMI (系统电源管理接口) 模式的通讯总线
SPMI_CLK	I	SPMI (系统电源管理接口) 外部低速时钟
JTAGSEL_N	I, 内部弱上拉	JTAG 模式选择信号, 低电平有效。
SCLK	I	SSPI, SERIAL, CPU 模式下的时钟输入
DIN	I, 内部弱上拉	SERIAL 模式下的数据输入
DOUT	O	SERIAL 模式下的数据输出
CLKHOLD_N	I, 内部弱上拉	高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效
WE_N	I	CPU 模式下选择 D[7: 0]的数据输入输出方向

管脚名称	方向	说明
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[1]
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚, C(Comp)
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚

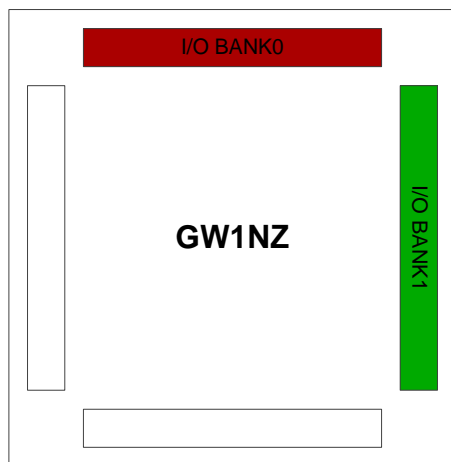
注!

[1] 当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。

2.6 I/O BANK 说明






GW1NZ 系列 FPGA 产品分为四个 I/O BANK 区，图 2-1 为 GW1NZ 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW1NZ 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW1NZ 系列 FPGA 产品每种封装的管脚分布示意图。GW1NZ 系列 FPGA 产品的两个 BANK 用两种颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW1NZ 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

3.1.2 FN32 管脚分布示意图

图 3-2 GW1NZ-1 器件 FN32 封装管脚分布示意图（顶视图）

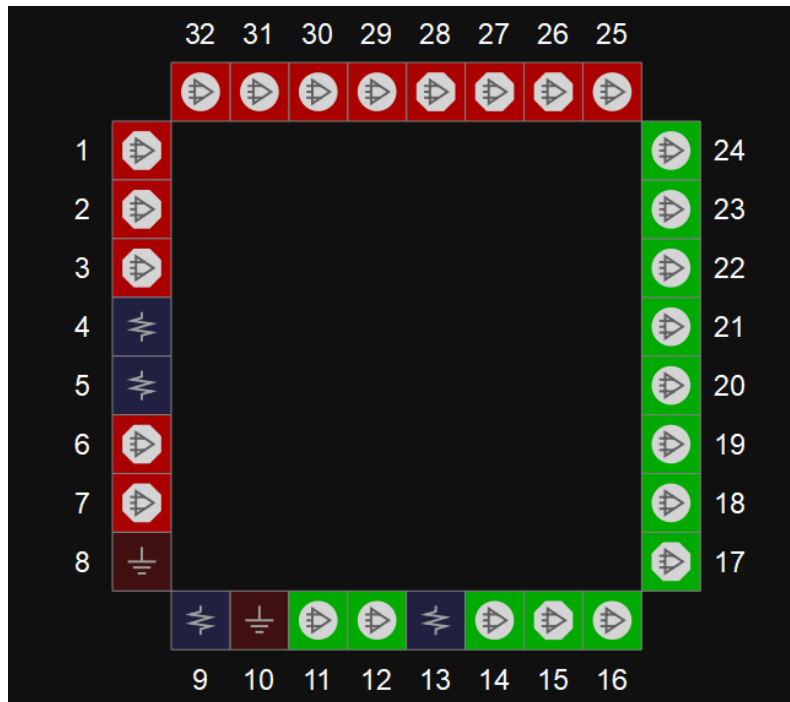


表 3-2 GW1NZ-1 器件 FN32 其他管脚

VCC00	5
VCC01	13
VCC	9
VCCX	4
VSS	8、10

3.1.3 FN32F 管脚分布示意图

图 3-3 GW1NZ-1 器件 FN32F 封装管脚分布示意图（顶视图）

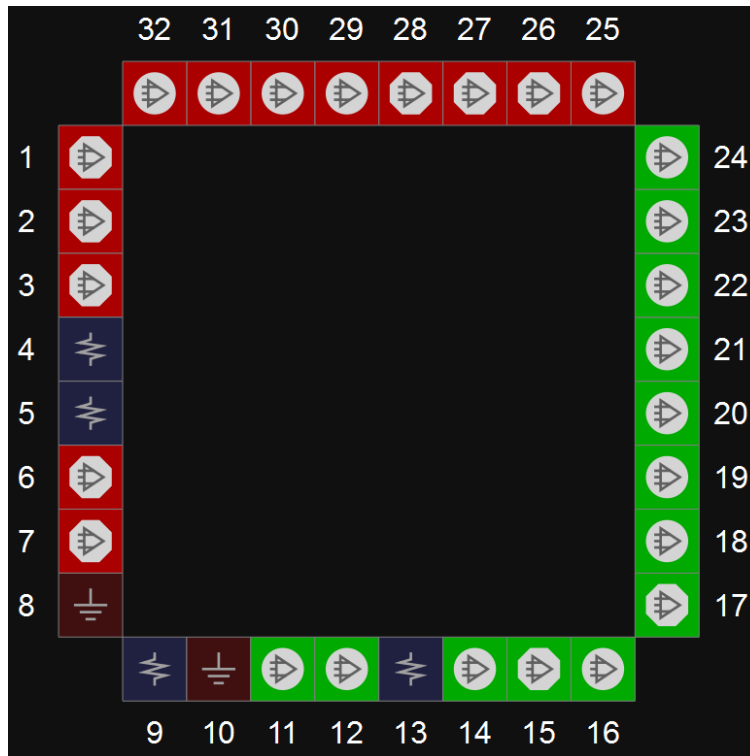


表 3-3 GW1NZ-1 器件 FN32F 其他管脚

VCC00	5
VCC01	13
VCC	9
VCCX	4
VSS	8、10

3.1.4 QN48 管脚分布示意图

图 3-4 GW1NZ-1 器件 QN48 封装管脚分布示意图（顶视图）

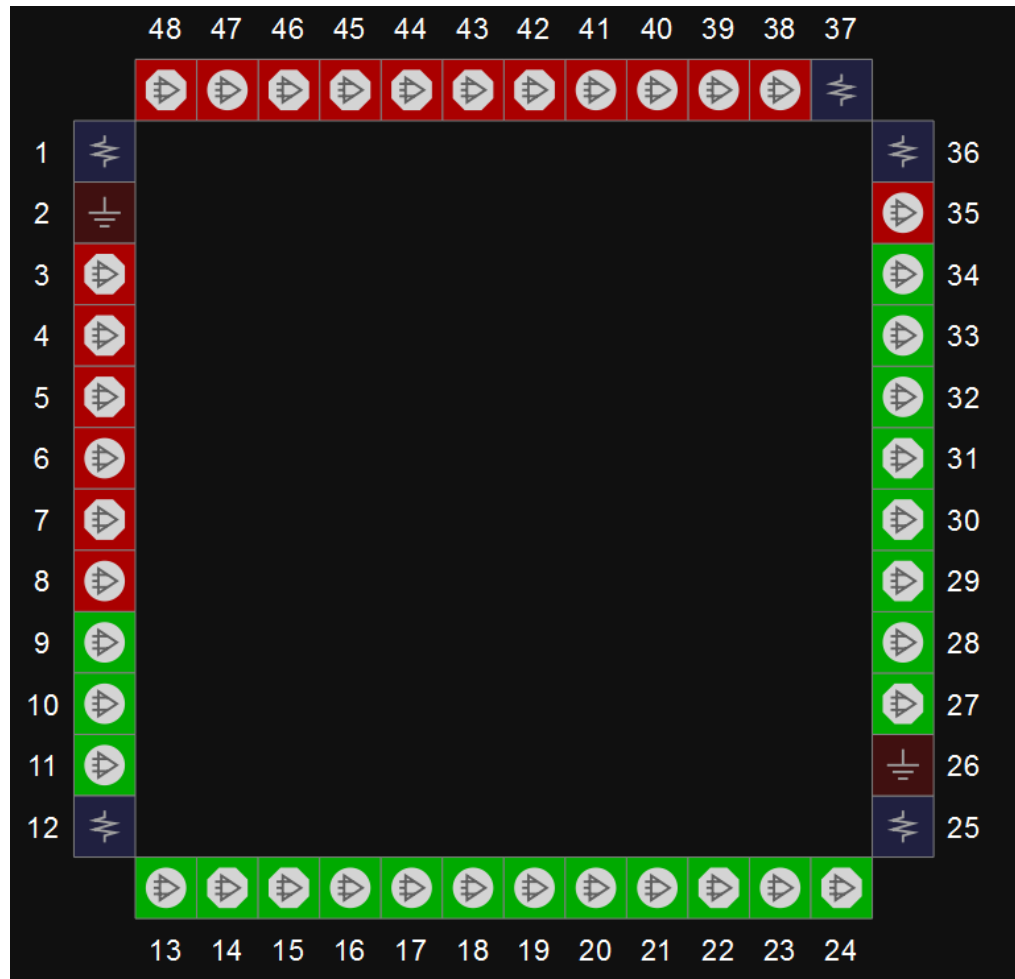


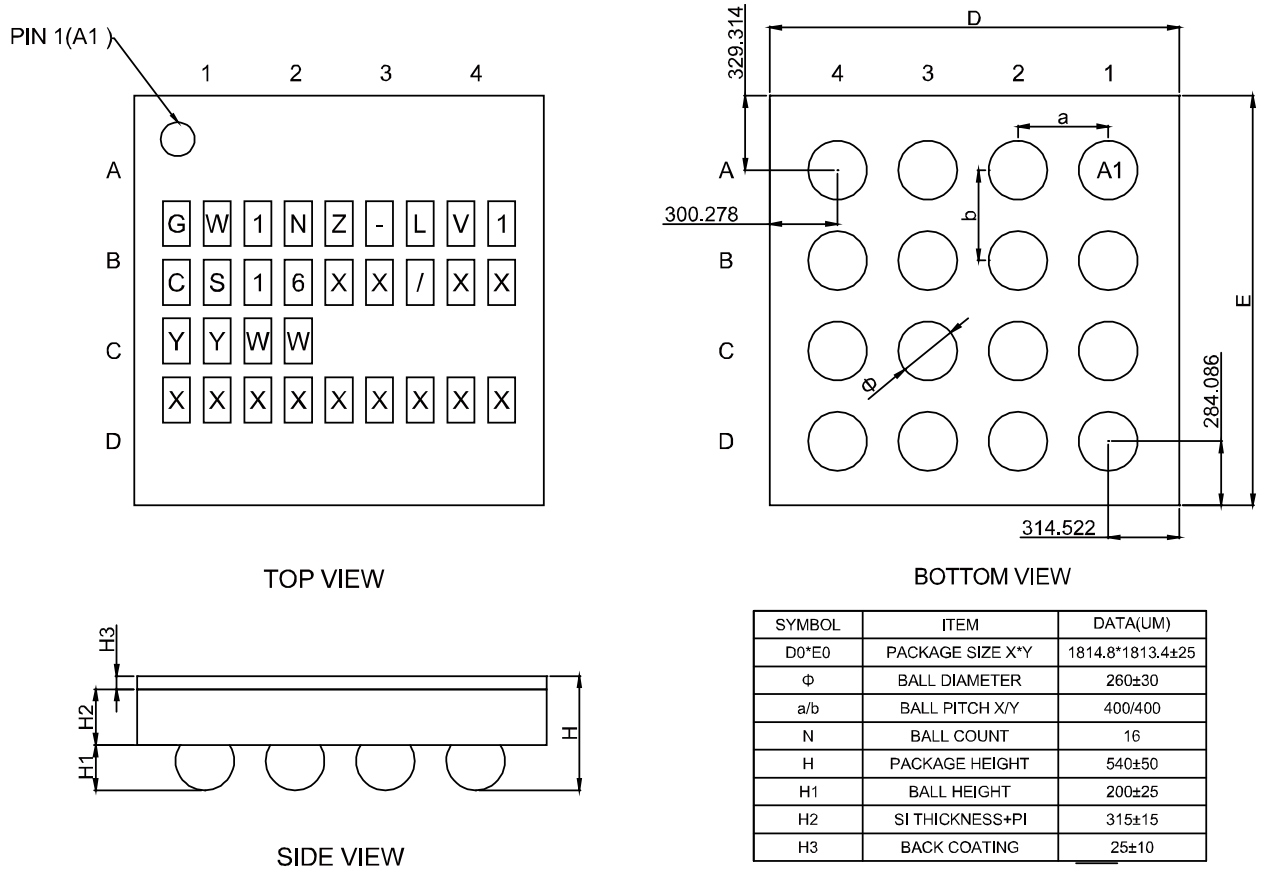
表 3-4 GW1NZ-1 器件 QN48 其他管脚

VCC	12,37
VCC00	1
VCC01	25
VCCX	36
VSS	2,26

4 封装尺寸

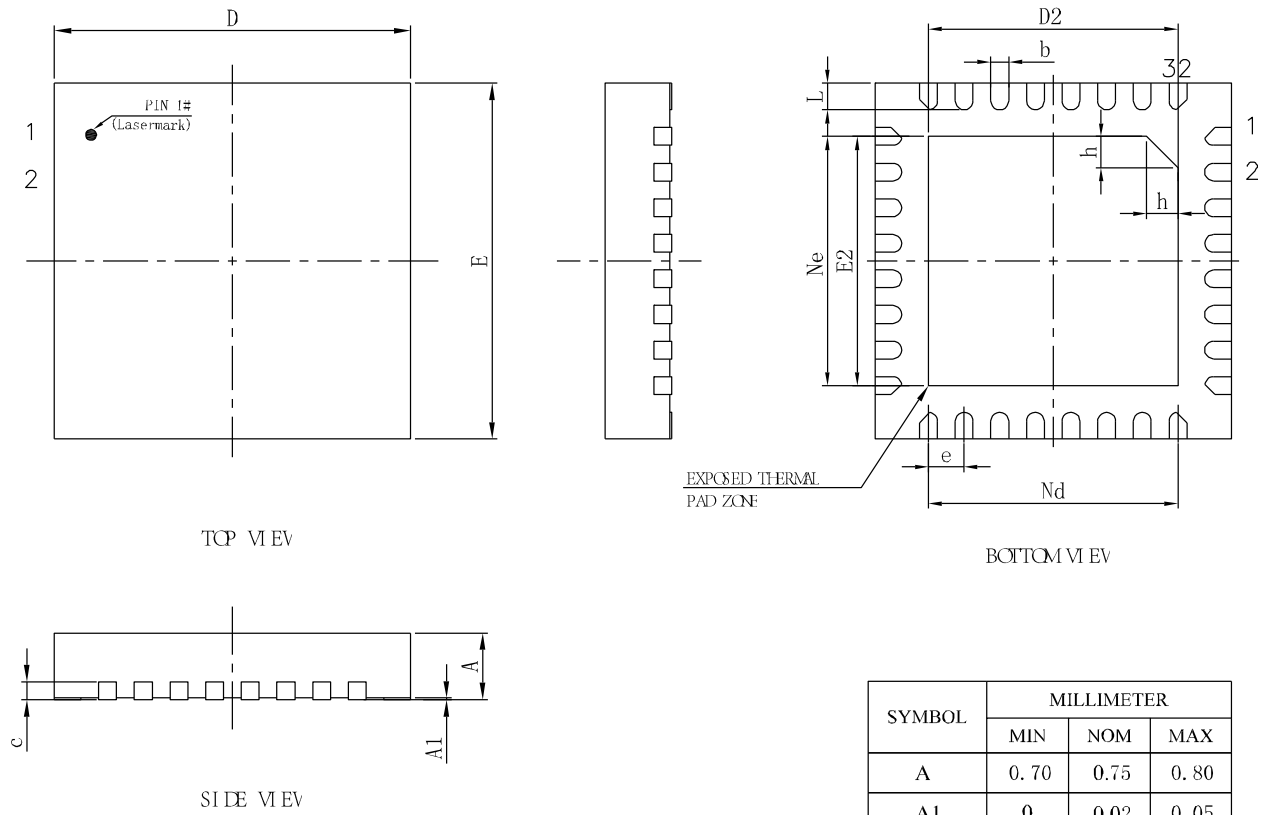
4.1 封装尺寸 CS16 (1.8mm x 1.8mm)

图 4-1 封装尺寸 CS16



4.2 封装尺寸 FN32 (4mm x 4mm)

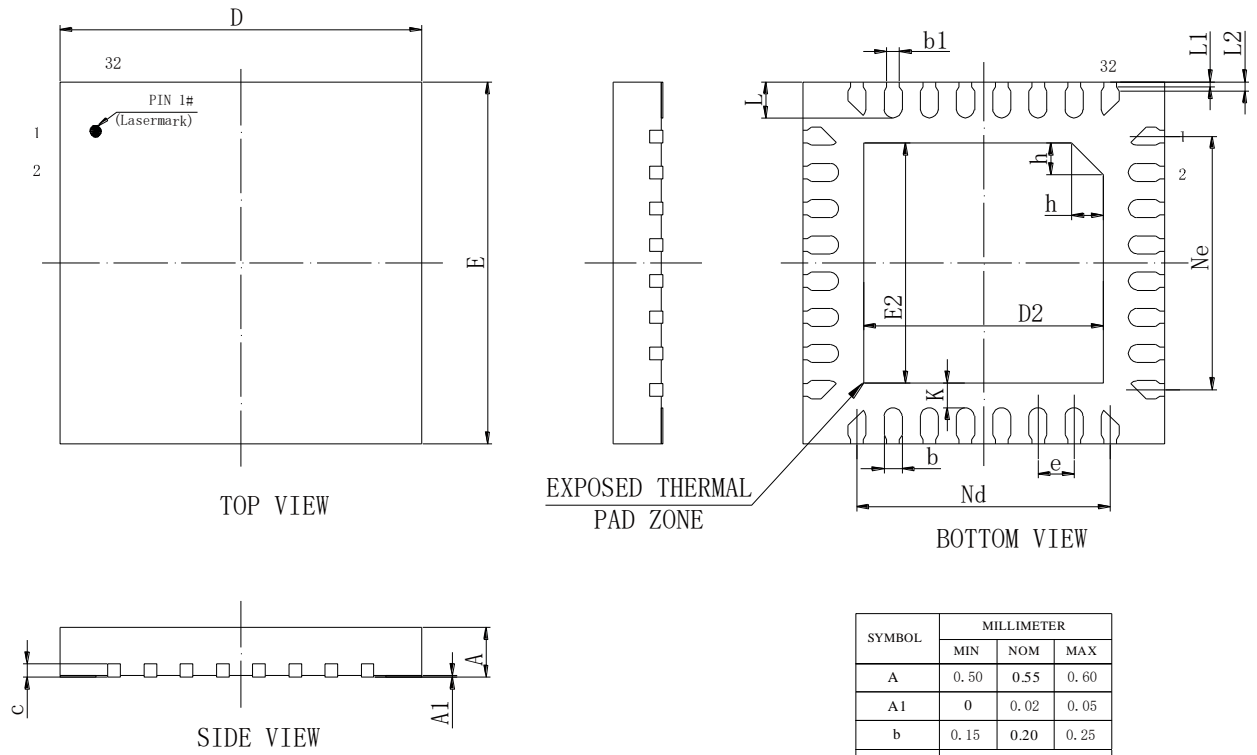
图 4-2 封装尺寸 FN32



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.70	2.80	2.90
e	0.40BSC		
Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
L/F载体尺寸	122X122		

4.3 封装尺寸 FN32F (4mm x 4mm)

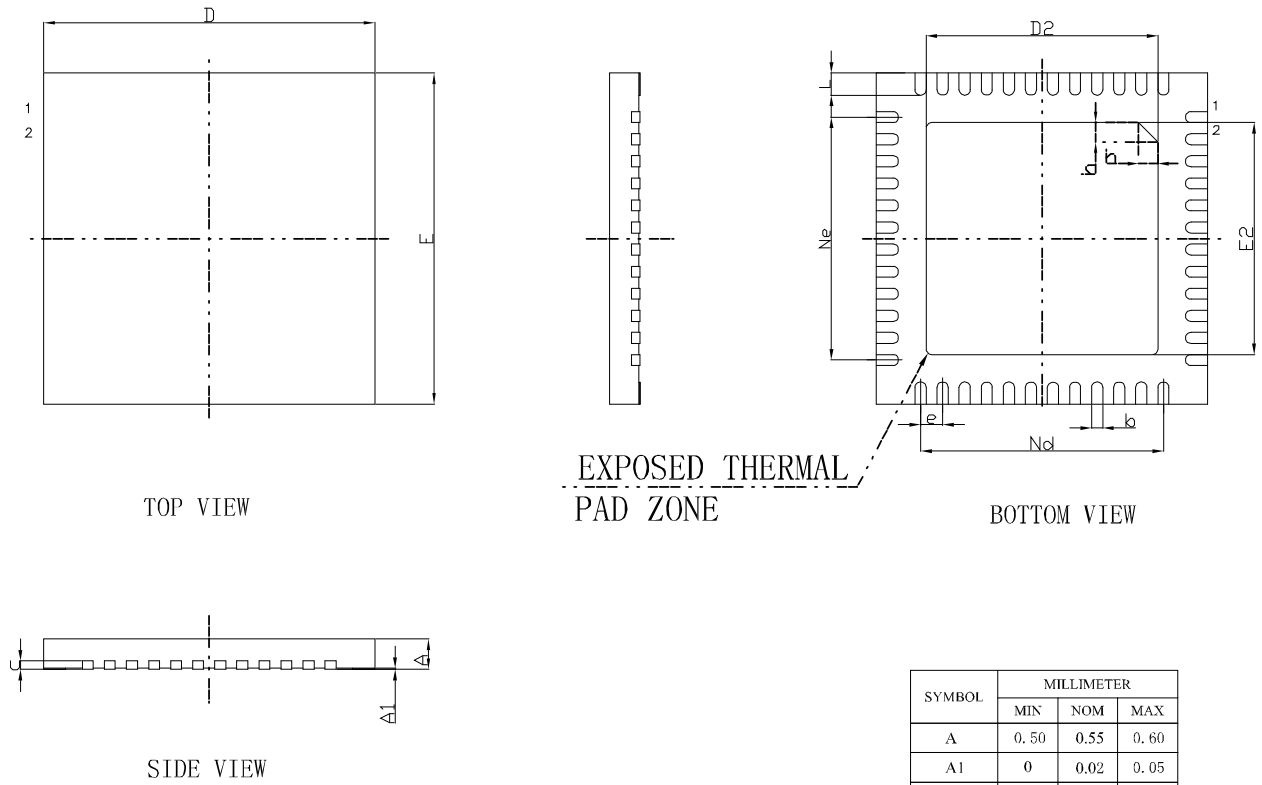
图 4-3 封装尺寸 FN32F



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.10	0.15	0.20
D	3.90	4.00	4.10
D2	2.55	2.65	2.75
e	0.40BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.55	2.65	2.75
Ne	2.80BSC		
L	0.35	0.40	0.45
L1	0	0.05	0.10
L2	0.05	0.10	0.15
h	0.30	0.35	0.40
K	0.20	-	-
L/载体尺寸	2.85x2.85		

4.4 封装尺寸 QN48 (6mm x 6mm)

图 4-4 封装尺寸 QN48



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40
1/2 载体尺寸 (MIL)	177*177		

