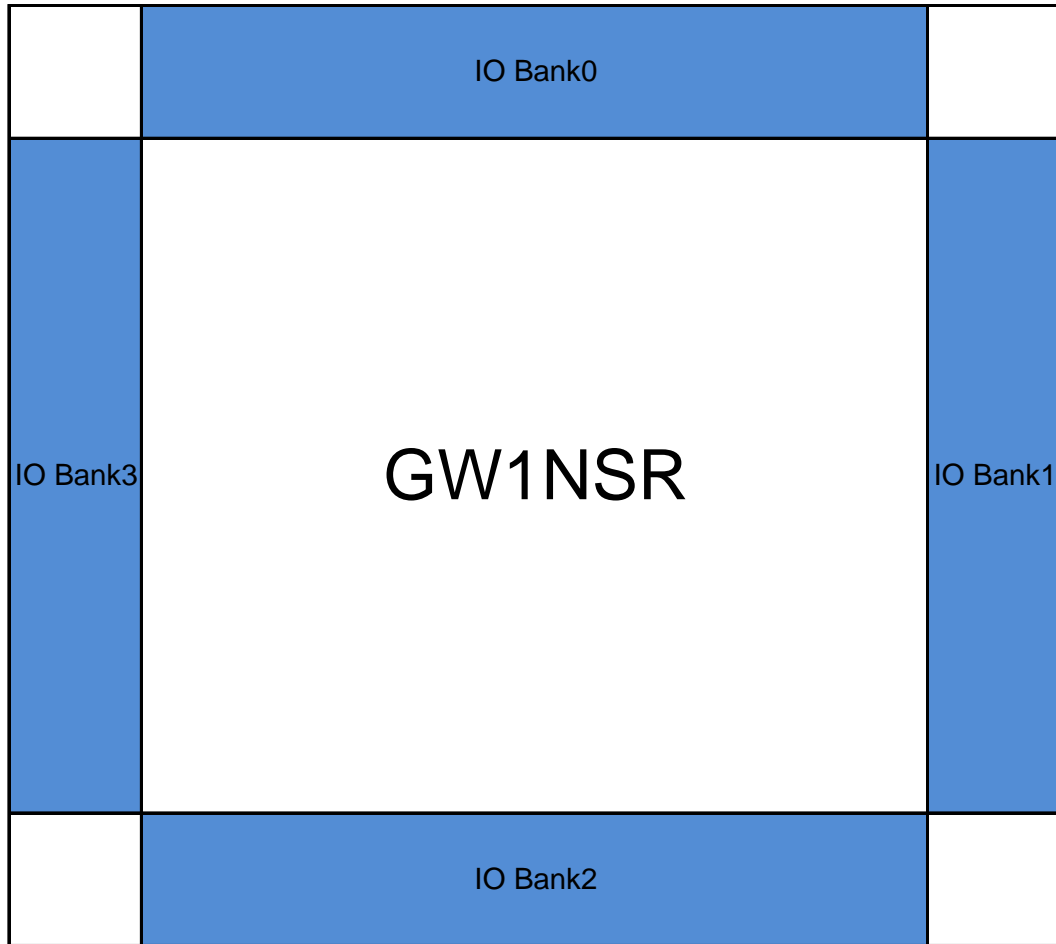


日期	版本	说明
2018/10/29	1.0	初始版本。
2020/6/18	1.01	封装名称由“QN48”更正为“QN48P”。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的时 候，这些管脚可以用作用户I/O
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的GowinCONFIG配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI模式下Flash访问速度选择端口FASTRD_N，低电平表示使用高速Flash访问模式，高电平表示使 CPU模式下的数据端口D3
MCLK/D4	I/O	MSPI模式下时钟输出MCLK CPU模式下的数据端口D4
MCS_N/D5	I/O	MSPI模式下的使能信号MCS_N，低电平有效 CPU模式下的数据端口D5
MO/D6	I/O	MSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D6
MI/D7	I/O	MSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D7
SSPI_CS_N/D0	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效 CPU模式下的数据端口D0
SO/D1	I/O	SSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D1
SI/D2	I/O	SSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D2
TMS	I	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDI	I	JTAG模式串行数据输入

管脚名称	方向	说明
TDO	O	JTAG模式串行数据输出
JTAGSEL_N	I, 内部弱上拉	JTAG模式选择信号, 低电平有效
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
DOUT	O	SERIAL模式下的数据输出
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[1]
CH[7:0]	I	八通道模拟输入
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCP	NA	FLASH供电管脚 (1.8V)
VCCPLL	NA	PLL电压供电管脚
VDDA	NA	ADC模拟电源电压, VDDA=3.3V
X16	NA	指示IO支持16: 1功能
VREF	NA	ADC外部参考电压输入管脚
注!		
[1]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



注!

- 1.每个Bank还提供一个独立的参考电压 (VREF) ;
- 2.用户可以选择使用IOB内置的VREF源 (等于 $0.5 \cdot VCCO$) ;
- 3.也可选择外部的VREF输入 (使用Bank中任意一个I/O管脚作为外部VREF输入) 。

Pin List

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P
IOB10A/GCLKT_5	I/O	2	GCLKT_5	True_of_IOB10B	NONE	NONE	17
IOB10B/GCLKC_5	I/O	2	GCLKC_5	Comp_of_IOB10A	NONE	NONE	18
IOB11A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB11B	TRUE	x16	19
IOB11B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB11A	TRUE	NONE	20
IOB12A	I/O	2		True_of_IOB12B	NONE	NONE	
IOB12B	I/O	2		Comp_of_IOB12A	NONE	NONE	
IOB13A	I/O	2		True_of_IOB13B	TRUE	x16	21
IOB13B	I/O	2		Comp_of_IOB13A	TRUE	NONE	22
IOB14A	I/O	2		True_of_IOB14B	NONE	NONE	
IOB14B	I/O	2		Comp_of_IOB14A	NONE	NONE	
IOB15A	I/O	2		True_of_IOB15B	TRUE	x16	23
IOB15B	I/O	2		Comp_of_IOB15A	TRUE	NONE	24
IOB16A	I/O	2		True_of_IOB16B	NONE	NONE	
IOB16B	I/O	2		Comp_of_IOB16A	NONE	NONE	
IOB17A	I/O	2		True_of_IOB17B	TRUE	x16	
IOB17B	I/O	2		Comp_of_IOB17A	TRUE	NONE	
IOB18A	I/O	2		True_of_IOB18B	NONE	NONE	
IOB18B	I/O	2		Comp_of_IOB18A	NONE	NONE	
IOB19A	I/O	2		True_of_IOB19B	NONE	NONE	
IOB19B	I/O	2		Comp_of_IOB19A	NONE	NONE	
IOB7A	I/O	2		True_of_IOB7B	TRUE	x16	
IOB7B	I/O	2		Comp_of_IOB7A	TRUE	NONE	14
IOB8A	I/O	2		True_of_IOB8B	NONE	NONE	
IOB8B	I/O	2		Comp_of_IOB8A	NONE	NONE	
IOB9A	I/O	2		True_of_IOB9B	TRUE	x16	15
IOB9B	I/O	2		Comp_of_IOB9A	TRUE	NONE	16
IOL2A/JTAGSEL_N/VREF	I/O	3	JTAGSEL_N/VREF	True_of_IOL2B	TRUE	NONE	3
IOL2B	I/O	3		Comp_of_IOL2A	TRUE	NONE	
IOL3A	I/O	3		True_of_IOL3B	NONE	NONE	
IOL3B	I/O	3		Comp_of_IOL3A	NONE	NONE	
IOL4A	I/O	3		True_of_IOL4B	TRUE	NONE	
IOL4B	I/O	3		Comp_of_IOL4A	TRUE	NONE	
IOL5A/GCLKT_7	I/O	3	GCLKT_7	True_of_IOL5B	NONE	NONE	

Pin List

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P
IOL5B/GCLKC_7	I/O	3	GCLKC_7	Comp_of_IOL5A	NONE	NONE	
IOL6A/TMS	I/O	3	TMS	True_of_IOL6B	NONE	NONE	4
IOL6B/TCK	I/O	3	TCK	Comp_of_IOL6A	NONE	NONE	5
IOL6C/SCLK	I/O	3	SCLK	True_of_IOL6D	NONE	NONE	
IOL6D/TDI	I/O	3	TDI	Comp_of_IOL6C	NONE	NONE	6
IOL6E/TDO	I/O	3	TDO	True_of_IOL6F	NONE	NONE	7
IOL6F/RECONFIG_N	I/O	3	RECONFIG_N	Comp_of_IOL6E	NONE	NONE	
IOL6G/DONE	I/O	3	DONE	True_of_IOL6H	NONE	NONE	9
IOL6H/READY	I/O	3	READY	Comp_of_IOL6G	NONE	NONE	
IOL6I	I/O	3		True_of_IOL6J	NONE	NONE	
IOL6J	I/O	3		Comp_of_IOL6I	NONE	NONE	
IOL7A/GCLKT_6	I/O	3	GCLKT_6	True_of_IOL7B	TRUE	NONE	10
IOL7B/GCLKC_6	I/O	3	GCLKC_6	Comp_of_IOL7A	TRUE	NONE	11
IOL8A	I/O	3		True_of_IOL8B	NONE	NONE	
IOL8B	I/O	3		Comp_of_IOL8A	NONE	NONE	
IOL9A	I/O	3		True_of_IOL9B	NONE	NONE	
IOL9B	I/O	3		Comp_of_IOL9A	NONE	NONE	
IOR2A/RPLL_T_fb	I/O	1	RPLL_T_fb	True_of_IOR2B	TRUE	NONE	
IOR2B/RPLL_C_fb	I/O	1	RPLL_C_fb	Comp_of_IOR2A	TRUE	NONE	
IOR3A/GCLKT_2/RPLL_T_in	I/O	1	GCLKT_2/RPLL_T_in	True_of_IOR3B	NONE	NONE	35
IOR3B/GCLKC_2/RPLL_C_in	I/O	1	GCLKC_2/RPLL_C_in	Comp_of_IOR3A	NONE	NONE	
IOR4A/MI/D7	I/O	1	MI/D7	True_of_IOR4B	TRUE	NONE	33
IOR4B/MO/D6	I/O	1	MO/D6	Comp_of_IOR4A	TRUE	NONE	34
IOR5A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR5B	NONE	NONE	
IOR5B/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR5A	NONE	NONE	
IOR6A/FASTRD_N/D3	I/O	1	FASTRD_N/D3	True_of_IOR6B	NONE	NONE	
IOR6B/SI/D2	I/O	1	SI/D2	Comp_of_IOR6A	NONE	NONE	
IOR7A/SO/D1	I/O	1	SO/D1	True_of_IOR7B	TRUE	NONE	32
IOR7B/SSPI_CS_N/D0	I/O	1	SSPI_CS_N/D0	Comp_of_IOR7A	TRUE	NONE	31
IOR8A/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOR8B	NONE	NONE	29
IOR8B/DOOUT/WE_N	I/O	1	DOOUT/WE_N	Comp_of_IOR8A	NONE	NONE	30
IOR9A/GCLKT_3	I/O	1	GCLKT_3	True_of_IOR9B	NONE	NONE	28
IOR9B/GCLKC_3	I/O	1	GCLKC_3	Comp_of_IOR9A	NONE	NONE	27

Pin List

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P
IOT10A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT10B	NONE	NONE	
IOT10B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT10A	NONE	NONE	
IOT11A/GCLKT_1	I/O	0	GCLKT_1	True_of_IOT11B	NONE	x16	
IOT11B/GCLKC_1	I/O	0	GCLKC_1	Comp_of_IOT11A	NONE	NONE	
IOT12A	I/O	0		True_of_IOT12B	NONE	NONE	
IOT12B	I/O	0		Comp_of_IOT12A	NONE	NONE	
IOT13A	I/O	0		True_of_IOT13B	NONE	x16	39
IOT13B	I/O	0		Comp_of_IOT13A	NONE	NONE	38
IOT14A	I/O	0		True_of_IOT14B	NONE	NONE	
IOT14B	I/O	0		Comp_of_IOT14A	NONE	NONE	
IOT15A	I/O	0		True_of_IOT15B	NONE	x16	
IOT15B	I/O	0		Comp_of_IOT15A	NONE	NONE	
IOT16A	I/O	0		True_of_IOT16B	NONE	NONE	
IOT16B	I/O	0		Comp_of_IOT16A	NONE	NONE	
IOT17A	I/O	0		True_of_IOT17B	NONE	x16	
IOT17B	I/O	0		Comp_of_IOT17A	NONE	NONE	
IOT18A	I/O	0		True_of_IOT18B	NONE	NONE	
IOT18B	I/O	0		Comp_of_IOT18A	NONE	NONE	
IOT19A	I/O	0		True_of_IOT19B	NONE	NONE	
IOT19B	I/O	0		Comp_of_IOT19A	NONE	NONE	
IOT2A	I/O	0		True_of_IOT2B	NONE	x16	
IOT2B/MODE0	I/O	0	MODE0	Comp_of_IOT2A	NONE	NONE	
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	NONE	NONE	48
IOT3B/MODE1	I/O	0	MODE1	Comp_of_IOT3A	NONE	NONE	
IOT4A/CH0	I/O	0	CH0	True_of_IOT4B	NONE	x16	47
IOT4B/CH1	I/O	0	CH1	Comp_of_IOT4A	NONE	NONE	46
IOT5A/CH2	I/O	0	CH2	True_of_IOT5B	NONE	NONE	45
IOT5B/CH3	I/O	0	CH3	Comp_of_IOT5A	NONE	NONE	44
IOT6A/CH4	I/O	0	CH4	True_of_IOT6B	NONE	x16	43
IOT6B/CH5	I/O	0	CH5	Comp_of_IOT6A	NONE	NONE	42
IOT7A/CH6	I/O	0	CH6	True_of_IOT7B	NONE	NONE	41
IOT7B/CH7	I/O	0	CH7	Comp_of_IOT7A	NONE	NONE	40
IOT8A	I/O	0		True_of_IOT8B	NONE	x16	

Pin List

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P
IOT8B	I/O	0		Comp_of_IOT8A	NONE	NONE	
IOT9A	I/O	0		True_of_IOT9B	NONE	NONE	
IOT9B	I/O	0		Comp_of_IOT9A	NONE	NONE	
VCC/VCCPLL	Power	N/A				NONE	12
VCC/VCCPLL	Power	N/A				NONE	37
VCCO1	Power	N/A				NONE	25
VCCO2	Power	N/A				NONE	13
VCCX	Power	N/A				NONE	8
VCCX	Power	N/A				NONE	36
VCCO0/VCCO3	Power	N/A				NONE	1
VSS	Ground	N/A				NONE	2
VSS	Ground	N/A				NONE	26

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P
BANK3 True LVDS Pair							
IOL7A/GCLKT_6	I/O	3	GCLKT_6	True_of_IOL7B	TRUE	NONE	10
IOL7B/GCLKC_6	I/O	3	GCLKC_6	Comp_of_IOL7A	TRUE	NONE	11
BANK2 True LVDS Pair							
IOB9A	I/O	2		True_of_IOB9B	TRUE	x16	15
IOB9B	I/O	2		Comp_of_IOB9A	TRUE	NONE	16
IOB11A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB11B	TRUE	x16	19
IOB11B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB11A	TRUE	NONE	20
IOB13A	I/O	2		True_of_IOB13B	TRUE	x16	21
IOB13B	I/O	2		Comp_of_IOB13A	TRUE	NONE	22
IOB15A	I/O	2		True_of_IOB15B	TRUE	x16	23
IOB15B	I/O	2		Comp_of_IOB15A	TRUE	NONE	24
BANK1 True LVDS Pair							
IOR7B/SSPI_CS_N/D0	I/O	1	SSPI_CS_N/D0	Comp_of_IOR7A	TRUE	NONE	31
IOR7A/SO/D1	I/O	1	SO/D1	True_of_IOR7B	TRUE	NONE	32
IOR4A/MI/D7	I/O	1	MI/D7	True_of_IOR4B	TRUE	NONE	33
IOR4B/MO/D6	I/O	1	MO/D6	Comp_of_IOR4A	TRUE	NONE	34

Power

注! 建议把VCCX和电压最高的VCCO接在一起使用。			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO1、VCCO2	I/O Bank电压	1.14V	3.465V
	使用BANK2的MIPI输出时，VCCO2需供1.2V	1.14V	1.26V
VCCO0/VCCO3	VCCO0/VCCO3内部连接在一起，使用ADC时	3.135V	3.465V
	VCCO0/VCCO3内部连接在一起，使用PSRAM时，VCCO0给PSRAM提供电压	1.71V	1.89V
VCCX	LX版本辅助电压	1.71V	1.89V
	UX版本辅助电压	2.375V	3.465V
	使用USB2.0 PHY时，VCCX需供3.3V电压，LX版本不支持USB2.0 PHY。	3.135V	3.465V