



GW1NSR 系列 FPGA 产品 封装与管脚手册

UG823-1.2, 2019-10-15

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

| 日期 | 版本 | 说明 |
|------------|-----|---------------------------|
| 2018/10/29 | 1.0 | 初始版本。 |
| 2018/12/24 | 1.1 | 更新 IO bank 说明。 |
| 2019/10/15 | 1.2 | 新增 GW1NSR-4&4C 产品封装与管脚信息。 |

目录

| | |
|---------------------------------------|------------|
| 目录..... | i |
| 图目录..... | iii |
| 表目录..... | iv |
| 1 关于本手册..... | 1 |
| 1.1 手册内容..... | 1 |
| 1.2 适用产品..... | 1 |
| 1.3 相关文档..... | 1 |
| 1.4 术语、缩略语..... | 2 |
| 1.5 技术支持与反馈..... | 2 |
| 2 概述..... | 3 |
| 2.1 无铅封装..... | 3 |
| 2.2 封装和最大用户 I/O 信息..... | 3 |
| 2.3 电源管脚..... | 4 |
| 2.4 管脚数目..... | 4 |
| 2.4.1 GW1NSR-2/GW1NSR-2C 器件管脚数目..... | 4 |
| 2.4.2 GW1NSR-4/GW1NSR-4C 器件管脚数目..... | 5 |
| 2.5 管脚定义说明..... | 6 |
| 2.6 I/O BANK 说明..... | 8 |
| 3 管脚分布示意图..... | 9 |
| 3.1 GW1NSR-2/GW1NSR-2C 器件管脚分布示意图..... | 10 |
| 3.1.1 QN48 管脚分布示意图..... | 10 |
| 3.2 GW1NSR-4/GW1NSR-4C 器件管脚分布示意图..... | 11 |
| 3.2.1 QN48P 管脚分布示意图..... | 11 |
| 3.2.2 QN48G 管脚分布示意图..... | 12 |
| 3.2.3 MG64P 管脚分布示意图..... | 13 |
| 4 封装尺寸..... | 14 |
| 4.1 封装尺寸 QN48 (6mm x 6mm)..... | 15 |

4.2 封装尺寸 QN48P / QN48G (6mm x 6mm) 16

4.3 封装尺寸 MG64P (4.2mm x 4.2mm) 17

图目录

| | |
|--|----|
| 图 2-1 GW1NSR 系列 FPGA 产品 I/O BANK 整体示意图 | 8 |
| 图 3-1 GW1NSR-2/GW1NSR-2C 器件 QN48 封装管脚分布示意图（顶视图） | 10 |
| 图 3-2 GW1NSR-4/GW1NSR-4C 器件 QN48P 封装管脚分布示意图（顶视图） | 11 |
| 图 3-3 GW1NSR-4/GW1NSR-4C 器件 QN48G 封装管脚分布示意图（顶视图） | 12 |
| 图 3-4 GW1NSR-4/GW1NSR-4C 器件 MG64P 封装管脚分布示意图（顶视图） | 13 |
| 图 4-1 封装尺寸 QN48 | 15 |
| 图 4-2 封装尺寸 QN48P / QN48G | 16 |
| 图 4-3 封装尺寸 MG64P | 17 |

表目录

| | |
|--|----|
| 表 1-1 术语、缩略语 | 2 |
| 表 2-1 封装和最大用户 I/O 信息、LVDS 对数 | 3 |
| 表 2-2 GW1NSR 电源管脚 | 4 |
| 表 2-3 GW1NSR-2/GW1NSR-2C 器件管脚数目列表 | 4 |
| 表 2-4 GW1NSR-4/GW1NSR-4C 器件管脚数目列表 | 5 |
| 表 2-5 GW1NSR 列 FPGA 产品管脚定义说明 | 6 |
| 表 3-1 GW1NSR-2/GW1NSR-2C 器件 QN48 其他管脚 | 10 |
| 表 3-2 GW1NSR-4/GW1NSR-4C 器件 QN48P 其他管脚 | 11 |
| 表 3-3 GW1NSR-4/GW1NSR-4C 器件 QN48G 其他管脚 | 12 |
| 表 3-4 GW1NSR-4/GW1NSR-4C 器件 MG64 其他管脚 | 13 |

1 关于本手册

1.1 手册内容

GW1NSR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NSR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW1NSR 系列 FPGA 产品：GW1NSR-2, GW1NSR-2C, GW1NSR-4, GW1NSR-2C。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW1NSR 系列 FPGA 产品数据手册
2. GW1NSR 系列 FPGA 产品封装与管脚手册
3. GW1NSR-2&2C 器件 Pinout 手册
4. GW1NSR-4&4C 器件 Pinout 手册
5. Gowin FPGA 产品编程配置手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

| 术语、缩略语 | 全称 | 含义 |
|--------|-------------------------------|-----------|
| FPGA | Field Programmable Gate Array | 现场可编程门阵列 |
| QN48 | QFN48 | QFN48 封装 |
| QN48P | QFN48P | QFN48 封装 |
| QN48G | QFN48G | QFN48 封装 |
| MG64P | MBGA64P | MBGA64 封装 |

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW1NSR 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®) 家族第一代 FPGA 产品，是一款系统级封装芯片，内部集成了 GW1NS 系列 FPGA 产品和 PSRAM 存储芯片,包括 GW1NSR-2C 器件，GW1NSR-4C 器件和 GW1NSR-2 器件，GW1NSR-4 器件。GW1NSR-2C 及 GW1NSR-4C 器件内嵌 ARM Cortex-M3 硬核处理器。此外，GW1NSR 系列 FPGA 产品内嵌 USB2.0 PHY、用户闪存以及 ADC 转换器。GW1NSR-2C / GW1NSR-4C 器件以 ARM Cortex-M3 硬核处理器为核心，具备了实现系统功能所需要的最小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、管脚数量少、使用灵活、瞬时启动、低成本、非易失性、高安全性、封装类型丰富等特点。GW1NSR-2C 器件实现了可编程逻辑器件和嵌入式处理器的无缝连接，兼容多种外围器件标准，可大幅降低用户成本，可广泛应用于工业控制、通信、物联网、伺服驱动、消费等多个领域。

2.1 无铅封装

GW1NSR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NSR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

| 封装 | 间距(mm) | 尺寸(mm) | GW1NSR-2/GW1NSR-2C | GW1NSR-4/GW1NSR-4C |
|-------|--------|-----------|--------------------|--------------------|
| QN48 | 0.4 | 6 x 6 | 38(7) | - |
| QN48P | 0.4 | 6 x 6 | - | 39(4) |
| QN48G | 0.4 | 6 x 6 | - | 39(4) |
| MG64P | 0.5 | 4.2 x 4.2 | - | 55(8) |

注！

- 本手册中 GW1NSR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.4 术语、缩略语](#)。

- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。

2.3 电源管脚

表 2-2 GW1NSR 电源管脚

| | | | |
|--------|-------|-------|-------|
| VCC | VCCO0 | VCCO1 | VCCO2 |
| VCCO3 | VCCX | VSS | NC |
| VCCPLL | VCCP | VDDA | |

2.4 管脚数目

2.4.1 GW1NSR-2/GW1NSR-2C 器件管脚数目

表 2-3 GW1NSR-2/GW1NSR-2C 器件管脚数目列表

| 管脚类型 | | GW1NSR-2/GW1NSR-2C |
|------------------------------|-------|--------------------|
| | | QN48 |
| I/O 单端/差分对/LVDS ¹ | BANK0 | 11/5/0 |
| | BANK1 | 9/4/2 |
| | BANK2 | 11/5/4 |
| | BANK3 | 7/2/1 |
| 最大用户 I/O 总数 ² | | 38 |
| 差分对 | | 16 |
| LVDS | | 7 |
| VCCX | | 2 |
| VCCO0 | | 0 |
| VCCO1 | | 1 |
| VCCO2 | | 1 |
| VCCO3 | | 0 |
| VCCO0/VCCO3 ³ | | 1 |
| VCC/VCCPLL ³ | | 2 |
| VSS | | 2 |
| MODE0 | | 0 |
| MODE1 | | 0 |
| MODE2 | | 1 |
| JTAGSEL_N | | 1 |

注！

- [1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.4.2 GW1NSR-4/GW1NSR-4C 器件管脚数目

表 2-4 GW1NSR-4/GW1NSR-4C 器件管脚数目列表

| 管脚类型 | | GW1NSR-4/GW1NSR-4C | | |
|------------------------------|-------|--------------------|--------|---------|
| | | QN48P | QN48G | MG64P |
| I/O 单端/差分对/LVDS ¹ | BANK0 | 8/3/0 | 8/3/0 | 9/4/0 |
| | BANK1 | 10/5/0 | 10/5/0 | 28/14/0 |
| | BANK2 | 9/4/4 | 9/4/4 | 18/9/8 |
| | BANK3 | 11/5/0 | 11/5/0 | 0/0/0 |
| 最大用户 I/O 总数 ² | | 38 | 38 | 55 |
| 差分对 | | 17 | 17 | 37 |
| LVDS | | 4 | 4 | 8 |
| VCC | | 2 | 2 | 1 |
| VCCX | | 0 | 0 | 1 |
| VCCO0 | | 1 | 1 | 1 |
| VCCO1 | | 1 | 1 | 1 |
| VCCO2 | | 2 | 2 | 1 |
| VCCO3 | | 2 | 2 | 1 |
| VSS | | 1 | 1 | 2 |
| MODE0 | | 0 | 0 | 0 |
| MODE1 | | 0 | 0 | 0 |
| MODE2 | | 0 | 0 | 0 |
| MODE1/MODE2 ³ | | 1 | 1 | 0 |
| JTAGSEL_N | | 1 | 1 | 1 |

注！

- [1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.5 管脚定义说明

GW1NSR 列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-5 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定義以及其他管脚定义进行了详细说明。

表 2-5 GW1NSR 列 FPGA 产品管脚定义说明

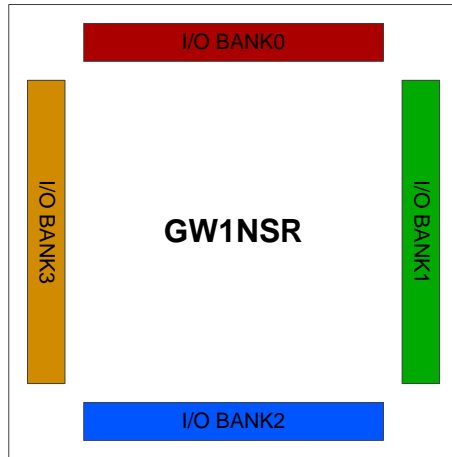
| 管脚名称 | 方向 | 说明 |
|--------------------------------------|----------|---|
| 用户 I/O 管脚 | | |
| IO[End][Row/Column Number][A/B] | I/O | [End] 提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top) [Row/Column Number] 提供管脚在器件中的具体行列位置信息，若 [End] 为 T(top) 或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若 [End] 为 L(left) 或 R(right)，则提供行信息，即管脚对应的 CFU 行数 [A/B] 提供差分信号对信息 |
| 多功能管脚 | | |
| IO [End][Row/Column Number][A/B]/MMM | | 多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O |
| RECONFIG_N | I, 内部弱上拉 | 低电平脉冲开始新的 GowinCONFIG 配置 |
| READY | I/O | 高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置 |
| DONE | I/O | 高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败 |
| FASTRD_N/D3 | I/O | MSPI 模式下 Flash 访问速度选择端口 FASTRD_N， 低电平表示使用高速 Flash 访问模式，高电平表示使用普通 Flash 访问模式 CPU 模式下的数据端口 D3 |
| MCLK/D4 | I/O | MSPI 模式下时钟输出 MCLK。 CPU 模式下的数据端口 D4 |
| MCS_N/D5 | I/O | MSPI 模式下的使能信号 MCS_N，低电平有效 CPU 模式下的数据端口 D5 |
| MI/D7 | I/O | MSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7 |
| MO/D6 | I/O | MSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6 |
| SSPI_CS_N/D0 | I/O | SSPI 模式下的使能信号 SSPI_CS_N，低电平有效， 内部弱上拉 CPU 模式下的数据端口 D0 |
| SO/D1 | I/O | SSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1 |
| SI/D2 | I/O | SSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2 |
| TMS | I, 内部弱上拉 | JTAG 模式串行模式输入 |
| TCK | I | JTAG 模式串行时钟输入，需要在 PCB 上连接 4.7K |

| 管脚名称 | 方向 | 说明 |
|---------------------|----------|--|
| | | 下拉电阻 |
| TDI | I, 内部弱上拉 | JTAG 模式串行数据输入 |
| TDO | O | JTAG 模式串行数据输出 |
| JTAGSEL_N | I, 内部弱上拉 | JTAG 模式选择信号, 低电平有效。 |
| SCLK | I | SSPI, SERIAL, CPU 模式下的时钟输入 |
| DIN | I, 内部弱上拉 | SERIAL 模式下的数据输入 |
| DOUT | O | SERIAL 模式下的数据输出 |
| CLKHOLD_N | I, 内部弱上拉 | 高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效 |
| WE_N | I | CPU 模式下选择 D[7: 0]的数据输入输出方向 |
| GCLKT_[x] | I | 全局时钟输入管脚, T(True), [x]: 全局时钟序号 |
| GCLKC_[x] | I | 全局时钟输入管脚, C(Comp), [x]: 全局时钟序号 |
| LPLL_T_fb/RPLL_T_fb | I | 左边/右边 PLL 反馈输入管脚, T(True) |
| LPLL_C_fb/RPLL_C_fb | I | 左边/右边 PLL 反馈输入管脚, C(Comp) |
| LPLL_T_in/RPLL_T_in | I | 左边/右边 PLL 时钟输入管脚, T(True) |
| LPLL_C_in/RPLL_C_in | I | 左边/右边 PLL 时钟输入管脚, C(Comp) |
| CH[7:0] | I | 八通道模拟输入 |
| MODE2 | I, 内部弱上拉 | GowinCONFIG 配置模式选择信号端口 |
| MODE1 | I, 内部弱上拉 | GowinCONFIG 配置模式选择信号端口 |
| MODE0 | I, 内部弱上拉 | GowinCONFIG 配置模式选择信号端口 |
| 其他管脚 | | |
| NC | NA | 预留未使用 |
| VSS | NA | Ground 管脚 |
| VCC | NA | 核电压供电管脚 |
| VCCO# | NA | I/O BANK#的 I/O 电压供电管脚 |
| VCCX | NA | 辅助电压供电管脚 |
| VCCP | NA | FLASH 供电管脚 (1.8V) |
| VCCPLL | NA | PLL 电压供电管脚 |
| VDDA | NA | 模拟电源电压, VDDA=3.3V |

2.6 I/O BANK 说明








GW1NSR 系列 FPGA 产品分为四个 I/O BANK 区，图 2-1 为 GW1NSR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW1NSR 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW1NSR 系列 FPGA 产品每种封装的管脚分布示意图。GW1NSR 系列 FPGA 产品的四个 BANK 用四种颜色区分。

用户 I/O、电源、地使用不同的符号来区分。GW1NSR 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

3 管脚分布示意图

3.1 GW1NSR-2/GW1NSR-2C 器件管脚分布示意图

3.1.1 QN48 管脚分布示意图

图 3-1 GW1NSR-2/GW1NSR-2C 器件 QN48 封装管脚分布示意图（顶视图）

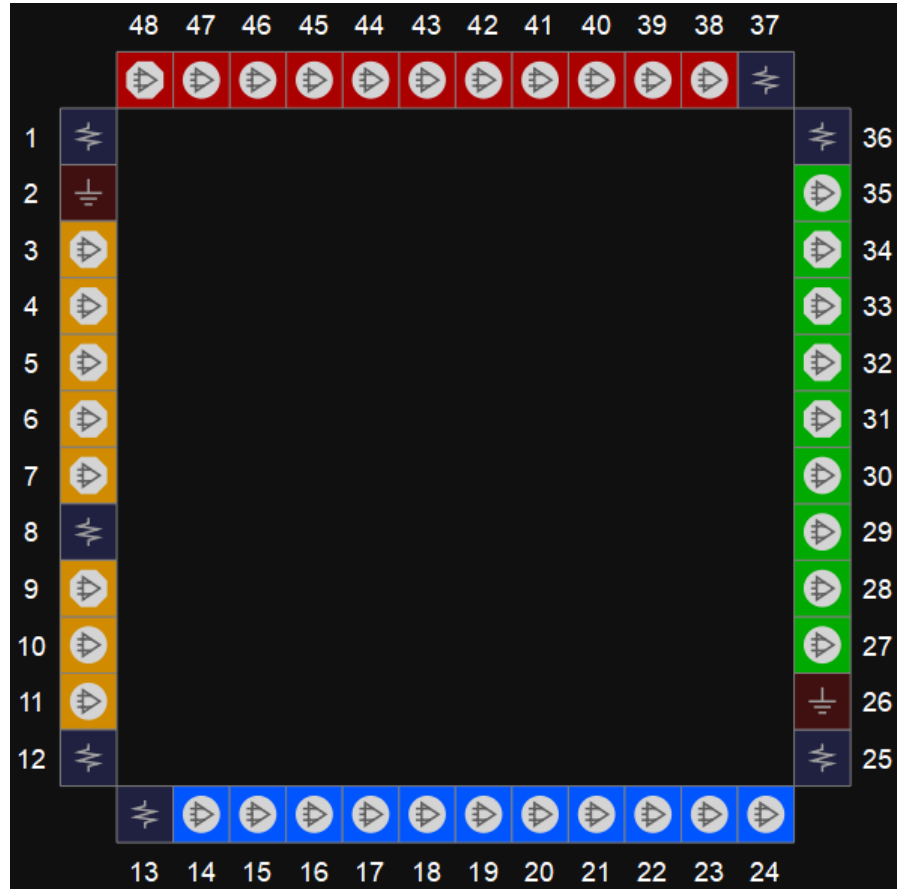


表 3-1 GW1NSR-2/GW1NSR-2C 器件 QN48 其他管脚

| | |
|-------------|-------|
| VCCO1 | 25 |
| VCCO2 | 13 |
| VCCO0/VCCO3 | 1 |
| VCC/VCCPLL | 12、37 |
| VCCX | 8、36 |
| VSS | 2、26 |

3.2 GW1NSR-4/GW1NSR-4C 器件管脚分布示意图

3.2.1 QN48P 管脚分布示意图

图 3-2 GW1NSR-4/GW1NSR-4C 器件 QN48P 封装管脚分布示意图（顶视图）

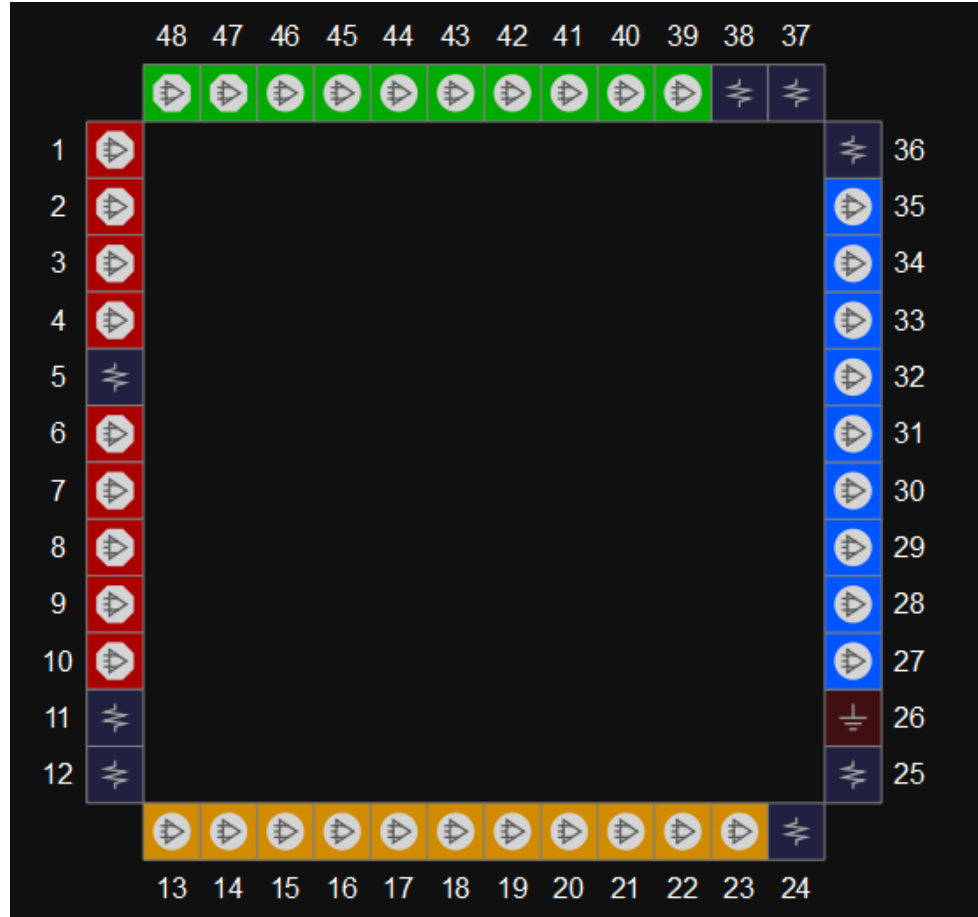


表 3-2 GW1NSR-4/GW1NSR-4C 器件 QN48P 其他管脚

| | |
|-------|-------|
| VCC | 11,37 |
| VCCO0 | 5 |
| VCCO1 | 38 |
| VCCO2 | 25,36 |
| VCCO3 | 12,24 |
| VSS | 26 |

3.2.2 QN48G 管脚分布示意图

图 3-3 GW1NSR-4/GW1NSR-4C 器件 QN48G 封装管脚分布示意图（顶视图）

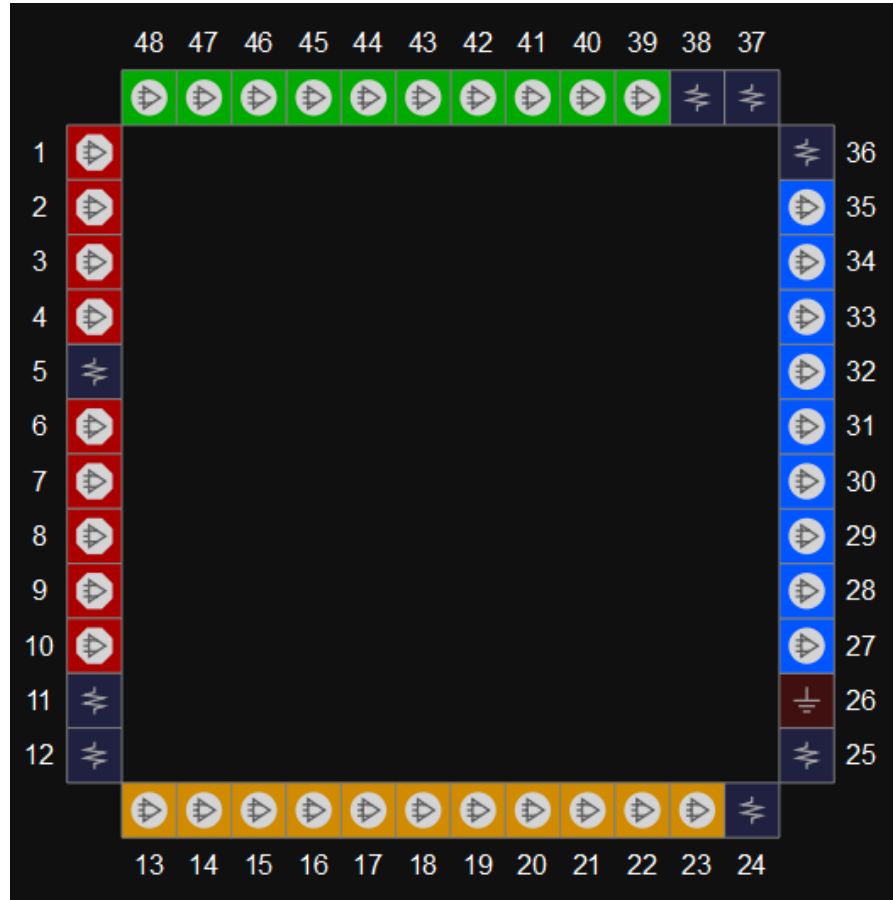


表 3-3 GW1NSR-4/GW1NSR-4C 器件 QN48G 其他管脚

| | |
|-------|-------|
| VCC | 11,37 |
| VCCO0 | 5 |
| VCCO1 | 38 |
| VCCO2 | 25,36 |
| VCCO3 | 12,24 |
| VSS | 26 |

3.2.3 MG64P 管脚分布示意图

图 3-4 GW1NSR-4/GW1NSR-4C 器件 MG64P 封装管脚分布示意图（顶视图）

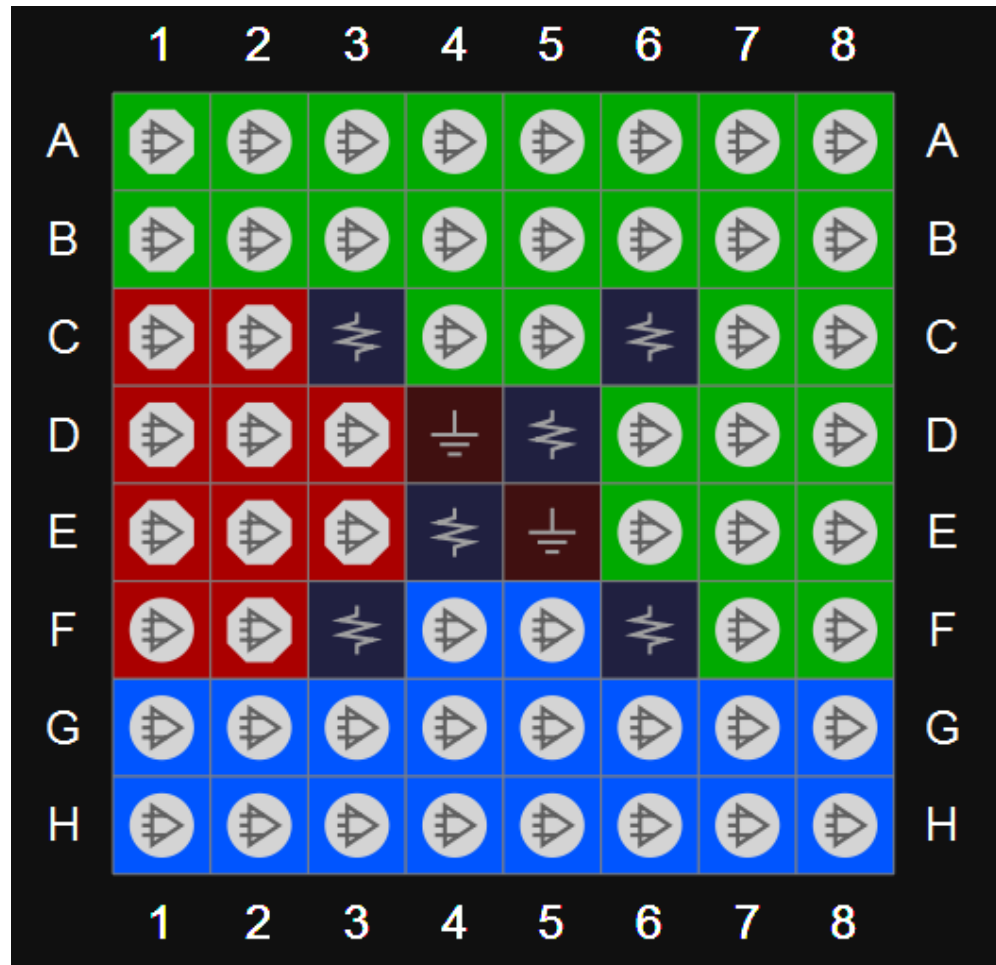


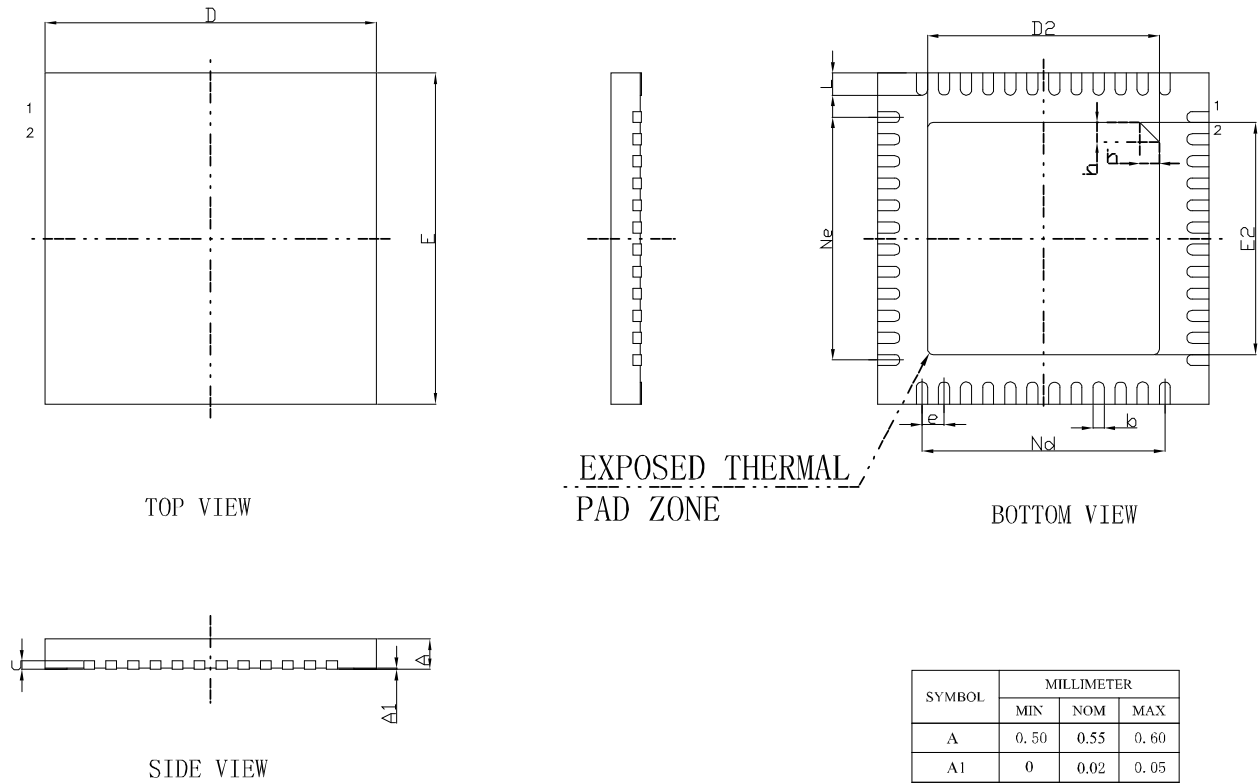
表 3-4 GW1NSR-4/GW1NSR-4C 器件 MG64 其他管脚

| | |
|-------|-------|
| VCC | D5 |
| VCCX | E4 |
| VCCO0 | C3 |
| VCCO1 | C6 |
| VCCO2 | F6 |
| VCCO3 | F3 |
| VSS | D4,E5 |

4 封装尺寸

4.1 封装尺寸 QN48 (6mm x 6mm)

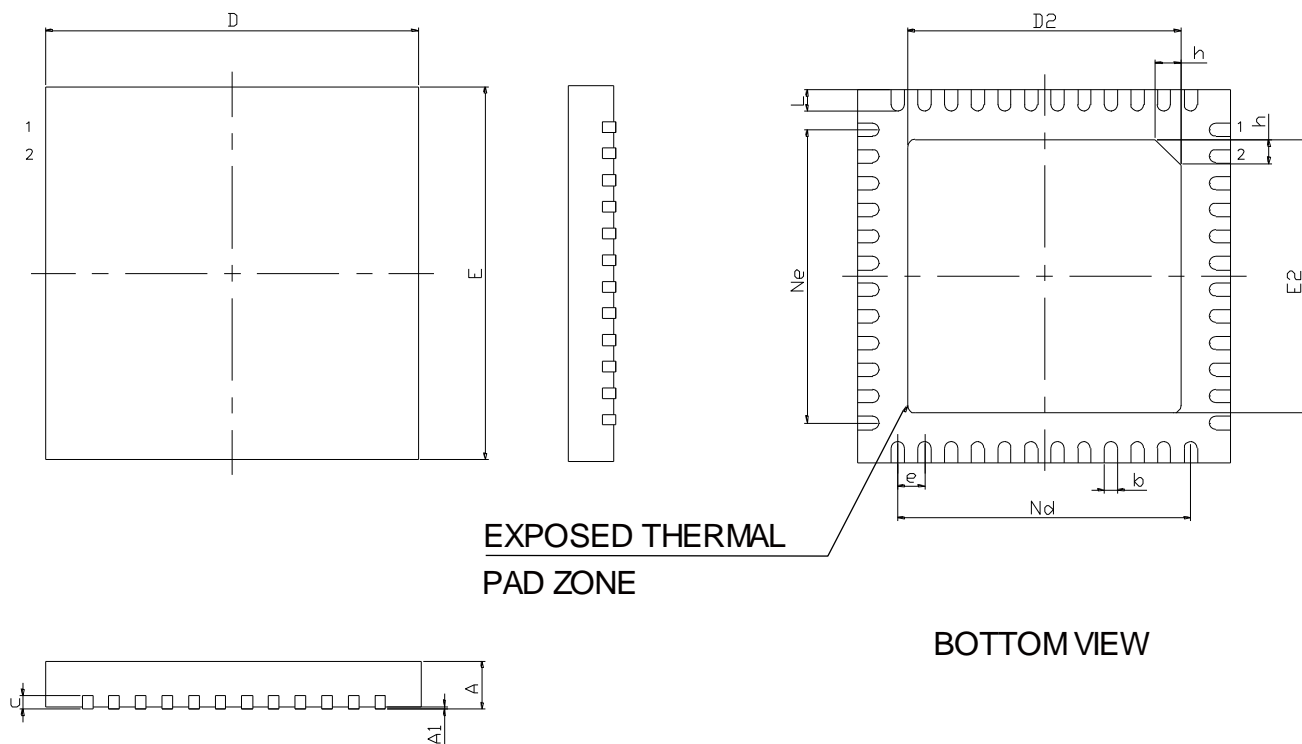
图 4-1 封装尺寸 QN48



| SYMBOL | MILLIMETER | | |
|----------------|------------|------|------|
| | MIN | NOM | MAX |
| A | 0.50 | 0.55 | 0.60 |
| A1 | 0 | 0.02 | 0.05 |
| b | 0.15 | 0.20 | 0.25 |
| c | 0.10 | 0.15 | 0.20 |
| D | 5.90 | 6.00 | 6.10 |
| D2 | 4.10 | 4.20 | 4.30 |
| e | 0.40BSC | | |
| Ne | 4.40BSC | | |
| Nd | 4.40BSC | | |
| E | 5.90 | 6.00 | 6.10 |
| E2 | 4.10 | 4.20 | 4.30 |
| L | 0.35 | 0.40 | 0.45 |
| h | 0.30 | 0.35 | 0.40 |
| 1/2 规格尺寸 (MIL) | 177*177 | | |

4.2 封装尺寸 QN48P / QN48G (6mm x 6mm)

图 4-2 封装尺寸 QN48P/QN48G

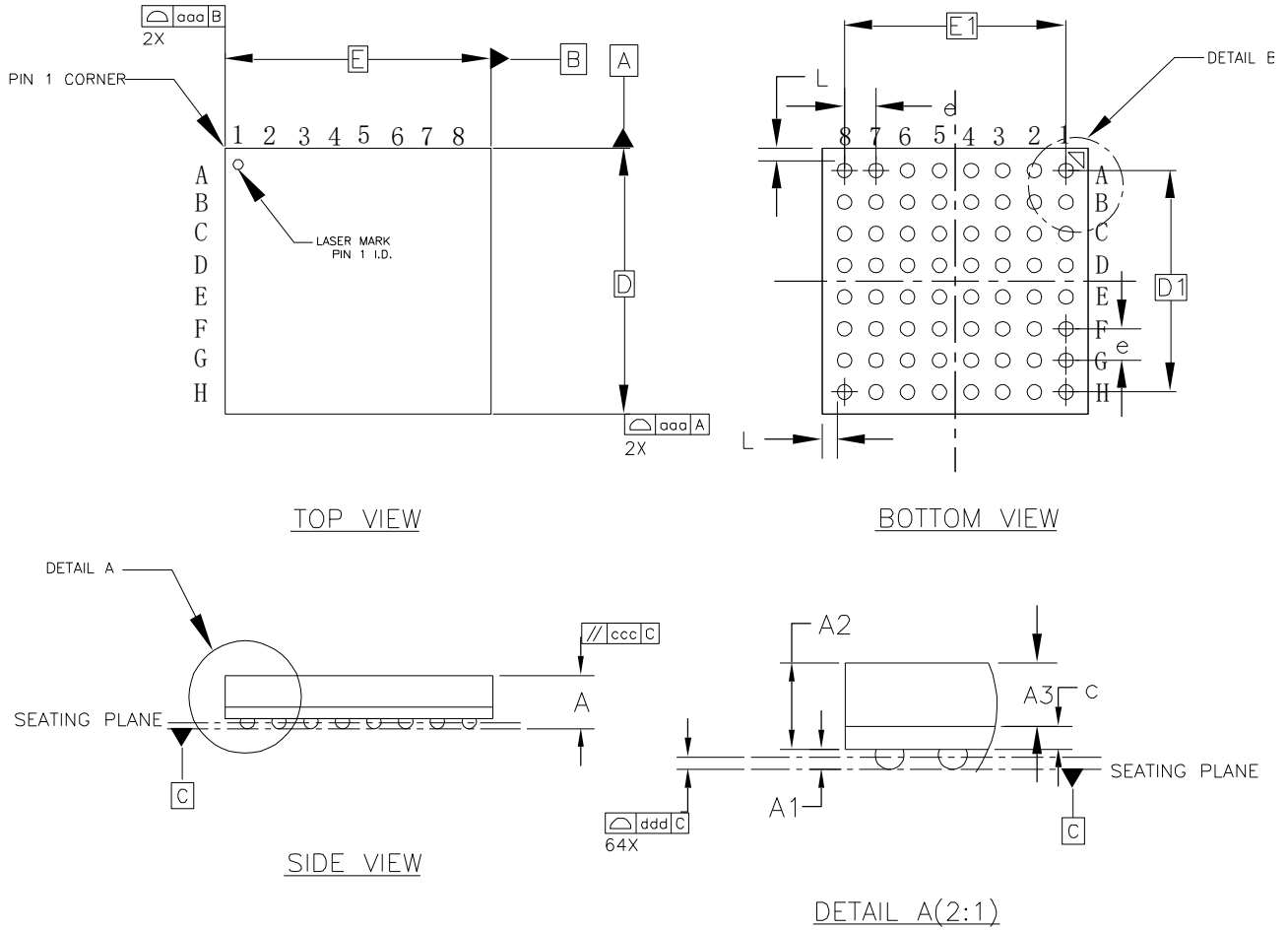


BOTTOM VIEW

| SYMBOL | MILLIMETER | | |
|---------------|------------|------|------|
| | MIN | NOM | MAX |
| A | 0.75 | 0.85 | 0.85 |
| A1 | -- | 0.02 | 0.05 |
| b | 0.15 | 0.20 | 0.25 |
| c | 0.18 | 0.20 | 0.23 |
| D | 5.90 | 6.00 | 6.10 |
| D2 | 4.10 | 4.20 | 4.30 |
| e | 0.40 BSC | | |
| Ne | 4.40 BSC | | |
| Nd | 4.40 BSC | | |
| E | 5.90 | 6.00 | 6.10 |
| E2 | 4.10 | 4.20 | 4.30 |
| L | 0.35 | 0.40 | 0.45 |
| h | 0.30 | 0.35 | 0.40 |
| L/F载体尺寸 (MIL) | 177*177 | | |

4.3 封装尺寸 MG64P (4.2mm x 4.2mm)

图 4-3 封装尺寸 MG64P



1

| SYMBOL | MILLIMETER | | |
|--------|------------|------|------|
| | MIN | NOM | MAX |
| A | 0.76 | 0.84 | 0.92 |
| A1 | 0.11 | 0.16 | 0.21 |
| A2 | 0.63 | 0.68 | 0.73 |
| A3 | 0.50 BASIC | | |
| c | 0.15 | 0.18 | 0.21 |
| D | 4.10 | 4.20 | 4.30 |
| D1 | 3.50 BASIC | | |
| E | 4.10 | 4.20 | 4.30 |
| E1 | 3.50 BASIC | | |
| e | 0.50 BASIC | | |
| b | 0.18 | 0.23 | 0.28 |
| L | 0.235 REF | | |
| aaa | 0.15 | | |
| ccc | 0.10 | | |
| ddd | 0.10 | | |
| eee | 0.15 | | |
| fff | 0.05 | | |

