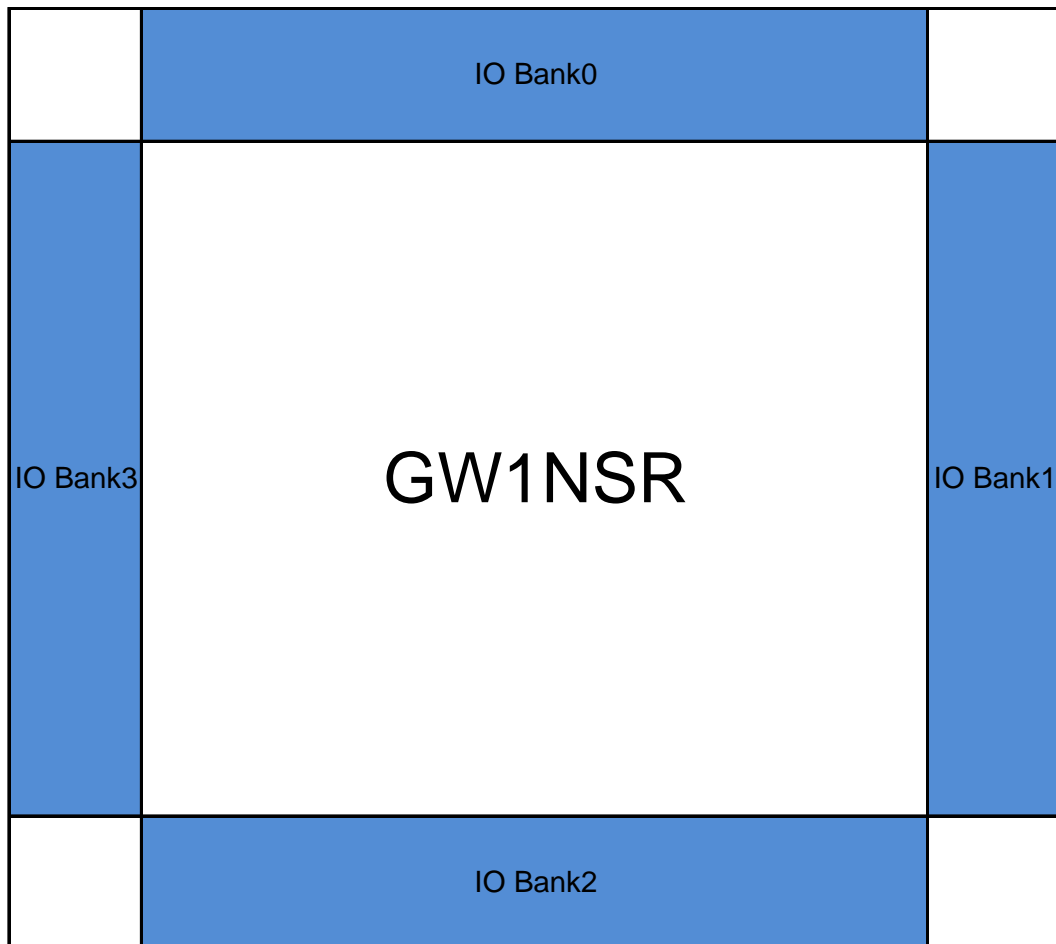


日期	版本	说明
2019/10/8	1.0	初始版本，支持QN48P,QN48G,MG64P封装。
2020/4/16	1.01	修改QN48P和QN48G封装中25管脚位置。
2020/5/29	1.02	修改GCLK管脚说明； 修改使用FLASH时，VCCO0/VCCO1电压范围。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的时 候，这些管脚可以用作用户I/O
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的GowinCONFIG配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI模式下Flash访问速度选择端口FASTRD_N，低电平表示使用高速Flash访问模式，高电平表示使 CPU模式下的数据端口D3
MCLK/D4	I/O	MSPI模式下时钟输出MCLK CPU模式下的数据端口D4
MCS_N/D5	I/O	MSPI模式下的使能信号MCS_N，低电平有效 CPU模式下的数据端口D5
MO/D6	I/O	MSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D6
MI/D7	I/O	MSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D7
SSPI_CS_N/D0	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效 CPU模式下的数据端口D0
SO/D1	I/O	SSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D1
SI/D2	I/O	SSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D2
TMS	I	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDI	I	JTAG模式串行数据输入

管脚名称	方向	说明
TDO	O	JTAG模式串行数据输出
JTAGSEL_N	I, 内部弱上拉	JTAG模式选择信号, 低电平有效
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
DOUT	O	SERIAL模式下的数据输出
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[1]
CH[7:0]	I	八通道模拟输入
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCP	NA	FLASH供电管脚 (1.8V)
VCCPLL	NA	PLL电压供电管脚
VDDA	NA	ADC模拟电源电压, VDDA=3.3V
X16	NA	指示IO支持16: 1功能
VREF	NA	ADC外部参考电压输入管脚
注!		
[1]当输入是单端时, GCLKC_[x]所在管脚不是全局时钟管脚		



注!

- 1.每个Bank还提供一个独立的参考电压 (VREF) ;
- 2.用户可以选择使用IOB内置的VREF源 (等于 $0.5 \cdot VCCO$) ;
- 3.也可选择外部的VREF输入 (使用Bank中任意一个I/O管脚作为外部VREF输入) 。

注!

1.QN48P和QN48G封装中, IOT7A, IOT7B共用10管脚。

2.QN48P封装内嵌HyperRAM, MG64P封装内嵌PSRAM, QN48G封装内嵌FLASH。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P	QN48G	MG64P
IOB13A	I/O	3		True_of_IOB13B	NONE	NONE	18	18	
IOB13B	I/O	3		Comp_of_IOB13A	NONE	NONE	19	19	
IOB14A	I/O	3		True_of_IOB14B	NONE	NONE			
IOB14B	I/O	3		Comp_of_IOB14A	NONE	NONE			
IOB15A	I/O	3		True_of_IOB15B	NONE	NONE			
IOB15B	I/O	3		Comp_of_IOB15A	NONE	NONE			
IOB16A/GCLKT_5	I/O	3	GCLKT_5	True_of_IOB16B	NONE	NONE	20	20	
IOB16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of_IOB16A	NONE	NONE	21	21	
IOB22A/GCLKT_4	I/O	3	GCLKT_4	True_of_IOB22B	NONE	NONE	22	22	
IOB22B/GCLKC_4	I/O	3	GCLKC_4	Comp_of_IOB22A	NONE	NONE	23	23	
IOB23A	I/O	3		True_of_IOB23B	NONE	NONE			
IOB23B	I/O	3		Comp_of_IOB23A	NONE	NONE			
IOB24A	I/O	3		True_of_IOB24B	NONE	NONE			
IOB24B	I/O	3		Comp_of_IOB24A	NONE	NONE			
IOB25A	I/O	3		True_of_IOB25B	NONE	NONE			
IOB25B	I/O	3		Comp_of_IOB25A	NONE	NONE			
IOB29A	I/O	3		True_of_IOB29B	NONE	NONE			
IOB29B	I/O	3		Comp_of_IOB29A	NONE	NONE			
IOB4A	I/O	3		True_of_IOB4B	NONE	NONE	13	13	
IOB4B	I/O	3		Comp_of_IOB4A	NONE	NONE	14	14	
IOB5A	I/O	3		True_of_IOB5B	NONE	NONE	15	15	
IOB5B	I/O	3		Comp_of_IOB5A	NONE	NONE			
IOB6A	I/O	3		True_of_IOB6B	NONE	NONE	16	16	
IOB6B	I/O	3		Comp_of_IOB6A	NONE	NONE	17	17	
IOB7A	I/O	3		True_of_IOB7B	NONE	NONE			
IOB7B	I/O	3		Comp_of_IOB7A	NONE	NONE			
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOR11B	TRUE	x16	32	32	G5
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOR11A	TRUE	NONE	31	31	H5
IOR12A	I/O	2		True_of_IOR12B	NONE	NONE			
IOR12B	I/O	2		Comp_of_IOR12A	NONE	NONE			

注!

1.QN48P和QN48G封装中, IOT7A, IOT7B共用10管脚。

2.QN48P封装内嵌HyperRAM, MG64P封装内嵌PSRAM, QN48G封装内嵌FLASH。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P	QN48G	MG64P
IOR13A	I/O	2		True_of_IOR13B	TRUE	x16			G6
IOR13B	I/O	2		Comp_of_IOR13A	TRUE	NONE			H6
IOR14A	I/O	2		True_of_IOR14B	NONE	NONE			
IOR14B	I/O	2		Comp_of_IOR14A	NONE	NONE			
IOR15A	I/O	2		True_of_IOR15B	TRUE	x16	30	30	G7
IOR15B	I/O	2		Comp_of_IOR15A	TRUE	NONE	29	29	H7
IOR16A	I/O	2		True_of_IOR16B	NONE	NONE			
IOR16B	I/O	2		Comp_of_IOR16A	NONE	NONE			
IOR17A	I/O	2		True_of_IOR17B	TRUE	x16	28	28	G8
IOR17B	I/O	2		Comp_of_IOR17A	TRUE	NONE	27	27	H8
IOR18A	I/O	2		True_of_IOR18B	NONE	NONE			
IOR18B	I/O	2		Comp_of_IOR18A	NONE	NONE			
IOR2A/RPLL_T_in	I/O	2	RPLL_T_in	True_of_IOR2B	TRUE	x16	35	35	G1
IOR2B/RPLL_C_in	I/O	2	RPLL_C_in	Comp_of_IOR2A	TRUE	NONE	34	34	H1
IOR3A/RPLL_T_fb	I/O	2	RPLL_T_fb	True_of_IOR3B	NONE	NONE			
IOR3B/RPLL_C_fb	I/O	2	RPLL_C_fb	Comp_of_IOR3A	NONE	NONE			
IOR4A	I/O	2		True_of_IOR4B	TRUE	x16			G2
IOR4B	I/O	2		Comp_of_IOR4A	TRUE	NONE			H2
IOR5A	I/O	2		True_of_IOR5B	NONE	NONE			
IOR5B	I/O	2		Comp_of_IOR5A	NONE	NONE			
IOR6A	I/O	2		True_of_IOR6B	TRUE	x16			G3
IOR6B	I/O	2		Comp_of_IOR6A	TRUE	NONE			H3
IOR7A	I/O	2		True_of_IOR7B	NONE	NONE			
IOR7B	I/O	2		Comp_of_IOR7A	NONE	NONE			
IOR8A	I/O	2		True_of_IOR8B	TRUE	x16			G4
IOR8B	I/O	2		Comp_of_IOR8A	TRUE	NONE			H4
IOR9A/GCLKT_2	I/O	2	GCLKT_2	True_of_IOR9B	NONE	NONE			F5
IOR9B/GCLKC_2	I/O	2	GCLKC_2	Comp_of_IOR9A	NONE	NONE	33	33	F4
IOT10A/MCLK/D4	I/O	0	MCLK/D4	True_of_IOT10B	NONE	NONE	1		
IOT10B/MCS_N/D5	I/O	0	MCS_N/D5	Comp_of_IOT10A	NONE	NONE	2		

注!

1.QN48P和QN48G封装中, IOT7A, IOT7B共用10管脚。

2.QN48P封装内嵌HyperRAM, MG64P封装内嵌PSRAM, QN48G封装内嵌FLASH。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P	QN48G	MG64P
IOT11A/MO/D6	I/O	1	MO/D6	True_of_IOT11B	NONE	x16	48		A1
IOT11B/MI/D7	I/O	1	MI/D7	Comp_of_IOT11A	NONE	NONE	47		B1
IOT12A/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOT12B	NONE	NONE		48	A2
IOT12B/DOOUT/WE_N	I/O	1	DOOUT/WE_N	Comp_of_IOT12A	NONE	NONE		47	B2
IOT13A/LPLL_T_in	I/O	1	LPLL_T_in	True_of_IOT13B	NONE	x16	45	45	B3
IOT13B/LPLL_C_in	I/O	1	LPLL_C_in	Comp_of_IOT13A	NONE	NONE	46	46	A3
IOT15A/LPLL_T_fb	I/O	1	LPLL_T_fb	True_of_IOT15B	NONE	x16			B4
IOT15B/LPLL_C_fb	I/O	1	LPLL_C_fb	Comp_of_IOT15A	NONE	NONE			A4
IOT17A/GCLKT_0	I/O	1	GCLKT_0	True_of_IOT17B	NONE	x16	43	43	B5
IOT17B/GCLKC_0	I/O	1	GCLKC_0	Comp_of_IOT17A	NONE	NONE	44	44	A5
IOT20A/GCLKT_1	I/O	1	GCLKT_1	True_of_IOT20B	NONE	x16	41	41	C5
IOT20B/GCLKC_1	I/O	1	GCLKC_1	Comp_of_IOT20A	NONE	NONE	42	42	C4
IOT21A	I/O	1		True_of_IOT21B	NONE	NONE			B6
IOT21B	I/O	1		Comp_of_IOT21A	NONE	NONE			A6
IOT22A	I/O	1		True_of_IOT22B	NONE	x16			B7
IOT22B	I/O	1		Comp_of_IOT22A	NONE	NONE			A7
IOT24A	I/O	1		True_of_IOT24B	NONE	x16			A8
IOT24B	I/O	1		Comp_of_IOT24A	NONE	NONE			B8
IOT26A	I/O	1		True_of_IOT26B	NONE	x16	39	39	C7
IOT26B	I/O	1		Comp_of_IOT26A	NONE	NONE	40	40	C8
IOT29A	I/O	1		True_of_IOT29B	NONE	x16			E6
IOT29B	I/O	1		Comp_of_IOT29A	NONE	NONE			D6
IOT2A/TDI	I/O	0	TDI	True_of_IOT2B	NONE	x16	3	3	E2
IOT2B/TDO	I/O	0	TDO	Comp_of_IOT2A	NONE	NONE	4	4	E3
IOT30A	I/O	1		True_of_IOT30B	NONE	NONE			
IOT30B	I/O	1		Comp_of_IOT30A	NONE	NONE			
IOT31A	I/O	1		True_of_IOT31B	NONE	x16			D7
IOT31B	I/O	1		Comp_of_IOT31A	NONE	NONE			D8
IOT33A	I/O	1		True_of_IOT33B	NONE	x16			E7
IOT33B	I/O	1		Comp_of_IOT33A	NONE	NONE			E8

注!

1.QN48P和QN48G封装中, IOT7A, IOT7B共用10管脚。

2.QN48P封装内嵌HyperRAM, MG64P封装内嵌PSRAM, QN48G封装内嵌FLASH。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P	QN48G	MG64P
IOT35A	I/O	1		True_of_IOT35B	NONE	x16			F7
IOT35B	I/O	1		Comp_of_IOT35A	NONE	NONE			F8
IOT3A/TMS	I/O	0	TMS	True_of_IOT3B	NONE	NONE	6	6	D2
IOT3B/TCK	I/O	0	TCK	Comp_of_IOT3A	NONE	NONE	7	7	D3
IOT4A/SCLK	I/O	0	SCLK	True_of_IOT4B	NONE	x16			F1
IOT4B/JTAGSEL_N	I/O	0	JTAGSEL_N	Comp_of_IOT4A	NONE	NONE	8	8	F2
IOT5A/READY	I/O	0	READY	True_of_IOT5B	NONE	NONE			D1
IOT5B/DONE	I/O	0	DONE	Comp_of_IOT5A	NONE	NONE	9	9	
IOT6A/RECONFIG_N	I/O	0	RECONFIG_N	True_of_IOT6B	NONE	x16			E1
IOT6B/MODE0	I/O	0	MODE0	Comp_of_IOT6A	NONE	NONE			
IOT7A/MODE1	I/O	0	MODE1	True_of_IOT7B	NONE	NONE	10	10	
IOT7B/MODE2	I/O	0	MODE2	Comp_of_IOT7A	NONE	NONE	10	10	
IOT8A/SSPI_CS_N/D0	I/O	0	SSPI_CS_N/D0	True_of_IOT8B	NONE	x16			C1
IOT8B/SO/D1	I/O	0	SO/D1	Comp_of_IOT8A	NONE	NONE			C2
IOT9A/SI/D2	I/O	0	SI/D2	True_of_IOT9B	NONE	NONE		1	
IOT9B/FASTRD_N/D3	I/O	0	FASTRD_N/D3	Comp_of_IOT9A	NONE	NONE		2	
VCC	Power	N/A					11	11	D5
VCC	Power	N/A					37	37	
VCCO0	Power	N/A					5	5	C3
VCCO1	Power	N/A					38	38	C6
VCCO2	Power	N/A							F6
VCCO2	Power	N/A					36	36	
VCCO3	Power	N/A					12	12	F3
VCCO3	Power	N/A					24	24	
VCCX	Power	N/A					25	25	E4
VSS	Ground	N/A							D4
VSS	Ground	N/A							E5
VSS	Ground	N/A					26	26	

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48P	QN48G	MG64P
BANK2 True LVDS Pair									
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOR11B	TRUE	x16	32	32	G5
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOR11A	TRUE	NONE	31	31	H5
IOR13A	I/O	2		True_of_IOR13B	TRUE	x16			G6
IOR13B	I/O	2		Comp_of_IOR13A	TRUE	NONE			H6
IOR15A	I/O	2		True_of_IOR15B	TRUE	x16	30	30	G7
IOR15B	I/O	2		Comp_of_IOR15A	TRUE	NONE	29	29	H7
IOR17A	I/O	2		True_of_IOR17B	TRUE	x16	28	28	G8
IOR17B	I/O	2		Comp_of_IOR17A	TRUE	NONE	27	27	H8
IOR2A/RPLL_T_in	I/O	2	RPLL_T_in	True_of_IOR2B	TRUE	x16	35	35	G1
IOR2B/RPLL_C_in	I/O	2	RPLL_C_in	Comp_of_IOR2A	TRUE	NONE	34	34	H1
IOR4A	I/O	2		True_of_IOR4B	TRUE	x16			G2
IOR4B	I/O	2		Comp_of_IOR4A	TRUE	NONE			H2
IOR6A	I/O	2		True_of_IOR6B	TRUE	x16			G3
IOR6B	I/O	2		Comp_of_IOR6A	TRUE	NONE			H3
IOR8A	I/O	2		True_of_IOR8B	TRUE	x16			G4
IOR8B	I/O	2		Comp_of_IOR8A	TRUE	NONE			H4

注！ 建议将VCCX和电压最高的VCCO连接在一起使用。			
GW1NSR-4C QN48P 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO1、 VCCO2、VCCO3	I/O Bank电压	1.14V	3.465V
	使用HyperRAM时，VCCO3给HyperRAM提供电压	1.71V	1.89V
	使用BANK0、BANK1的MIPI输入时，VCCO0、VCCO1需供1.2V	1.14V	1.26V
	使用BANK2的MIPI输出时，VCCO2需供1.2V	1.14V	1.26V
VCCX	辅助电压	1.71V	3.465V
GW1NSR-4C QN48G 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO1、 VCCO2、VCCO3	I/O Bank电压	1.14V	3.465V
	使用FLASH时，VCCO0、VCCO1给FLASH提供电压	2.565V	3.465V
	使用BANK0、BANK1的MIPI输入时，VCCO0、VCCO1需供1.2V	1.14V	1.26V
	使用BANK2的MIPI输出时，VCCO2需供1.2V	1.14V	1.26V
VCCX	辅助电压	1.71V	3.465V
GW1NSR-4C MG64P 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO1、 VCCO2、VCCO3	I/O Bank电压	1.14V	3.465V
	使用PSRAM时，VCCO3给PSRAM提供电压	1.71V	1.89V
	使用BANK0、BANK1的MIPI输入时，VCCO0、VCCO1需供1.2V	1.14V	1.26V
	使用BANK2的MIPI输出时，VCCO2需供1.2V	1.14V	1.26V
VCCX	辅助电压	1.71V	3.465V