




GW1NRF 系列蓝牙 FPGA 产品 封装与管脚手册

UG893-1.0.1, 2022-12-15

版权所有 © 2022 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin、小蜜蜂、LittleBee、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2019/11/12	1.0	初始版本。
2022/12/15	1.0.1	<ul style="list-style-type: none">● 更新封装尺寸图。● 新增表 2-4 “GW1NRF 系列蓝牙 FPGA 产品管脚定义说明” 注释。

目录

目录.....	i
图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	1
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 无铅封装.....	3
2.2 封装和最大用户 I/O 信息、LVDS 对数.....	3
2.3 电源管脚.....	4
2.4 管脚数目.....	4
2.4.1 GW1NRF-4B 器件管脚数目.....	4
2.5 管脚定义说明.....	5
2.6 I/O BANK 说明.....	7
3 管脚分布示意图.....	8
3.1 GW1NRF-4B 器件管脚分布示意图.....	8
3.1.1 QN48 管脚分布示意图.....	8
3.1.2 QN48E 管脚分布示意图.....	9
4 封装尺寸.....	10
4.1 封装尺寸 QN48 (6mm x 6mm).....	10
4.2 封装尺寸 QN48E (6mm x 6mm).....	11

图目录

图 2-1 GW1NRF 系列蓝牙 FPGA 产品 I/O BANK 整体示意图	7
图 3-1 GW1NRF-4B 器件 QN48 封装管脚分布示意图（顶视图）	8
图 3-2 GW1NRF-4B 器件 QN48E 封装管脚分布示意图（顶视图）	9
图 4-1 封装尺寸 QN48	10
图 4-2 封装尺寸 QN48E	11

表目录

表 1-1 术语、缩略语	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数	3
表 2-2 GW1NRF 其他管脚	4
表 2-3 GW1NRF-4B 器件管脚数目列表	4
表 2-4 GW1NRF 系列蓝牙 FPGA 产品管脚定义说明	5
表 3-1 GW1NRF-4B 器件 QN48 其他管脚	9
表 3-2 GW1NRF-4B 器件 QN48E 其他管脚	9

1 关于本手册

1.1 手册内容

GW1NRF 系列蓝牙 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NRF 系列蓝牙 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
2. [UG893, GW1NRF 系列蓝牙 FPGA 产品封装与管脚手册](#)
3. [UG892, GW1NRF- 4B 器件 Pinout 手册](#)
4. [UG290, Gowin FPGA 编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装
QN48	QFN48	QFN48 封装
QN48E	QFN48E	QFN48 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW1NRF 系列蓝牙 FPGA 产品是高云半导体小蜜蜂® (LittleBee®) 家族第一代产品，是一款 SoC 芯片。器件以 32 位硬核微处理器为核心，支持蓝牙 5.0 低功耗射频功能，具有丰富的逻辑单元、内嵌 B-SRAM 和 DSP 资源，IO 资源丰富，系统内部有电源管理模块和安全加密模块。具有高性能、低功耗、瞬时启动、低成本、非易失性、高安全性、封装类型丰富、使用方便灵活等特点。

2.1 无铅封装

GW1NRF 系列蓝牙 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NRF 系列蓝牙 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息、LVDS 对数

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1NRF-4B
QN48	0.4	6 x 6	25(4)
QN48E	0.4	6 x 6	25(4)

注！

- 本手册中 GW1NRF 系列蓝牙 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)；
- 详细信息请参考 GW1NRF 系列蓝牙 FPGA 产品相关 Pinout 手册；
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，此时最大用户 I/O 数加 1。

2.3 电源管脚

表 2-2 GW1NRF 其他管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCX	VSS	

2.4 管脚数目

2.4.1 GW1NRF-4B 器件管脚数目

表 2-3 GW1NRF-4B 器件管脚数目列表

管脚类型		GW1NRF-4B	
		QN48	QN48E
I/O单端/差分对/LVDS ¹	BANK0	9/4/0	9/4/0
	BANK1	4/1/1	4/1/1
	BANK2	8/4/3	8/4/3
	BANK3	4/1/0	4/1/0
最大用户 I/O 总数 ²		25	25
差分对		10	10
True LVDS 输出		4	4
VCC		2	2
VCCX		1	1
VCCO0/ VCCO3 ³		1	1
VCCO1/ VCCO2 ³		1	1
VSS		2	1
MODE0		0	0
MODE1		0	0
MODE2		0	0
JTAGSEL_N		1	1

注！

- [1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚；
- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.5 管脚定义说明

GW1NRF 系列蓝牙 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-4 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定义以及其他管脚定义进行了详细说明。

表 2-4 GW1NRF 系列蓝牙 FPGA 产品管脚定义说明

管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数 [A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的GowinCONFIG配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI模式下Flash访问速度选择端口FASTRD_N， 低电平表示使用高速Flash访问模式，高电平表示使用普通Flash访问模式 CPU模式下的数据端口D3
MCLK/D4	I/O	MSPI模式下时钟输出MCLK CPU模式下的数据端口D4
MCS_N/D5	I/O	MSPI模式下的使能信号MCS_N，低电平有效 CPU模式下的数据端口D5
MI/D7	I/O	MSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D7
MO/D6	I/O	MSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D6
SSPI_CS_N/D0	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效， 内部弱上拉 CPU模式下的数据端口D0
SO/D1	I/O	SSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D1
SI/D2	I/O	SSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D2

管脚名称	方向	说明
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入, 需要再PCB上连接4.7K下拉电阻
TDI	I, 内部弱上拉	JTAG模式串行数据输入
TDO	O	JTAG模式串行数据输出
JTAGSEL_N	I, 内部弱上拉	JTAG模式选择信号, 低电平有效。
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
DOUT	O	SERIAL模式下的数据输出
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[1]
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚

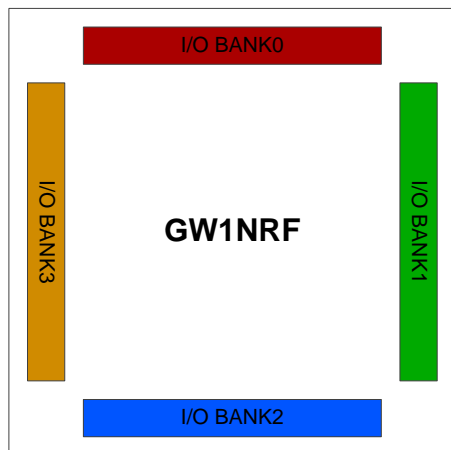
注!

[1] 当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。

2.6 I/O BANK 说明









GW1NRF 系列蓝牙 FPGA 产品分为四个 I/O BANK 区，图 2-1 为 GW1NRF 系列蓝牙 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW1NRF 系列蓝牙 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW1NRF 系列蓝牙 FPGA 产品每种封装的管脚分布示意图。GW1NRF 系列蓝牙 FPGA 产品的四个 BANK 用四种颜色区分。

用户 I/O、电源、地使用不同的符号来区分。GW1NRF 系列蓝牙 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。
- “” 表示 BLE，填充色不变。

3 管脚分布示意图

3.1 GW1NRF-4B 器件管脚分布示意图

3.1.1 QN48 管脚分布示意图

图 3-1 GW1NRF-4B 器件 QN48 封装管脚分布示意图（顶视图）

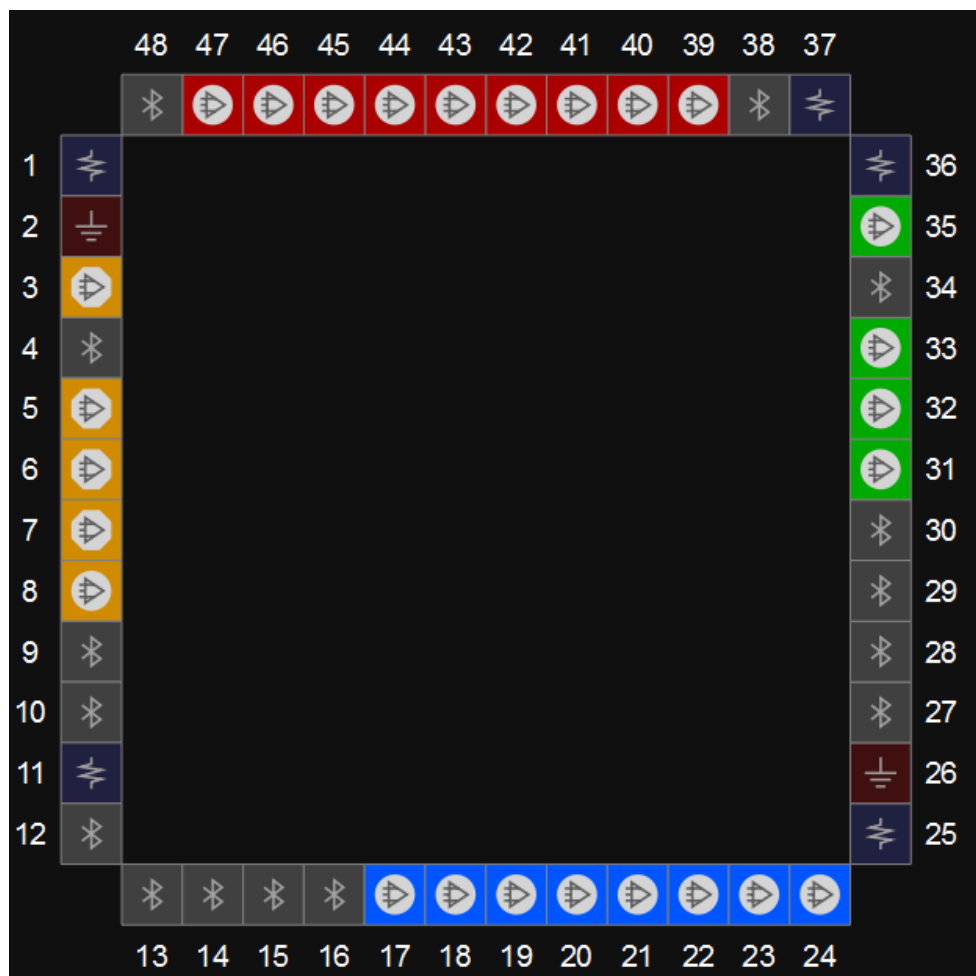


表 3-1 GW1NRF-4B 器件 QN48 其他管脚

VCC	11,37
VCCX	36
VCCO0/VCCO3	1
VCCO1/VCCO2	25
VSS	26,2

3.1.2 QN48E 管脚分布示意图

图 3-2 GW1NRF-4B 器件 QN48E 封装管脚分布示意图（顶视图）

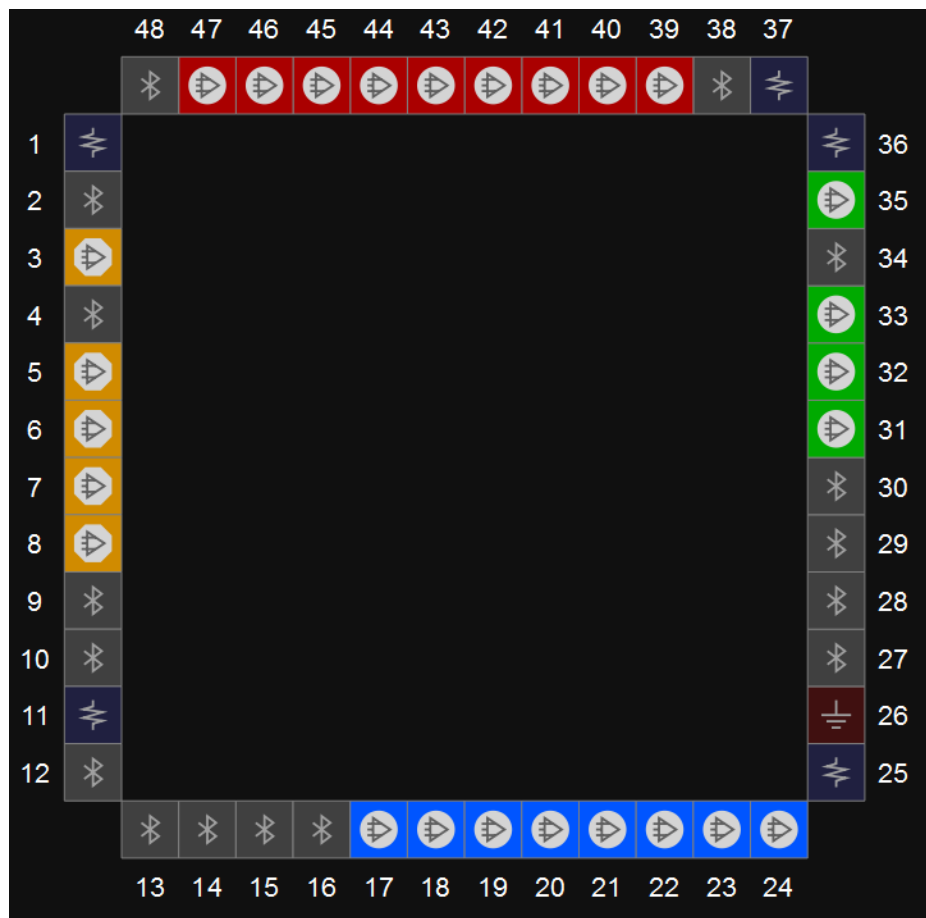


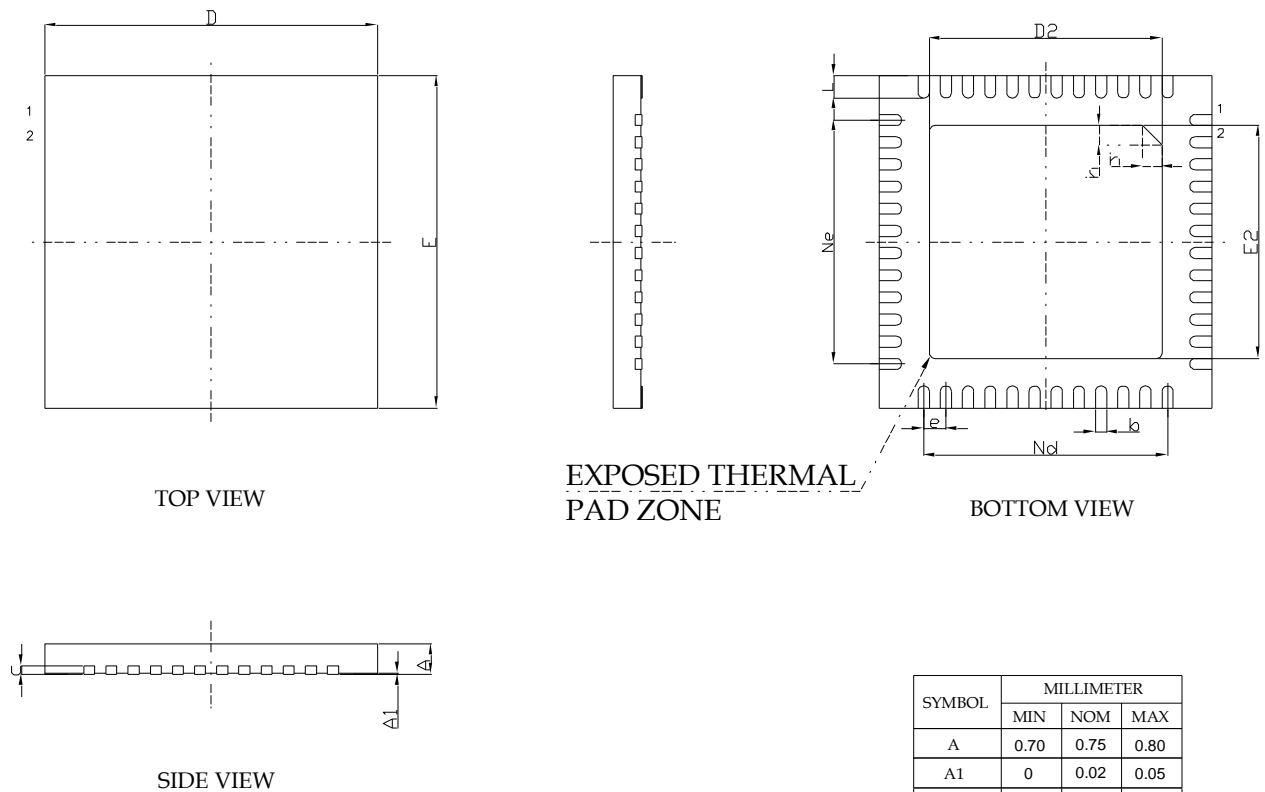
表 3-2 GW1NRF-4B 器件 QN48E 其他管脚

VCC	11,37
VCCX	36
VCCO0/VCCO3	1
VCCO1/VCCO2	25
VSS	26

4 封装尺寸

4.1 封装尺寸 QN48 (6mm x 6mm)

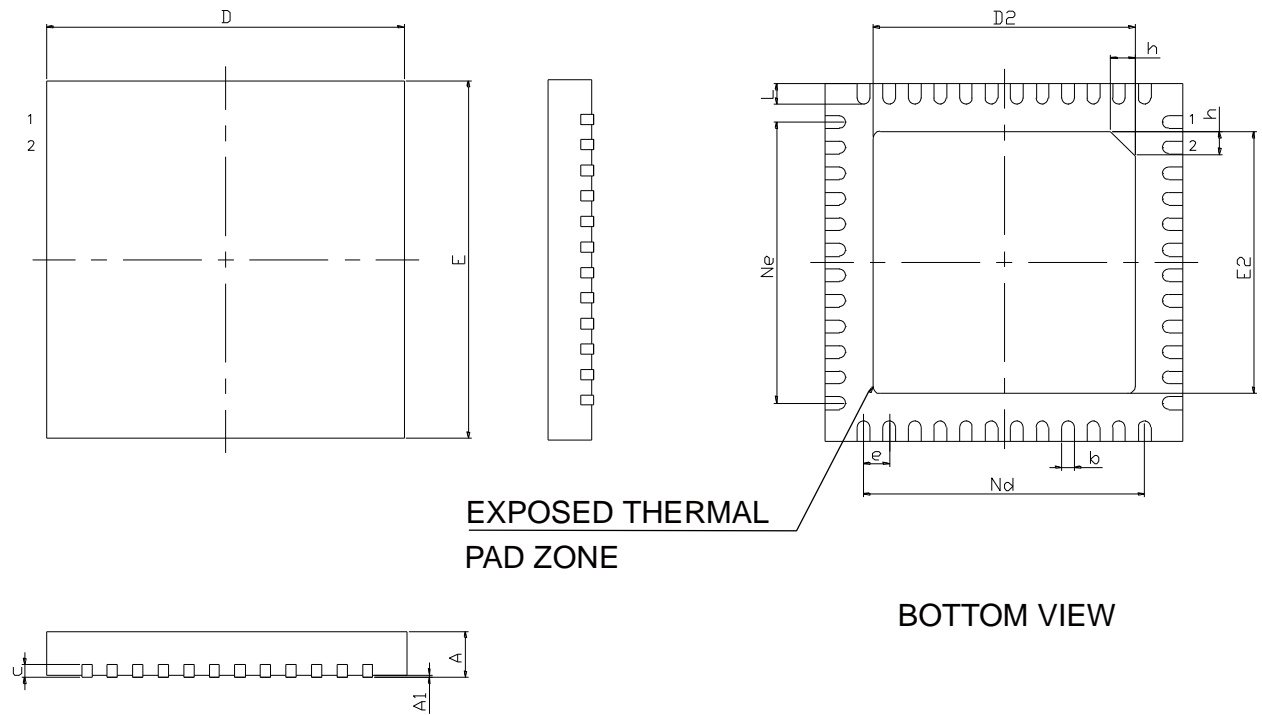
图 4-1 封装尺寸 QN48



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

4.2 封装尺寸 QN48E (6mm x 6mm)

图 4-2 封装尺寸 QN48E



BOTTOM VIEW

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.75	0.85	0.85
A1	—	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

