

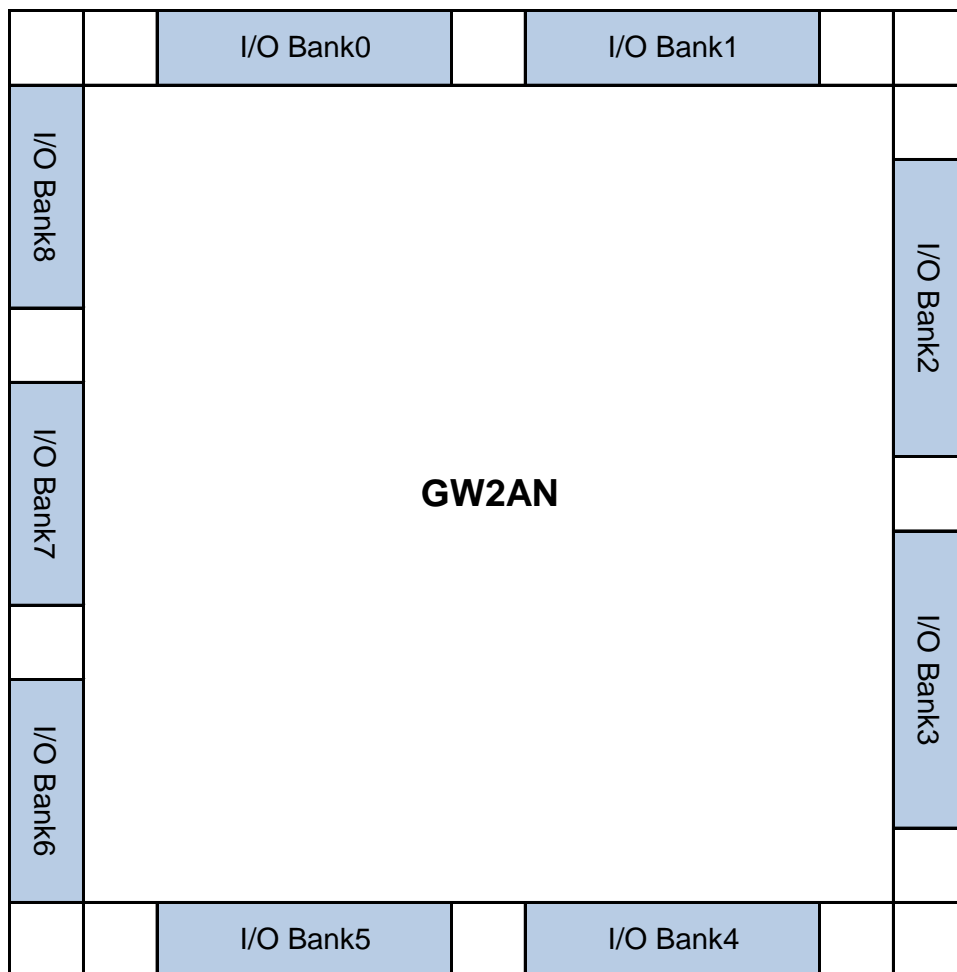
日期	版本	说明
2021/1/27	1.0	初始版本，支持UG484，UG400，UG256，PG256，UG332，UG324，PG484封装。
2021/5/19	1.1	修改UG484的IOB15A，IOB15B，IOB17A，IOB17B的管脚位置。
2021/7/21	1.2	删除DED管脚和MODE管脚的相关描述

**GW2AN系列FPGA产品**  
**GW2AN-18X器件Pinout**  
**Pin Definitions**

管脚名称	方向	说明
<b>用户I/O管脚</b>		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
<b>多功能管脚</b>		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入，需要在PCB上连接4.7K下拉电阻
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	JTAG模式选择信号，低电平有效
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的GowinCONFIG配置
FASTRD_N	I/O	MSPI模式下Flash访问速度选择端口FASTRD_N，低电平表示使用高速Flash访问模式，高电平表示使用普通Flash访问模式
QSSPI_WPN	I	QSSPI模式下WPN；QSSPI模式下数据通道2
MI-1	I/O	MSPI模式下MI
MI-2	I/O	MSPI模式下WPN；QMSPI模式下数据通道2
MI-3	I/O	MSPI模式下HOLDN；QMSPI模式下数据通道3
MO	I/O	MSPI模式下MO
MCS_N	I/O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	I/O	MSPI模式下时钟输出MCLK，默认频率为 2.1Mhz，精度为+/-5%。
DOUT	O	SERIAL模式下的数据输出

**GW2AN系列FPGA产品**  
**GW2AN-18X器件Pinout**  
**Pin Definitions**

管脚名称	方向	说明
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	I/O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O, 内部弱上拉	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 <sup>[1]</sup>
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
SPMI_SDATA	I/O	SPMI (系统电源管理接口) 模式的通讯总线
SPMI_EN/VCCEN	I	SPMI (系统电源管理接口) 模式的睡眠控制和使能
SPMI_SCLK	I/O	SPMI (系统电源管理接口) 模式的通讯总线
SPMI_CLK	I	SPMI (系统电源管理接口) 外部低速时钟
SDA	I/O	I2C串行数据线
SCL	I	I2C串行时钟线
<b>其他管脚</b>		
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
注!		
[1]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



**注!**

- [1]每个Bank还提供一个独立的参考电压（VREF）；
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \times VCCO$ ）；
- [3]也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

















注1  
[1]UV版本封装;  
[2]LV版本封装;  
[3]EV版本封装;  
[4]Tie to VSS by 10K Resistor表示通过10K电阻下拉到地。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484 <sup>[1]</sup>	UG484 <sup>[2]</sup>	UG484 <sup>[3]</sup>	UG400 <sup>[1]</sup>	UG400 <sup>[2]</sup>	UG400 <sup>[3]</sup>	UG256 <sup>[1]</sup>	UG256 <sup>[2]</sup>	UG256 <sup>[3]</sup>	PG256 <sup>[1]</sup>	PG256 <sup>[2]</sup>	PG256 <sup>[3]</sup>	UG332 <sup>[1]</sup>	UG332 <sup>[2]</sup>	UG332 <sup>[3]</sup>	UG324 <sup>[1]</sup>	UG324 <sup>[2]</sup>	UG324 <sup>[3]</sup>	PG484 <sup>[1]</sup>	PG484 <sup>[2]</sup>	PG484 <sup>[3]</sup>	
VSS	Ground	N/A					L13	L13	L13	M11	M11	M11	J8	J8	J8	J8	J8	J8	N13	N13	N13				J13	J13	J13	
VSS	Ground	N/A					L14	L14	L14	K10	K10	K10	E5	E5	E5	E5	E5	E5	L10	L10	L10	V1	V1	V1	H15	H15	H15	
VSS	Ground	N/A					L18	L18	L18	E12	E12	E12	R2	R2	R2	R2	R2	R2	H13	H13	H13	J10	J10	J10	AB14	AB14	AB14	
VSS	Ground	N/A					L2	L2	L2																			
VSS	Ground	N/A					L9	L9	L9																	P1	P1	P1
VSS	Ground	N/A					M10	M10	M10	V18	V18	V18													M14	M14	M14	
VSS	Ground	N/A					M13	M13	M13	N7	N7	N7	J9	J9	J9	J9	J9	J9	T10	T10	T10				J14	J14	J14	
VSS	Ground	N/A					M14	M14	M14	L8	L8	L8	E12	E12	E12	E12	E12	E12	L11	L11	L11	V18	V18	V18	H8	H8	H8	
VSS	Ground	N/A					M4	M4	M4																R8	R8	R8	
VSS	Ground	N/A					M9	M9	M9																P10	P10	P10	
VSS	Ground	N/A					N14	N14	N14	L10	L10	L10	F6	F6	F6	F6	F6	F6	L16	L16	L16				J1	J1	J1	
VSS	Ground	N/A					N21	N21	N21	E9	E9	E9	P14	P14	P14	P14	P14	P14	C18	C18	C18	F6	F6	F6	AA2	AA2	AA2	
VSS	Ground	N/A					N9	N9	N9																P11	P11	P11	
VSS	Ground	N/A					P10	P10	P10																M9	M9	M9	
VSS	Ground	N/A					P11	P11	P11	U16	U16	U16													L14	L14	L14	
VSS	Ground	N/A					P12	P12	P12	U3	U3	U3							Y1	Y1	Y1				K14	K14	K14	
VSS	Ground	N/A					P13	P13	P13	R18	R18	R18	L6	L6	L6	L6	L6	L6	V3	V3	V3				J22	J22	J22	
VSS	Ground	N/A					P14	P14	P14	L11	L11	L11	F11	F11	F11	F11	F11	F11	M9	M9	M9				J10	J10	J10	
VSS	Ground	N/A					P9	P9	P9																P12	P12	P12	
VSS	Ground	N/A					R15	R15	R15	G18	G18	G18	C14	C14	C14	C14	C14	C14	K11	K11	K11	N13	N13	N13	B21	B21	B21	
VSS	Ground	N/A					R8	R8	R8																P14	P14	P14	
VSS	Ground	N/A					V2	V2	V2																G9	G9	G9	
VSS	Ground	N/A					V21	V21	V21	E10	E10	E10	P3	P3	P3	P3	P3	P3	E11	E11	E11	F13	F13	F13	AA21	AA21	AA21	
VSS	Ground	N/A					W12	W12	W12	U7	U7	U7							Y11	Y11	Y11				K9	K9	K9	
VSS	Ground	N/A					Y16	Y16	Y16	E16	E16	E16	B15	B15	B15	B15	B15	B15	J12	J12	J12	K10	K10	K10	AB9	AB9	AB9	
VSS	Ground	N/A					Y7	Y7	Y7																P9	P9	P9	

注1																												
[1]UV版本封装; [2]LV版本封装; [3]EV版本封装。																												
管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484 <sup>[1]</sup>	UG484 <sup>[2]</sup>	UG484 <sup>[3]</sup>	UG400 <sup>[1]</sup>	UG400 <sup>[2]</sup>	UG400 <sup>[3]</sup>	UG256 <sup>[1]</sup>	UG256 <sup>[2]</sup>	UG256 <sup>[3]</sup>	PG256 <sup>[1]</sup>	PG256 <sup>[2]</sup>	PG256 <sup>[3]</sup>	UG332 <sup>[1]</sup>	UG332 <sup>[2]</sup>	UG332 <sup>[3]</sup>	UG324 <sup>[1]</sup>	UG324 <sup>[2]</sup>	UG324 <sup>[3]</sup>	PG484 <sup>[1]</sup>	PG484 <sup>[2]</sup>	PG484 <sup>[3]</sup>	
<b>BANK8 True LVDS Pair</b>																												
IOL11A	I/O	8	none		True_of_IOL11B	True	E1	E1	E1	H6	H6	H6								F2	F2	F2	E2	E2	E2	F4	F4	F4
IOL11B	I/O	8	none		Comp_of_IOL11A	True	F1	F1	F1	H7	H7	H7								F1	F1	F1	E1	E1	E1	G4	G4	G4
IOL13A	I/O	8	none		True_of_IOL13B	True	H4	H4	H4	F2	F2	F2								F5	F5	F5	F2	F2	F2	H5	H5	H5
IOL13B	I/O	8	none		Comp_of_IOL13A	True	H3	H3	H3	F1	F1	F1								G5	G5	G5	H5	H5	H5	H4	H4	H4
IOL15A	I/O	8	none		True_of_IOL15B	True	H2	H2	H2	G4	G4	G4	F4	F4	F4	F4	F4	F4				F1	F1	F1	D2	D2	D2	
IOL15B	I/O	8	none		Comp_of_IOL15A	True	H1	H1	H1	G3	G3	G3	G6	G6	G6	G6	G6	G6				G6	G6	G6	E3	E3	E3	
IOL17A	I/O	8	none		True_of_IOL17B	True	H5	H5	H5	G2	G2	G2	G5	G5	G5	G5	G5	G5	H2	H2	H2	G2	G2	G2	G2	G2	G2	
IOL17B	I/O	8	none		Comp_of_IOL17A	True	J5	J5	J5	G1	G1	G1	G4	G4	G4	G4	G4	G4	H1	H1	H1	G1	G1	G1	G1	G1	G1	
IOL19A	I/O	8	none		True_of_IOL19B	True	J2	J2	J2	H2	H2	H2	G2	G2	G2	G2	G2	G2	J3	J3	J3	H2	H2	H2	H3	H3	H3	
IOL19B	I/O	8	none		Comp_of_IOL19A	True	J1	J1	J1	H1	H1	H1	G3	G3	G3	G3	G3	G3	J2	J2	J2	H1	H1	H1	H2	H2	H2	
IOL2A	I/O	8	DQ0		True_of_IOL2B	True	D3	D3	D3	C4	C4	C4	B1	B1	B1	B1	B1	B1	D2	D2	D2	B1	B1	B1	C3	C3	C3	
IOL2B	I/O	8	DQ0		Comp_of_IOL2A	True	D4	D4	D4	C3	C3	C3	C2	C2	C2	C2	C2	C2	D1	D1	D1	C2	C2	C2	C2	C2	C2	
IOL4A/LPLL1_T_fb	I/O	8	DQ0	LPLL1_T_fb	True_of_IOL4B	True	E4	E4	E4	C2	C2	C2	D3	D3	D3	D3	D3	D3	E3	E3	E3	E4	E4	E4	E4	E4	E4	
IOL4B/LPLL1_C_fb	I/O	8	DQ0	LPLL1_C_fb	Comp_of_IOL4A	True	F5	F5	F5	C1	C1	C1	D1	D1	D1	D1	D1	D1	E2	E2	E2	F4	F4	F4	D3	D3	D3	
IOL6A	I/O	8	DQS0		True_of_IOL6B	True	G6	G6	G6	E4	E4	E4										D3	D3	D3	G6	G6	G6	
IOL6B	I/O	8	DQS0		Comp_of_IOL6A	True	H7	H7	H7	E3	E3	E3										C1	C1	C1	H7	H7	H7	
IOL8A	I/O	8	DQ0		True_of_IOL8B	True	D1	D1	D1				C1	C1	C1	C1	C1	C1	G1	G1	G1	E3	E3	E3	J6	J6	J6	
IOL8B	I/O	8	DQ0		Comp_of_IOL8A	True	E2	E2	E2				D2	D2	D2	D2	D2	D2	H3	H3	H3	F5	F5	F5	J7	J7	J7	
<b>BANK7 True LVDS Pair</b>																												
IOL21A	I/O	7	none		True_of_IOL21B	True	L7	L7	L7	J2	J2	J2	G1	G1	G1	G1	G1	G1	J1	J1	J1	J2	J2	J2	H1	H1	H1	
IOL21B	I/O	7	none		Comp_of_IOL21A	True	K5	K5	K5	J1	J1	J1	H2	H2	H2	H2	H2	H2	K3	K3	K3	J5	J5	J5	J3	J3	J3	
IOL23A	I/O	7	none		True_of_IOL23B	True	K2	K2	K2	K2	K2	K2													J2	J2	J2	
IOL23B	I/O	7	none		Comp_of_IOL23A	True	K1	K1	K1	K1	K1	K1													K3	K3	K3	
IOL25A/GCLKT_7	I/O	7	none	GCLKT_7	True_of_IOL25B	True	L1	L1	L1	L1	L1	L1	J1	J1	J1	J1	J1	J1	M1	M1	M1	K2	K2	K2	K2	K2	K2	
IOL25B/GCLKC_7	I/O	7	none	GCLKC_7	Comp_of_IOL25A	True	M2	M2	M2	L2	L2	L2	J3	J3	J3	J3	J3	J3	M2	M2	M2	J6	J6	J6	K1	K1	K1	
IOL28A	I/O	7	none		True_of_IOL28B	True	M1	M1	M1	M1	M1	M1	J2	J2	J2	J2	J2	J2	M3	M3	M3	K1	K1	K1	N1	N1	N1	
IOL28B	I/O	7	none		Comp_of_IOL28A	True	N1	N1	N1	M2	M2	M2	K1	K1	K1	K1	K1	K1	N1	N1	N1	L1	L1	L1	N2	N2	N2	
IOL30A	I/O	7	none		True_of_IOL30B	True	N2	N2	N2	L5	L5	L5	H5	H5	H5	H5	H5	H5							N3	N3	N3	
IOL30B	I/O	7	none		Comp_of_IOL30A	True	P1	P1	P1	M5	M5	M5	J4	J4	J4	J4	J4	J4							P2	P2	P2	
IOL32A	I/O	7	none		True_of_IOL32B	True	P2	P2	P2	N1	N1	N1	K3	K3	K3	K3	K3	K3	N2	N2	N2	K4	K4	K4	P3	P3	P3	
IOL32B	I/O	7	none		Comp_of_IOL32A	True	R1	R1	R1	N2	N2	N2	K2	K2	K2	K2	K2	K2	N3	N3	N3	L2	L2	L2	R1	R1	R1	
<b>BANK6 True LVDS Pair</b>																												
IOL34A	I/O	6	none		True_of_IOL34B	True	P4	P4	P4	N3	N3	N3								P1	P1	P1	L4	L4	L4	R2	R2	R2
IOL34B	I/O	6	none		Comp_of_IOL34A	True	N5	N5	N5	N4	N4	N4								P2	P2	P2	M2	M2	M2	R3	R3	R3
IOL36A	I/O	6	none		True_of_IOL36B	True	R2	R2	R2	M6	M6	M6	L1	L1	L1	L1	L1	L1	M5	M5	M5				U3	U3	U3	
IOL36B	I/O	6	none		Comp_of_IOL36A	True	T1	T1	T1	M7	M7	M7	L3	L3	L3	L3	L3	L3	N4	N4	N4				V1	V1	V1	
IOL38A	I/O	6	none		True_of_IOL38B	True	R3	R3	R3	P3	P3	P3								P3	P3	P3	M3	M3	M3	R5	R5	R5
IOL38B	I/O	6	none		Comp_of_IOL38A	True	R4	R4	R4	P4	P4	P4								R1	R1	R1	L5	L5	L5	P5	P5	P5
IOL40A	I/O	6	none		True_of_IOL40B	True	T2	T2	T2	R1	R1	R1	K4	K4	K4	K4	K4	K4	N5	N5	N5	M5	M5	M5	P7	P7	P7	
IOL40B	I/O	6	none		Comp_of_IOL40A	True	U1	U1	U1	R2	R2	R2	L5	L5	L5	L5	L5	L5	P4	P4	P4	N3	N3	N3	P6	P6	P6	
IOL42A	I/O	6	none		True_of_IOL42B	True	T3	T3	T3	T1	T1	T1								P5	P5	P5				R4	R4	R4
IOL42B	I/O	6	none		Comp_of_IOL42A	True	T4	T4	T4	T2	T2	T2								R4	R4	R4				P4	P4	P4
IOL44A/GCLKT_6	I/O	6	none	GCLKT_6	True_of_IOL44B	True	U2	U2	U2	U1	U1	U1	L2	L2	L2	L2	L2	L2	R2	R2	R2	P1	P1	P1	V3	V3	V3	
IOL44B/GCLKC_6	I/O	6	none	GCLKC_6	Comp_of_IOL44A	True	V1	V1	V1	U2	U2	U2	M1	M1	M1	M1	M1	M1	R3	R3	R3	M4	M4	M4	W2	W2	W2	
IOL46A	I/O	6	none		True_of_IOL46B	True	W1	W1	W1	T3	T3	T3	K5	K5	K5	K5	K5	K5	R5	R5	R5	N4	N4	N4	T2	T2	T2	
IOL46B	I/O	6	none		Comp_of_IOL46A	True	W2	W2	W2	T4	T4	T4	L4	L4	L4	L4	L4	L4	T4	T4	T4	T1	T1	T1	T3	T3	T3	
IOL48A	I/O	6	none		True_of_IOL48B	True	Y1	Y1	Y1	V3	V3	V3	M3	M3	M3	M3	M3	M3	T3	T3	T3				R7	R7	R7	
IOL48B	I/O	6	none		Comp_of_IOL48A	True	AA1	AA1	AA1	V4	V4	V4	N1	N1	N1	N1	N1	N1	U1	U1	U1				T6	T6	T6	
IOL50A	I/O	6	none		True_of_IOL50B	True	Y3	Y3	Y3	T5	T5	T5	M2	M2	M2	M2	M2	M2	U2	U2	U2	P4	P4	P4	Y2	Y2	Y2	
IOL50B	I/O	6	none		Comp_of_IOL50A	True	W4	W4	W4	R5	R5	R5	N3	N3	N3	N3	N3	N3	U3	U3	U3	R3	R3	R3	W4	W4	W4	

注1

- [1]UV版本封装;
- [2]LV版本封装;
- [3]EV版本封装。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484 <sup>[1]</sup>	UG484 <sup>[2]</sup>	UG484 <sup>[3]</sup>	UG400 <sup>[1]</sup>	UG400 <sup>[2]</sup>	UG400 <sup>[3]</sup>	UG256 <sup>[1]</sup>	UG256 <sup>[2]</sup>	UG256 <sup>[3]</sup>	PG256 <sup>[1]</sup>	PG256 <sup>[2]</sup>	PG256 <sup>[3]</sup>	UG332 <sup>[1]</sup>	UG332 <sup>[2]</sup>	UG332 <sup>[3]</sup>	UG324 <sup>[1]</sup>	UG324 <sup>[2]</sup>	UG324 <sup>[3]</sup>	PG484 <sup>[1]</sup>	PG484 <sup>[2]</sup>	PG484 <sup>[3]</sup>		
<b>BANK5 True LVDS Pair</b>																													
IOB12A	I/O	5	DQ2		True_of_IOB12B	True	AA6	AA6	AA6	T7	T7	T7	T5	T5	T5	T5	T5	T5	T5	U4	U4	U4	N7	N7	N7	W6	W6	W6	
IOB12B	I/O	5	DQ2		Comp_of_IOB12A	True	AB6	AB6	AB6	T8	T8	T8	R6	R6	R6	R6	R6	R6	R6	T7	T7	T7	P7	P7	P7	W7	W7	W7	
IOB14A	I/O	5	DQ2		True_of_IOB14B	True	V8	V8	V8	W5	W5	W5	N6	N6	N6	N6	N6	N6	N6	U6	U6	U6	N8	N8	N8	V8	V8	V8	
IOB14B	I/O	5	DQ2		Comp_of_IOB14A	True	U8	U8	U8	Y5	Y5	Y5	L7	L7	L7	L7	L7	L7	L7	T8	T8	T8	R7	R7	R7	W8	W8	W8	
IOB16A	I/O	5	DQ2		True_of_IOB16B	True	V9	V9	V9	P9	P9	P9	R7	R7	R7	R7	R7	R7	R7	Y7	Y7	Y7	V5	V5	V5	AB8	AB8	AB8	
IOB16B	I/O	5	DQ2		Comp_of_IOB16A	True	W8	W8	W8	R9	R9	R9	P7	P7	P7	P7	P7	P7	P7	V8	V8	V8	V6	V6	V6	Y9	Y9	Y9	
IOB18A	I/O	5	DQ2		True_of_IOB18B	True	Y8	Y8	Y8	W7	W7	W7	M7	M7	M7	M7	M7	M7	M7	U7	U7	U7	V7	V7	V7	U10	U10	U10	
IOB18B	I/O	5	DQ2		Comp_of_IOB18A	True	W9	W9	W9	Y7	Y7	Y7	N7	N7	N7	N7	N7	N7	N7	T9	T9	T9	U8	U8	U8	T10	T10	T10	
IOB20A	I/O	5	DQ2		True_of_IOB20B	True	T10	T10	T10	V9	V9	V9	M6	M6	M6	M6	M6	M6	M6	W8	W8	W8	R9	R9	R9	V10	V10	V10	
IOB20B	I/O	5	DQ2		Comp_of_IOB20A	True	U10	U10	U10	T9	T9	T9	L8	L8	L8	L8	L8	L8	L8	Y8	Y8	Y8	P9	P9	P9	Y11	Y11	Y11	
IOB22A	I/O	5	DQ2		True_of_IOB22B	True	V10	V10	V10	P10	P10	P10	P8	P8	P8	P8	P8	P8	P8							U9	U9	U9	
IOB22B	I/O	5	DQ2		Comp_of_IOB22A	True	W10	W10	W10	R10	R10	R10	T8	T8	T8	T8	T8	T8	T8							T9	T9	T9	
IOB24A	I/O	5	DQ2		True_of_IOB24B	True	T11	T11	T11	Y10	Y10	Y10	N8	N8	N8	N8	N8	N8	N8							AA10	AA10	AA10	
IOB24B	I/O	5	DQ2		Comp_of_IOB24A	True	U11	U11	U11	W10	W10	W10	L9	L9	L9	L9	L9	L9	L9							AB10	AB10	AB10	
IOB26A	I/O	5	DQ2		True_of_IOB26B	True	V11	V11	V11	U11	U11	U11	M8	M8	M8	M8	M8	M8	M8	W10	W10	W10	N9	N9	N9	V11	V11	V11	
IOB26B	I/O	5	DQ2		Comp_of_IOB26A	True	Y11	Y11	Y11	T10	T10	T10	N9	N9	N9	N9	N9	N9	N9	Y10	Y10	Y10	N10	N10	N10	W11	W11	W11	
IOB2A	I/O	5	DQ1		True_of_IOB2B	True	AA2	AA2	AA2	W1	W1	W1	P4	P4	P4	P4	P4	P4	P4	W4	W4	W4	V2	V2	V2	Y3	Y3	Y3	
IOB2B	I/O	5	DQ1		Comp_of_IOB2A	True	AB2	AB2	AB2	Y1	Y1	Y1	T4	T4	T4	T4	T4	T4	T4	Y4	Y4	Y4	U3	U3	U3	AA3	AA3	AA3	
IOB4A	I/O	5	DQ1		True_of_IOB4B	True	AA3	AA3	AA3	W2	W2	W2	T2	T2	T2	T2	T2	T2	T2	V5	V5	V5	T3	T3	T3	W5	W5	W5	
IOB4B	I/O	5	DQ1		Comp_of_IOB4A	True	AB3	AB3	AB3	Y2	Y2	Y2	R3	R3	R3	R3	R3	R3	R3	W5	W5	W5	U4	U4	U4	Y4	Y4	Y4	
IOB6A	I/O	5	DQ1		True_of_IOB6B	True	U7	U7	U7	V6	V6	V6	R5	R5	R5	R5	R5	R5	R5							AB2	AB2	AB2	
IOB6B	I/O	5	DQ1		Comp_of_IOB6A	True	T8	T8	T8	U6	U6	U6	P5	P5	P5	P5	P5	P5	P5							AB3	AB3	AB3	
IOB8A	I/O	5	DQ1		True_of_IOB8B	True	AA5	AA5	AA5	W4	W4	W4	T3	T3	T3	T3	T3	T3	T3	Y5	Y5	Y5	R5	R5	R5	U8	U8	U8	
IOB8B	I/O	5	DQ1		Comp_of_IOB8A	True	AB5	AB5	AB5	Y4	Y4	Y4	R4	R4	R4	R4	R4	R4	R4	V6	V6	V6	T4	T4	T4	V7	V7	V7	
<b>BANK4 True LVDS Pair</b>																													
IOB30A/GCLKT_4	I/O	4	DQ3	GCLKT_4	True_of_IOB30B	True	AB12	AB12	AB12	Y12	Y12	Y12	T9	T9	T9	T9	T9	T9	T9	Y12	Y12	Y12	V10	V10	V10	Y13	Y13	Y13	
IOB30B/GCLKC_4	I/O	4	DQ3	GCLKC_4	Comp_of_IOB30A	True	AA12	AA12	AA12	W12	W12	W12	P9	P9	P9	P9	P9	P9	P9	W12	W12	W12	U11	U11	U11	AA14	AA14	AA14	
IOB32A	I/O	4	DQ3		True_of_IOB32B	True	V13	V13	V13	P11	P11	P11	R9	R9	R9	R9	R9	R9	R9	U10	U10	U10				Y14	Y14	Y14	
IOB32B	I/O	4	DQ3		Comp_of_IOB32A	True	U13	U13	U13	R11	R11	R11	T10	T10	T10	T10	T10	T10	T10	U11	U11	U11				AB15	AB15	AB15	
IOB34A	I/O	4	DQ3		True_of_IOB34B	True	Y13	Y13	Y13	V12	V12	V12	M9	M9	M9	M9	M9	M9	M9				V11	V11	V11	AA15	AA15	AA15	
IOB34B	I/O	4	DQ3		Comp_of_IOB34A	True	W13	W13	W13	V13	V13	V13	L10	L10	L10	L10	L10	L10	L10				V12	V12	V12	Y15	Y15	Y15	
IOB36A	I/O	4	DQ3		True_of_IOB36B	True	T13	T13	T13	Y14	Y14	Y14	P10	P10	P10	P10	P10	P10	P10	T12	T12	T12				Y12	Y12	Y12	
IOB36B	I/O	4	DQ3		Comp_of_IOB36A	True	T14	T14	T14	W14	W14	W14	R10	R10	R10	R10	R10	R10	R10	U13	U13	U13				V13	V13	V13	
IOB38A	I/O	4	DQ3		True_of_IOB38B	True	Y14	Y14	Y14	Y15	Y15	Y15	N10	N10	N10	N10	N10	N10	N10	W13	W13	W13	P11	P11	P11	T13	T13	T13	
IOB38B	I/O	4	DQ3		Comp_of_IOB38A	True	W14	W14	W14	W15	W15	W15	M11	M11	M11	M11	M11	M11	M11	Y14	Y14	Y14	T12	T12	T12	U13	U13	U13	
IOB40A	I/O	4	DQ3		True_of_IOB40B	True	Y15	Y15	Y15	Y16	Y16	Y16	T11	T11	T11	T11	T11	T11	T11	W14	W14	W14				W14	W14	W14	
IOB40B	I/O	4	DQ3		Comp_of_IOB40A	True	W15	W15	W15	W16	W16	W16	P11	P11	P11	P11	P11	P11	P11	V14	V14	V14				V14	V14	V14	
IOB42A	I/O	4	DQ3		True_of_IOB42B	True	V15	V15	V15	Y17	Y17	Y17	M10	M10	M10	M10	M10	M10	M10	U14	U14	U14	U14	U14	U14	Y17	Y17	Y17	
IOB42B	I/O	4	DQ3		Comp_of_IOB42A	True	U15	U15	U15	W17	W17	W17	N11	N11	N11	N11	N11	N11	N11	V15	V15	V15	V15	V15	V15	AB18	AB18	AB18	
IOB44A	I/O	4	DQ3		True_of_IOB44B	True	Y17	Y17	Y17	P13	P13	P13	R13	R13	R13	R13	R13	R13	R13	U15	U15	U15				Y18	Y18	Y18	
IOB44B	I/O	4	DQ3		Comp_of_IOB44A	True	V16	V16	V16	R13	R13	R13	T14	T14	T14	T14	T14	T14	T14	T14	T14				AA19	AA19	AA19		
IOB48A	I/O	4	DQS4		True_of_IOB48B	True	AB18	AB18	AB18	U14	U14	U14	R11	R11	R11	R11	R11	R11	R11	Y16	Y16	Y16	P12	P12	P12	AB20	AB20	AB20	
IOB48B	I/O	4	DQS4		Comp_of_IOB48A	True	AA18	AA18	AA18	U14	U14	U14	T12	T12	T12	T12	T12	T12	T12	W16	W16	W16	R14	R14	R14	AB21	AB21	AB21	
IOB50A/SCLK	I/O	4	DQ4	SCLK	True_of_IOB50B	True	T9	T9	T9	W6	W6	W6	P6	P6	P6	P6	P6	P6	P6	V7	V7	V7	T6	T6	T6	AB6	AB6	AB6	
IOB50B/D1/SO	I/O	4	DQ4	D1/SO	Comp_of_IOB50A	True	U9	U9	U9	Y6	Y6	Y6	T6	T6	T6	T6	T6	T6	T6	W7	W7	W7	U6	U6	U6	Y7	Y7	Y7	
IOB52A/FASTRD_N/D3	I/O	4	DQ4	FASTRD_N/D3	True_of_IOB52B	True	AB20	AB20	AB20	Y19	Y19	Y19	P12	P12	P12	P12	P12	P12	P12							Y19	Y19	Y19	
IOB52B/QSSPI_WPN	I/O	4	DQ4	QSSPI_WPN	Comp_of_IOB52A	True	AA20	AA20	AA20	W19	W19	W19	T13	T13	T13	T13	T13	T13	T13							W18	W18	W18	
IOB54A/SSPI_CS_N/D0	I/O	4	DQ4	SSPI_CS_N/D0	True_of_IOB54B	True	AB21	AB21	AB21	Y20	Y20	Y20	R12	R12	R12	R12	R12	R12	R12	W17	W17	W17	U16	U16	U16	AA20	AA20	AA20	
IOB54B/S/D2	I/O	4	DQ4	S/D2	Comp_of_IOB54A	True	AA21	AA21	AA21	W20	W20	W20	P13	P13	P13	P13	P13	P13	P13	V17	V17	V17	V17	V17	V17	W19	W19	W19	
<b>BANK3 True LVDS Pair</b>																													
IOR28A/GCLKT_3	I/O	3	none	GCLKT_3	True_of_IOR28B	True	M22	M22	M22	K19	K19	K19	H14	H14	H14	H14	H14	H14	H14	J19	J19	J19	H18	H18	H18	N22	N22	N22	
IOR28B/GCLKC_3	I/O	3	none	GCLKC_3	Comp_of_IOR28A	True	M21	M21	M21	K20	K20	K20	H16	H16	H16	H16	H16	H16	H16	J20	J20	J20	K15	K15	K15	N21	N21	N21	
IOR30A	I/O	3	none		True_of_IOR30B	True	M16	M16	M16	L19	L19	L19	J15	J15	J15	J15	J15	J15	J15	L20	L20	L20	K12	K12	K12	M16	M16	M16	
IOR30B	I/O	3	none		Comp_of_IOR30A	True	N16	N16	N16	L20	L20	L20	K16	K16	K16	K16	K16	K16	K16	L19	L19	L19	K13	K13	K13	M17	M17	M17	
IOR32A	I/O	3	none		True_of_IOR32B	True	N22	N22	N22	M20	M20	M20	K14	K14	K14	K14	K14	K14	K14	K18	K18	K18	K18	K18	K18	M19	M19	M19	



注1																												
[1]UV版本封装; [2]LV版本封装; [3]EV版本封装。																												
管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484 <sup>[1]</sup>	UG484 <sup>[2]</sup>	UG484 <sup>[3]</sup>	UG400 <sup>[1]</sup>	UG400 <sup>[2]</sup>	UG400 <sup>[3]</sup>	UG256 <sup>[1]</sup>	UG256 <sup>[2]</sup>	UG256 <sup>[3]</sup>	PG256 <sup>[1]</sup>	PG256 <sup>[2]</sup>	PG256 <sup>[3]</sup>	UG332 <sup>[1]</sup>	UG332 <sup>[2]</sup>	UG332 <sup>[3]</sup>	UG324 <sup>[1]</sup>	UG324 <sup>[2]</sup>	UG324 <sup>[3]</sup>	PG484 <sup>[1]</sup>	PG484 <sup>[2]</sup>	PG484 <sup>[3]</sup>	
IOT42A	I/O	1	DQ7		True_of_IOT42B	True	A16	A16	A16	A16	A16	A16	A11	A11	A11	A11	A11	A11	A11	E14	E14	E14	B14	B14	B14	C16	C16	C16
IOT42B	I/O	1	DQ7		Comp_of_IOT42A	True	B17	B17	B17	B16	B16	B16	C11	C11	C11	C11	C11	C11	E15	E15	E15	B15	B15	B15	A17	A17	A17	
IOT44A	I/O	1	DQ7		True_of_IOT44B	True	A17	A17	A17	A17	A17	A17	F10	F10	F10	F10	F10	F10	A15	A15	A15	F11	F11	F11	D15	D15	D15	
IOT44B	I/O	1	DQ7		Comp_of_IOT44A	True	B18	B18	B18	B17	B17	B17	D11	D11	D11	D11	D11	D11	B15	B15	B15	C13	C13	C13	E15	E15	E15	
IOT48A	I/O	1	DQS6		True_of_IOT48B	True	A18	A18	A18	C15	C15	C15	B11	B11	B11	B11	B11	B11	D17	D17	D17	C14	C14	C14	C18	C18	C18	
IOT48B	I/O	1	DQS6		Comp_of_IOT48A	True	B19	B19	B19	C16	C16	C16	A12	A12	A12	A12	A12	A12	D16	D16	D16	C15	C15	C15	B19	B19	B19	
IOT50A	I/O	1	DQ6		True_of_IOT50B	True	A19	A19	A19	A18	A18	A18	B13	B13	B13	B13	B13	B13	A19	A19	A19	A15	A15	A15	E16	E16	E16	
IOT50B	I/O	1	DQ6		Comp_of_IOT50A	True	B20	B20	B20	B18	B18	B18	A14	A14	A14	A14	A14	A14	B18	B18	B18	A16	A16	A16	F15	F15	F15	
IOT52A	I/O	1	DQ6		True_of_IOT52B	True	A20	A20	A20	E15	E15	E15	C12	C12	C12	C12	C12	C12	B16	B16	B16	B16	B16	B16	C19	C19	C19	
IOT52B	I/O	1	DQ6		Comp_of_IOT52A	True	B21	B21	B21	D16	D16	D16	B12	B12	B12	B12	B12	B12	C16	C16	C16	A17	A17	A17	D18	D18	D18	
IOT54A	I/O	1	DQ6		True_of_IOT54B	True	A21	A21	A21	B19	B19	B19	B14	B14	B14	B14	B14	B14	A18	A18	A18	D14	D14	D14	E17	E17	E17	
IOT54B	I/O	1	DQ6		Comp_of_IOT54A	True	B22	B22	B22	A20	A20	A20	A15	A15	A15	A15	A15	A15	C17	C17	C17	D15	D15	D15	F17	F17	F17	
<b>BANK0 True LVDS Pair</b>																												
IOT12A	I/O	0	DQ8		True_of_IOT12B	True	B5	B5	B5	B4	B4	B4	A3	A3	A3	A3	A3	A3	C6	C6	C6	A4	A4	A4	A5	A5	A5	
IOT12B	I/O	0	DQ8		Comp_of_IOT12A	True	A6	A6	A6	A4	A4	A4	B4	B4	B4	B4	B4	B4	D7	D7	D7	A5	A5	A5	C6	C6	C6	
IOT14A	I/O	0	DQ8		True_of_IOT14B	True	B6	B6	B6	B5	B5	B5	D6	D6	D6	D6	D6	D6	A7	A7	A7	B6	B6	B6	E9	E9	E9	
IOT14B	I/O	0	DQ8		Comp_of_IOT14A	True	A7	A7	A7	A5	A5	A5	E7	E7	E7	E7	E7	E7	B8	B8	B8	A6	A6	A6	D9	D9	D9	
IOT16A	I/O	0	DQ8		True_of_IOT16B	True	C8	C8	C8	B6	B6	B6							D8	D8	D8	D8	D8	D8	B7	B7	B7	
IOT16B	I/O	0	DQ8		Comp_of_IOT16A	True	D8	D8	D8	A6	A6	A6							E9	E9	E9	E7	E7	E7	A7	A7	A7	
IOT18A	I/O	0	DQ8		True_of_IOT18B	True	B8	B8	B8	B7	B7	B7	B7	B7	B7	B7	B7	B7	B6	B6	B6	A7	A7	A7	E8	E8	E8	
IOT18B	I/O	0	DQ8		Comp_of_IOT18A	True	A8	A8	A8	A7	A7	A7	C7	C7	C7	C7	C7	C7	A6	A6	A6	B7	B7	B7	D8	D8	D8	
IOT20A	I/O	0	DQ8		True_of_IOT20B	True	B9	B9	B9	B8	B8	B8	E6	E6	E6	E6	E6	E6	D9	D9	D9	B8	B8	B8	E10	E10	E10	
IOT20B	I/O	0	DQ8		Comp_of_IOT20A	True	A9	A9	A9	A8	A8	A8	D7	D7	D7	D7	D7	D7	E10	E10	E10	A8	A8	A8	C11	C11	C11	
IOT22A	I/O	0	DQ8		True_of_IOT22B	True	F10	F10	F10	B9	B9	B9	F7	F7	F7	F7	F7	F7							E11	E11	E11	
IOT22B	I/O	0	DQ8		Comp_of_IOT22A	True	E10	E10	E10	A9	A9	A9	E8	E8	E8	E8	E8	E8							D11	D11	D11	
IOT24A/GCLKT_0	I/O	0	DQ8	GCLKT_0	True_of_IOT24B	True	B10	B10	B10	B10	B10	B10	C8	C8	C8	C8	C8	C8	B9	B9	B9	A9	A9	A9	B9	B9	B9	
IOT24B/GCLKC_0	I/O	0	DQ8	GCLKC_0	Comp_of_IOT24A	True	A10	A10	A10	A10	A10	A10	A8	A8	A8	A8	A8	A8	A9	A9	A9	B9	B9	B9	C10	C10	C10	
IOT26A	I/O	0	DQ8		True_of_IOT26B	True	B11	B11	B11	B11	B11	B11	D8	D8	D8	D8	D8	D8	C10	C10	C10	A10	A10	A10	B11	B11	B11	
IOT26B	I/O	0	DQ8		Comp_of_IOT26A	True	A11	A11	A11	A11	A11	A11	E9	E9	E9	E9	E9	E9	B10	B10	B10	B10	B10	B10	A11	A11	A11	
IOT2A	I/O	0	DQ9		True_of_IOT2B	True	B1	B1	B1	B1	B1	B1	C4	C4	C4	C4	C4	C4	C4	C4	C4	A2	A2	A2	D4	D4	D4	
IOT2B	I/O	0	DQ9		Comp_of_IOT2A	True	A2	A2	A2	A1	A1	A1	B5	B5	B5	B5	B5	B5	B4	B4	B4	B3	B3	B3	B3	B3	B3	
IOT4A	I/O	0	DQ9		True_of_IOT4B	True	B2	B2	B2	G7	G7	G7	B3	B3	B3	B3	B3	B3	A4	A4	A4	C3	C3	C3	D5	D5	D5	
IOT4B	I/O	0	DQ9		Comp_of_IOT4A	True	A3	A3	A3	F7	F7	F7	A2	A2	A2	A2	A2	A2	C5	C5	C5	C4	C4	C4	C4	C4	C4	
IOT6A	I/O	0	DQ9		True_of_IOT6B	True	B3	B3	B3	B2	B2	B2	A4	A4	A4	A4	A4	A4	B5	B5	B5	D5	D5	D5	A2	A2	A2	
IOT6B	I/O	0	DQ9		Comp_of_IOT6A	True	A4	A4	A4	A2	A2	A2	C5	C5	C5	C5	C5	C5	A5	A5	A5	B5	B5	B5	A3	A3	A3	
IOT8A	I/O	0	DQ9		True_of_IOT8B	True	B4	B4	B4	B3	B3	B3	A5	A5	A5	A5	A5	A5	E7	E7	E7	A3	A3	A3	D6	D6	D6	
IOT8B	I/O	0	DQ9		Comp_of_IOT8A	True	A5	A5	A5	A3	A3	A3	B6	B6	B6	B6	B6	B6	D6	D6	D6	B4	B4	B4	D7	D7	D7	



注！ [1] 使用True LVDS的Bank VCCO建议设置为2.5V。 [2] 建议把VCCX和电压最高的VCCO接在一起使用。			
GW2AN-18X器件 UV版UG484/UG400/UG256/PG256/UG332/UG324/PG484封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCX	核电压和辅助电压内部短接在一起	2.5V	3.465V
VCCO0、VCCO1、VCCO2、VCCO3、 VCCO4、VCCO5、VCCO6、VCCO7、 VCCO8、VCCO9	I/O Bank电压	1.14V	3.465V
GW2AN-18X器件 LV版UG484/UG400/UG256/PG256/UG332/UG324/PG484封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO1、VCCO2、VCCO3、VCCO4、 VCCO5、VCCO6、VCCO7、VCCO8、 VCCO9	I/O Bank电压	1.14V	3.465V
VCCX/VCCO0	辅助电压和I/O Bank0电压内部短接在一起	2.5V	3.465V
GW2AN-18X器件 EV版UG484/UG400/UG256/PG256/UG332/UG324/PG484封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	0.95V	1.05V
VCCO1、VCCO2、VCCO3、VCCO4、 VCCO5、VCCO6、VCCO7、VCCO8、 VCCO9	I/O Bank电压	1.14V	3.465V
VCCX/VCCO0	辅助电压和I/O Bank0电压内部短接在一起	2.5V	3.465V