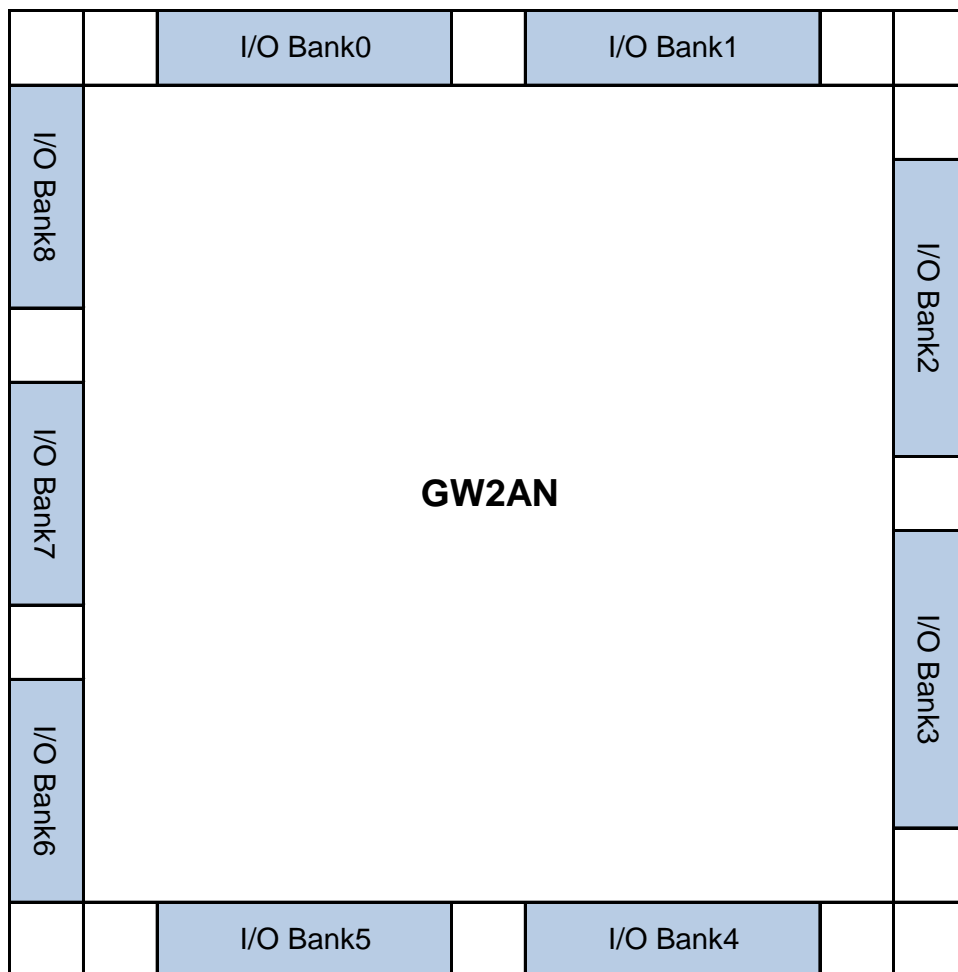


日期	版本	说明
2021/1/27	1.0	初始版本，支持UG484，UG400，UG256，PG256，UG332，UG324，PG484封装。
2021/5/19	1.1	修改UG484的IOB15A，IOB15B，IOB17A，IOB17B的管脚位置。
2021/7/21	1.2	删除DED管脚和MODE管脚的相关描述。
2021/8/12	1.3	修改Power信息； 完善MODE管脚描述。
2021/10/21	1.4	更新Pin Definitions。
2022/8/19	1.4.1	更新Power中VCCX的最小电压值。
2022/10/20	1.4.2	更新Power中的注释； 更新Pin Definitions中的注释； 更新Pin Definitions中MODE0和MODE1的管脚说明。
2022/11/11	1.4.3	更新Power信息； 更新Pin Definitions中CLKHOLD_N的管脚说明。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的时 候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱下拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE <sup>[1]</sup>	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY <sup>[1]</sup>	O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
	I	
MI-1	I/O	MSPI模式下MI
MI-2	I/O	MSPI模式下WPN；QMSPI模式下数据通道2

管脚名称	方向	说明
MI-3	I/O	MSPI模式下HOLDN; QMSPI模式下数据通道3
MO	I	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	I/O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
QSSPI_WPN	I	QSSPI模式下WPN; QSSPI模式下数据通道2
CLKHOLD_N	I, 内部弱下拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 <sup>[2]</sup>
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE1	I, 内部弱下拉	GowinCONFIG配置模式选择信号端口
MODE0	I, 内部弱下拉	GowinCONFIG配置模式选择信号端口
<b>其他管脚</b>		
EXTR	NA	外接10K 1%电阻到地
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
注!		
[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		
[2]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



**注!**

- [1]每个Bank还提供一个独立的参考电压 (VREF) ;
- [2]用户可以选择使用IOB内置的VREF源 (等于 $0.5 \times VCCO$ ) ;
- [3]用户也可选择外部的VREF输入 (使用Bank中任意一个IO管脚作为外部VREF输入) 。

















注1

[1] UV版本封装，未封装出的MODE[1:0]内接01。

[2] LV版本封装，未封装出的MODE[1:0]内接01。

[3] EV版本封装，未封装出的MODE[1:0]内接01。

[4] Tie to VSS by 10K Resistor表示通过10K电阻下拉到地。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484 <sup>[1]</sup>	UG484 <sup>[2]</sup>	UG484 <sup>[3]</sup>	UG400 <sup>[1]</sup>	UG400 <sup>[2]</sup>	UG400 <sup>[3]</sup>	UG256 <sup>[1]</sup>	UG256 <sup>[2]</sup>	UG256 <sup>[3]</sup>	PG256 <sup>[1]</sup>	PG256 <sup>[2]</sup>	PG256 <sup>[3]</sup>	UG332 <sup>[1]</sup>	UG332 <sup>[2]</sup>	UG332 <sup>[3]</sup>	UG324 <sup>[1]</sup>	UG324 <sup>[2]</sup>	UG324 <sup>[3]</sup>	PG484 <sup>[1]</sup>	PG484 <sup>[2]</sup>	PG484 <sup>[3]</sup>	
VSS	Ground	N/A					L10	L10	L10	V11	V11	V11														M12	M12	M12
VSS	Ground	N/A					L13	L13	L13	M11	M11	M11	J8	J8	J8	J8	J8	J8	N13	N13	N13				J13	J13	J13	
VSS	Ground	N/A					L14	L14	L14	K10	K10	K10	E5	E5	E5	E5	E5	E5	L10	L10	L10	V1	V1	V1	H15	H15	H15	
VSS	Ground	N/A					L18	L18	L18	E12	E12	E12	R2	R2	R2	R2	R2	R2	H13	H13	H13	J10	J10	J10	AB14	AB14	AB14	
VSS	Ground	N/A					L2	L2	L2																			
VSS	Ground	N/A					L9	L9	L9																	P1	P1	P1
VSS	Ground	N/A					M10	M10	M10	V18	V18	V18													M14	M14	M14	
VSS	Ground	N/A					M13	M13	M13	N7	N7	N7	J9	J9	J9	J9	J9	J9	T10	T10	T10				J14	J14	J14	
VSS	Ground	N/A					M14	M14	M14	L8	L8	L8	E12	E12	E12	E12	E12	E12	L11	L11	L11	V18	V18	V18	H8	H8	H8	
VSS	Ground	N/A					M4	M4	M4																R8	R8	R8	
VSS	Ground	N/A					M9	M9	M9																P10	P10	P10	
VSS	Ground	N/A					N14	N14	N14	L10	L10	L10	F6	F6	F6	F6	F6	F6	L16	L16	L16				J1	J1	J1	
VSS	Ground	N/A					N21	N21	N21	E9	E9	E9	P14	P14	P14	P14	P14	P14	C18	C18	C18	F6	F6	F6	AA2	AA2	AA2	
VSS	Ground	N/A					N9	N9	N9																P11	P11	P11	
VSS	Ground	N/A					P10	P10	P10																M9	M9	M9	
VSS	Ground	N/A					P11	P11	P11	U16	U16	U16													L14	L14	L14	
VSS	Ground	N/A					P12	P12	P12	U3	U3	U3							Y1	Y1	Y1				K14	K14	K14	
VSS	Ground	N/A					P13	P13	P13	R18	R18	R18	L6	L6	L6	L6	L6	L6	V3	V3	V3				J22	J22	J22	
VSS	Ground	N/A					P14	P14	P14	L11	L11	L11	F11	F11	F11	F11	F11	F11	M9	M9	M9				J10	J10	J10	
VSS	Ground	N/A					P9	P9	P9																P12	P12	P12	
VSS	Ground	N/A					R15	R15	R15	G18	G18	G18	C14	C14	C14	C14	C14	C14	K11	K11	K11	N13	N13	N13	B21	B21	B21	
VSS	Ground	N/A					R8	R8	R8																P14	P14	P14	
VSS	Ground	N/A					V2	V2	V2																G9	G9	G9	
VSS	Ground	N/A					V21	V21	V21	E10	E10	E10	P3	P3	P3	P3	P3	P3	E11	E11	E11	F13	F13	F13	AA21	AA21	AA21	
VSS	Ground	N/A					W12	W12	W12	U7	U7	U7							Y11	Y11	Y11				K9	K9	K9	
VSS	Ground	N/A					Y16	Y16	Y16	E16	E16	E16	B15	B15	B15	B15	B15	B15	J12	J12	J12	K10	K10	K10	AB9	AB9	AB9	
VSS	Ground	N/A					Y7	Y7	Y7																P9	P9	P9	







注1

- [1] UV版本封装;
- [2] LV版本封装;
- [3] EV版本封装;

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484 <sup>[1]</sup>	UG484 <sup>[2]</sup>	UG484 <sup>[3]</sup>	UG400 <sup>[1]</sup>	UG400 <sup>[2]</sup>	UG400 <sup>[3]</sup>	UG256 <sup>[1]</sup>	UG256 <sup>[2]</sup>	UG256 <sup>[3]</sup>	PG256 <sup>[1]</sup>	PG256 <sup>[2]</sup>	PG256 <sup>[3]</sup>	UG332 <sup>[1]</sup>	UG332 <sup>[2]</sup>	UG332 <sup>[3]</sup>	UG324 <sup>[1]</sup>	UG324 <sup>[2]</sup>	UG324 <sup>[3]</sup>	PG484 <sup>[1]</sup>	PG484 <sup>[2]</sup>	PG484 <sup>[3]</sup>
IOT18A	I/O	0	DQ8		True_of_IOT18B	True	B8	B8	B8	B7	B7	B7	B7	B7	B7	B7	B7	B7	B6	B6	B6	A7	A7	A7	E8	E8	E8
IOT18B	I/O	0	DQ8		Comp_of_IOT18A	True	A8	A8	A8	A7	A7	A7	C7	C7	C7	C7	C7	C7	A6	A6	A6	B7	B7	B7	D8	D8	D8
IOT20A	I/O	0	DQ8		True_of_IOT20B	True	B9	B9	B9	B8	B8	B8	E6	E6	E6	E6	E6	E6	D9	D9	D9	B8	B8	B8	E10	E10	E10
IOT20B	I/O	0	DQ8		Comp_of_IOT20A	True	A9	A9	A9	A8	A8	A8	D7	D7	D7	D7	D7	D7	E10	E10	E10	A8	A8	A8	C11	C11	C11
IOT22A	I/O	0	DQ8		True_of_IOT22B	True	F10	F10	F10	B9	B9	B9	F7	F7	F7	F7	F7	F7							E11	E11	E11
IOT22B	I/O	0	DQ8		Comp_of_IOT22A	True	E10	E10	E10	A9	A9	A9	E8	E8	E8	E8	E8	E8							D11	D11	D11
IOT24A/GCLKT_0	I/O	0	DQ8	GCLKT_0	True_of_IOT24B	True	B10	B10	B10	B10	B10	B10	C8	C8	C8	C8	C8	C8	B9	B9	B9	A9	A9	A9	B9	B9	B9
IOT24B/GCLKC_0	I/O	0	DQ8	GCLKC_0	Comp_of_IOT24A	True	A10	A10	A10	A10	A10	A10	A8	A8	A8	A8	A8	A8	A9	A9	A9	B9	B9	B9	C10	C10	C10
IOT26A	I/O	0	DQ8		True_of_IOT26B	True	B11	B11	B11	B11	B11	B11	D8	D8	D8	D8	D8	D8	C10	C10	C10	A10	A10	A10	B11	B11	B11
IOT26B	I/O	0	DQ8		Comp_of_IOT26A	True	A11	A11	A11	A11	A11	A11	E9	E9	E9	E9	E9	E9	B10	B10	B10	B10	B10	B10	A11	A11	A11
IOT2A	I/O	0	DQ9		True_of_IOT2B	True	B1	B1	B1	B1	B1	B1	C4	C4	C4	C4	C4	C4	C4	C4	C4	A2	A2	A2	D4	D4	D4
IOT2B	I/O	0	DQ9		Comp_of_IOT2A	True	A2	A2	A2	A1	A1	A1	B5	B5	B5	B5	B5	B5	B4	B4	B4	B3	B3	B3	B3	B3	B3
IOT4A	I/O	0	DQ9		True_of_IOT4B	True	B2	B2	B2	G7	G7	G7	B3	B3	B3	B3	B3	B3	A4	A4	A4	C3	C3	C3	D5	D5	D5
IOT4B	I/O	0	DQ9		Comp_of_IOT4A	True	A3	A3	A3	F7	F7	F7	A2	A2	A2	A2	A2	A2	C5	C5	C5	C4	C4	C4	C4	C4	C4
IOT6A	I/O	0	DQ9		True_of_IOT6B	True	B3	B3	B3	B2	B2	B2	A4	A4	A4	A4	A4	A4	B5	B5	B5	D5	D5	D5	A2	A2	A2
IOT6B	I/O	0	DQ9		Comp_of_IOT6A	True	A4	A4	A4	A2	A2	A2	C5	C5	C5	C5	C5	C5	A5	A5	A5	B5	B5	B5	A3	A3	A3
IOT8A	I/O	0	DQ9		True_of_IOT8B	True	B4	B4	B4	B3	B3	B3	A5	A5	A5	A5	A5	A5	E7	E7	E7	A3	A3	A3	D6	D6	D6
IOT8B	I/O	0	DQ9		Comp_of_IOT8A	True	A5	A5	A5	A3	A3	A3	B6	B6	B6	B6	B6	B6	D6	D6	D6	B4	B4	B4	D7	D7	D7



注！			
[1] 使用True LVDS的Bank VCCO建议设置为2.5V。			
[2] VCCX不能小于最大的VCCO。			
GW2AN-18X器件UV版UG484/UG400/UG256/PG256/UG332/UG324/PG484封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCX	核电压和辅助电压内部短接在一起	2.7V	3.6V
VCCO0、VCCO1、VCCO2、VCCO3、VCCO4、VCCO6、VCCO7、VCCO8、	I/O Bank电压	1.14V	3.6V
VCCO5	I/O Bank5电压，当VCCO5的电压小于2.0V时，VCCO5上会增加约20mA的静态电流	1.14V	3.6V
GW2AN-18X器件LV版UG484/UG400/UG256/PG256/UG332/UG324/PG484封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	0.95V	1.05V
VCCO1、VCCO2、VCCO3、VCCO4、VCCO6、VCCO7、VCCO8、VCCO9	I/O Bank电压	1.14V	3.6V
VCCX/VCCO0	辅助电压和I/O Bank0电压内部短接在一起	2.7V	3.6V
VCCO5	I/O Bank5电压，当VCCO5的电压小于2.0V时，VCCO5上会增加约20mA的静态电流	1.14V	3.6V
GW2AN-18X器件EV版UG484/UG400/UG256/PG256/UG332/UG324/PG484封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO1、VCCO2、VCCO3、VCCO4、VCCO6、VCCO7、VCCO8、VCCO9	I/O Bank电压	1.14V	3.6V
VCCX/VCCO0	辅助电压和I/O Bank0电压内部短接在一起	2.7V	3.6V
VCCO5	I/O Bank5电压，当VCCO5的电压小于2.0V时，VCCO5上会增加约20mA的静态电流	1.14V	3.6V