



GW2AN-55 器件 封装与管脚手册

UG975-1.1, 2022-10-20

版权所有 © 2022 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、晨熙以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/01/23	1.0	初始版本。
2022/10/20	1.1	<ul style="list-style-type: none">● 更新 UG676 封装的 IOR50[A/B]和 IOR51[A/B]的 4 个管脚；● 删除 NC 管脚；● 更新管脚定义。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	1
2 概述	2
2.1 无铅封装	2
2.2 封装和最大用户 I/O 信息、LVDS 对数	2
2.3 电源管脚	2
2.4 管脚数目	3
2.4.1 GW2AN-55 器件管脚数目	3
2.5 管脚定义说明	4
2.6 I/O BANK 说明	6
3 管脚分布示意图	7
3.1 GW2AN-55 器件管脚分布示意图	7
3.1.1 UG676 管脚分布示意图	7
4 封装尺寸	9
4.1 封装尺寸 UG676 (21mm x 21mm)	10

图目录

图 2-1 GW2AN-55 器件 I/O BANK 整体示意图	6
图 3-1 GW2AN-55 器件 UG676 封装管脚分布示意图	7
图 4-1 封装尺寸 UG676.....	10

表目录

表 1-1 术语、缩略语	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数	2
表 2-2 GW2AN-55 电源管脚.....	2
表 2-3 GW2AN-55 器件管脚数目列表	3
表 2-4 GW2AN-55 器件管脚定义说明	4
表 3-1 GW2AN-55 器件 UG676 其它管脚	8

1 关于本手册

1.1 手册内容

GW2AN-55 器件封装与管脚手册主要包括高云半导体 GW2AN-55 器件的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS976, GW2AN-55 器件数据手册](#)
2. [UG974, GW2AN-55 器件 Pinout 手册](#)
3. [UG290, Gowin FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LVDS	Low-Voltage Differential Signaling	低电压差分信号
UG676	UBGA676	UBGA676 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW2AN-55 器件是高云半导体晨熙®（Arora）家族第一代产品，内部资源丰富，封装 IO 数量丰富，使用方便灵活。

2.1 无铅封装

GW2AN-55 器件采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW2AN-55 器件物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息、LVDS 对数

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW2AN-55
UG676	0.8	21 x 21	525 (111)

注！

- 本手册中封装命名采用缩写的方式，详细信息请参考 1.3 术语、缩略语；
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。

2.3 电源管脚

表 2-2 GW2AN-55 电源管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCO4	VCCO5	VCCO6
VCCO7	VCCX	VSS	VCCPLLL0
VCCPLLL1	VCCPLLR0	VCCPLLR1	VCCPLLL
VCCPLLR	—	—	—

2.4 管脚数目

2.4.1 GW2AN-55 器件管脚数目

表 2-3 GW2AN-55 器件管脚数目列表

管脚类型		GW2AN-55
		UG676
I/O 单端/差分对/LVDS/LVDS 输出 ^[1]	BANK0	68/34/14/0
	BANK1	71/35/16/0
	BANK2	66/33/13/3
	BANK3	58/29/13/4
	BANK4	72/36/16/0
	BANK5	68/34/14/0
	BANK6	56/28/12/4
	BANK7	66/33/13/3
最大用户 I/O 总数 ^[2]		525
差分对		262
TrueLVDS 输出		111
Only TrueLVDS 输出 ^[3]		14
VCC		19
VCCX		14
VCCO0		5
VCCO1		4
VCCO2		5
VCCO3		4
VCCO4		5
VCCO5		4
VCCO6		5
VCCO7		4
VCCPLL		2
VCCPLLr		2
VSS		77
MODE0		1
MODE1		1
MODE2		1
EXTR		0
NC		0
JTAGSEL_N		1

注！

- [1] I/O 单端/差分对/LVDS/LVDS 输出的数目包含 CLK 管脚、下载管脚，该类数目不包括 EXTR；

- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况；
- [3] 只支持真 LVDS 输出，不支持输入。

2.5 管脚定义说明

表 2-4 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定义以及其它管脚定义进行了详细说明。

表 2-4 GW2AN-55 器件管脚定义说明

管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top)。 [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息，即管脚对应的 CFU 行数。 [A/B]提供差分信号对信息。 方向为 LVDS 时表示该管脚只支持真 LVDS 输出。
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O。
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的 GowinCONFIG 配置
READY ^[2]	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE ^[2]	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N，低电平表示使用高速 Flash 访问模式，高电平表示使用普通 Flash 访问模式。 CPU 模式下的数据端口 D3
MCLK/D4	I/O	MSPI 模式下时钟输出 MCLK CPU 模式下的数据端口 D4
MCS_N/D5	I/O	MSPI 模式下的使能信号 MCS_N，低电平有效。 CPU 模式下的数据端口 D5
MI/D7	I/O	MSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO/D6	I/O	MSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6
SSPI_CS_N/D0	I/O	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉 CPU 模式下的数据端口 D0。
SO/D1	I/O	SSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1
SI/D2	I/O	SSPI 模式下 MOSI: Master 数据输出/Slave 数据输入

管脚名称	方向	说明
		CPU 模式下的数据端口 D2
TMS	I, 内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入, 需要在 PCB 上连接 4.7K 下拉电阻。
TDI	I, 内部弱上拉	JTAG 模式串行数据输入
TDO	O	JTAG 模式串行数据输出
JTAGSEL_N	I, 内部弱上拉	JTAG 模式选择信号, 低电平有效。
SCLK	I	SSPI, SERIAL, CPU 模式下的时钟输入。
DIN	I, 内部弱上拉	SERIAL 模式下的数据输入
DOUT	O	SERIAL 模式下的数据输出
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号。
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 [1]。
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚, T(True)。
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚, C(Comp)。
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚, T(True)。
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚, C(Comp)。
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口; 若该管脚未被封装出来, 内部接地。
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口; 若该管脚未被封装出来, 内部接地。
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口; 若该管脚未被封装出来, 内部接地。
EXTR	NA	外接 10K 1%电阻到地
其它管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCPLLL	NA	PBGA 封装: 左边 PLL0/1 电压供电管脚简称
VCCPLLR	NA	PBGA 封装: 右边 PLL0/1 电压供电管脚简称

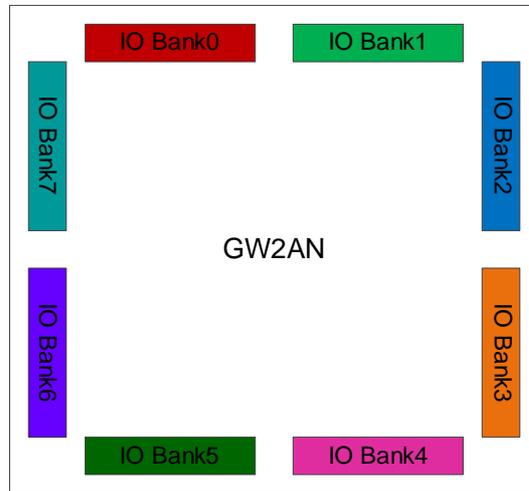
注!

- [1] 当输入是单端时, GLKC_[x]所在管脚不是全局时钟管脚。
- [2] READY 和 DONE 默认状态为 open-drain 输出, 内部弱上拉。在配置期间, DONE 输出 0。

2.6 I/O BANK 说明

GW2AN-55 器件八个 I/O BANK 区，图 2-1 为 GW2AN-55 器件的 I/O BANK 整体示意图。

图 2-1 GW2AN-55 器件 I/O BANK 整体示意图



GW2AN-55 器件的八个 BANK 用八种颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW2AN-55 器件管脚示意图中管脚定义如下所示：

1. “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
2. “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
3. “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
4. “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
5. “” 表示 BANK4 中的 I/O，填充颜色随 BANK 变化。
6. “” 表示 BANK5 中的 I/O，填充颜色随 BANK 变化。
7. “” 表示 BANK6 中的 I/O，填充颜色随 BANK 变化。
8. “” 表示 BANK7 中的 I/O，填充颜色随 BANK 变化。
9. “” 表示 VCC、VCCX、VCCO，填充颜色不变。
10. “” 表示 VSS，填充颜色不变。
11. “” 表示 NC。
12. “” 表示专用管脚 EXTR。

3 管脚分布示意图

3.1 GW2AN-55 器件管脚分布示意图

3.1.1 UG676 管脚分布示意图

图 3-1 GW2AN-55 器件 UG676 封装管脚分布示意图

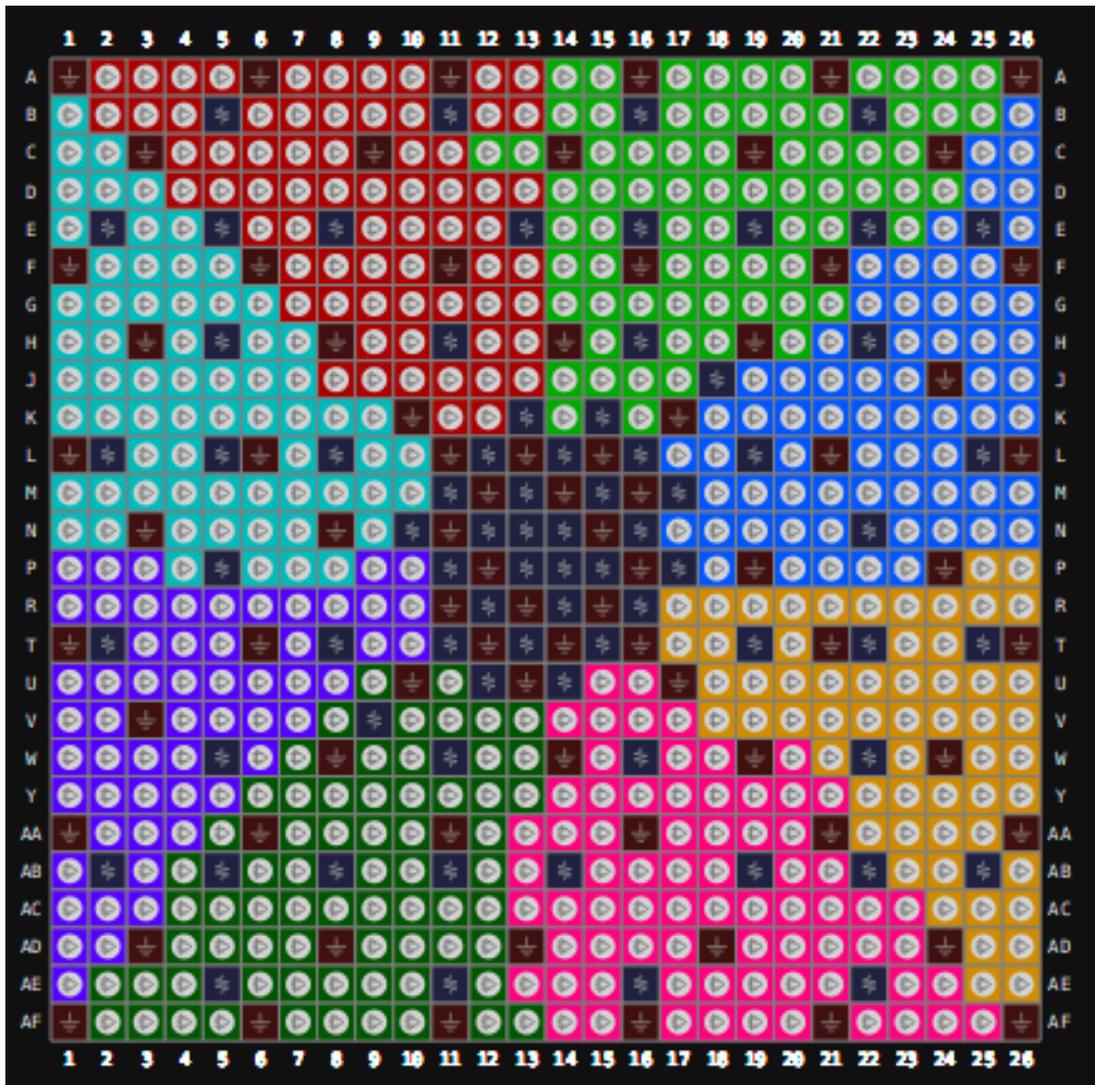


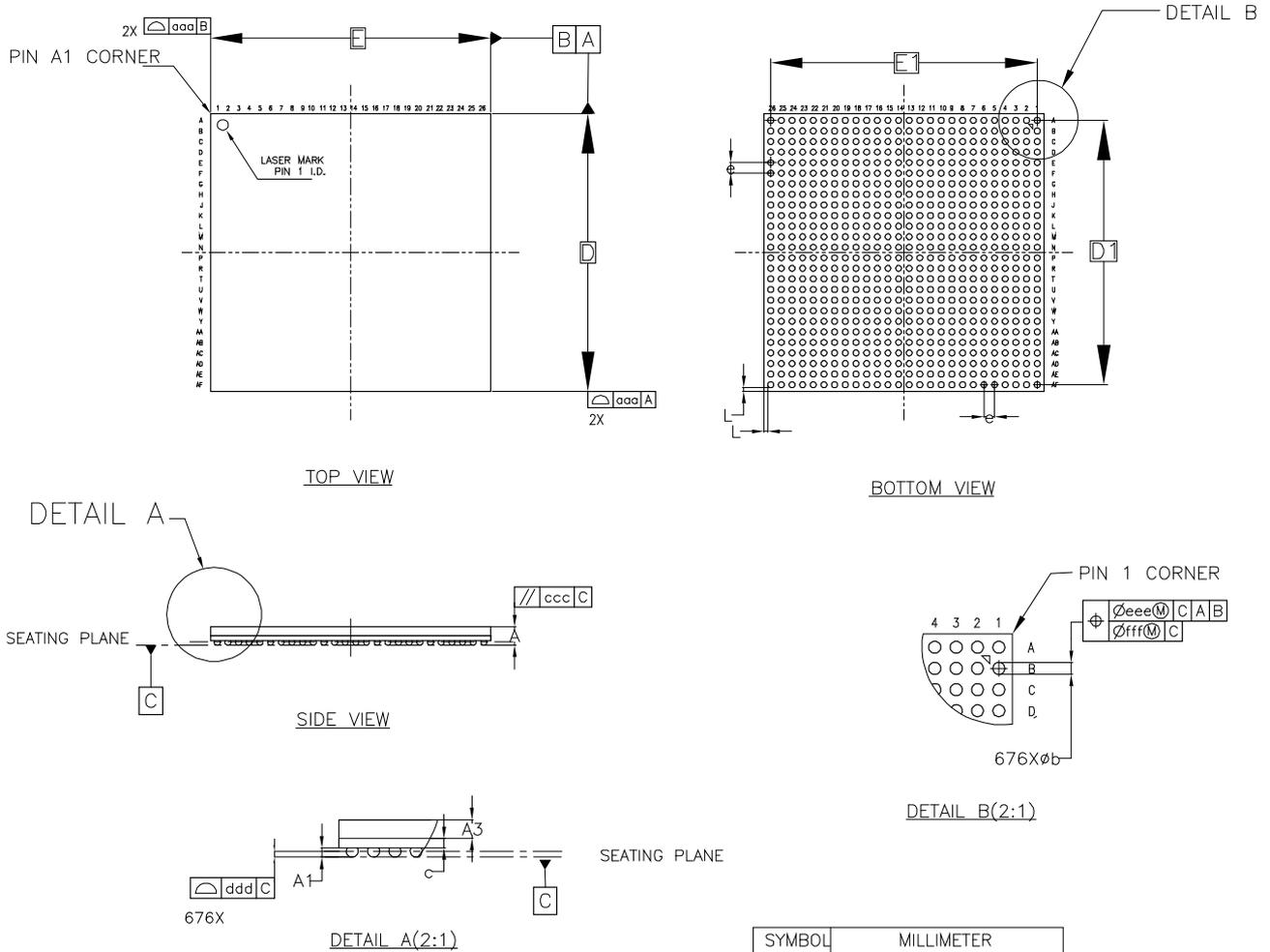
表 3-1 GW2AN-55 器件 UG676 其它管脚

VCC	K15,L12,L14,L16,M13,M17,N12,N13,N14,N16,P11,P13,P14,P15,R12,R14,R16,T13,U12
VCCO0	B11,B5,E13,E8,H11
VCCO1	B16,B22,E19,H16
VCCO2	E25,H22,L19,L25,N22
VCCO3	AB25,T19,T25,W22
VCCO4	AB14,AB19,AE16,AE22,W16
VCCO5	AB8,AE11,AE5,W11
VCCO6	AB2,P5,T2,T8,W5
VCCO7	E2,H5,L2,L8
VCCX	AB11,AB22,AB5,E16,E22,E5,J18,K13,L5,N10,P17,T22,U14,V9
VCCPLL	M11,M15
VCCPLLR	T11,T15
VSS	A1,A6,A11,A16,A21,A26,AA1,AA6,AA11,AA16,AA21,AA26,AD3,AD8,AD13,AD18,AD24,AF1,AF6,AF11,AF16,AF21,AF26,C3,C9,C14,C19,C24,F1,F6,F11,F16,F21,F26,H3,H8,H14,H19,J24,K10,K17,L1,L6,L11,L13,L15,L21,L26,M12,M14,M16,N3,N8,N11,N15,P12,P16,P19,P24,R11,R13,R15,T1,T6,T12,T14,T16,T21,T26,U10,U13,U17,V3,W8,W14,W19,W24
MODE	P26,R26,R23
JTAGSEL_N	D24

4 封装尺寸

4.1 封装尺寸 UG676 (21mm x 21mm)

图 4-1 封装尺寸 UG676



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.33	1.41	1.49
A1	0.30	0.35	0.40
A2	0.98	1.06	1.14
A3	0.70 BASIC		
c	0.32	0.36	0.40
D	20.90	21.00	21.10
D1	20.00 BASIC		
E	20.90	21.00	21.10
E1	20.000 BASIC		
e	0.800 BASIC		
L	0.275 BASIC		
b	0.40	0.45	0.50
aaa	0.15		
ccc	0.17		
ddd	0.15		
eee	0.15		
fff	0.08		

