

GW2AN-55 FPGA 製品パッケージ及びピン アウト **ユーザーガイド**

著作権について (2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及びGOWINSEMIのロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cnにおいて記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/01/23	1.0J	初版。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	1
2 概要.....	3
2.1 無鉛パッケージ	3
2.2 パッケージと最大ユーザーI/O 情報、LVDS のペア数.....	3
2.3 電源ピン	3
2.4 ピン数.....	4
2.4.1 GW2AN-55 のピン数.....	4
2.5 ピンの定義.....	5
2.6 I/O BANK の説明	7
3 ピン配置図	9
3.1 GW2AN-55 デバイスのピン配置図.....	9
3.1.1 UG676 のピン配置図	9
4 パッケージ外形図.....	11
4.1 UG676 パッケージ外形図(21mm x 21mm).....	12

図一覧

図 2-1 GW2AN-55 の I/O BANK の配置図	7
図 3-1 GW2AN-55 デバイス UG676 パッケージのピン配置図	9
図 4-1 UG676 パッケージ外形図	12

表一覧

表 1-1 用語、略語.....	1
表 2-1 各パッケージの最大ユーザーI/O 数、LVDS のペア数.....	3
表 2-2 GW2AN-55 の電源ピン.....	3
表 2-3 GW2AN-55 のピン数一覧.....	4
表 2-4 GW2AN-55 のピンの説明.....	5
表 3-1 GW2AN-55 デバイス UG676 パッケージのその他のピン.....	10

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルには、主に GW2AN-55 FPGA 製品のパッケージの紹介、ピンの定義、ピン数一覧、ピンの配置図、及びパッケージ外形図が含まれています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW2AN-55 FPGA 製品データシート ([DS976](#))
2. GW2AN-55 デバイス Pinout ([UG974](#))
3. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
UG676	UBGA676	UBGA676 パッケージ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Arora ファミリーの第一世代製品である GW2AN-55 FPGA 製品は、柔軟な使用法、豊富な内部リソースおよび IO 数を提供します。

2.1 無鉛パッケージ

GW2AN-55 FPGA は、無鉛技術パッケージを採用した、環境にやさしい製品で、EU の RoHS 指令に準拠しています。GW2AN-55 FPGA 製品に使用されている物質は、IPC-1752 スタンダードに準拠しています。

2.2 パッケージと最大ユーザー I/O 情報、LVDS のペア数

表 2-1 各パッケージの最大ユーザー I/O 数、LVDS のペア数

パッケージ	ピッチ(mm)	サイズ(mm)	GW2AN-55
UG676	0.8	21 x 21	525 (97)

注記：

- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、1.3 用語、略語を参照してください。
- JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン (TCK、TDI、TDO、TMS) は、同時に I/O として使用してはなりません。この表のデータは、JTAG 機能の 4 ピンを I/O として使用した場合のものです。ただし、mode[2:0]=001 の場合、JTAGSEL_N ピンと JTAG の 4 ピン (TCK、TMS、TDI、TDO) を同時に GPIO として構成でき、最大ユーザー I/O 数が 1 増加します。

2.3 電源ピン

表 2-2 GW2AN-55 の電源ピン

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCO4	VCCO5	VCCO6
VCCO7	VCCX	VSS	NC
VCCPLLL0	VCCPLLL1	VCCPLLR0	VCCPLLR1
VCCPLLL	VCCPLLR		

2.4 ピン数

2.4.1 GW2AN-55 のピン数

表 2-3 GW2AN-55 のピン数一覧

ピンタイプ		GW2AN-55
		UG676
I/O シングルエンド/差動ペア /LVDS/LVDS 出力 ^[1]	BANK0	68/34/14/0
	BANK1	71/35/16/0
	BANK2	66/33/10/3
	BANK3	58/29/9/4
	BANK4	72/36/16/0
	BANK5	68/34/14/0
	BANK6	56/28/8/4
	BANK7	66/33/10/3
最大ユーザー I/O 数 ^[2]		525
差動ペア		262
True LVDS 出力		96
Only True LVDS 出力 ^[3]		14
VCC		19
VCCX		14
VCCO0		5
VCCO1		4
VCCO2		5
VCCO3		4
VCCO4		5
VCCO5		4
VCCO6		5
VCCO7		4
VCCPLLL		2
VCCPLLR		2
VSS		77
MODE0		1
MODE1		1
MODE2		1
EXTR		0
NC		4
JTAGSEL_N		1

注記：

- [1] I/O シングルエンド/差動ペア/LVDS/LVDS 出力数には、CLK ピン、ダウンロードピンが含まれます。この数値には、EXTR が除外されています。

- [2]JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン (TCK、TDI、TDO、TMS) は、同時に I/O として使用してはなりません。この表のデータは、JTAG 機能の 4 ピンを I/O として使用した場合のものです。
- [3]True LVDS 出力のみがサポートされ、入力がサポートされていません。

2.5 ピンの定義

表 2-4 に、通常の利用者 I/O ピン、多機能ピン、専用ピン、及びその他ピンの説明を示します。

表 2-4 GW2AN-55 のピンの説明

ピン名	方向	説明
ユーザー I/O ピン		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]は、ピンのデバイス内の位置情報 (L(left) R(right)B(bottom) T(top) を含む) を提供します。[Row/Column Number]はピンのデバイス内の具体的な位置情報を提供し、[End] が T(top)または B(bottom)の場合、列情報、即ちピンが対応する CFU の列数を提供します。[End]が L(left)または R(right)の場合、行情報、即ち対応する CFU の行数を提供します。[A/B]は差動信号ペア情報を提供します。 方向が LVDS の場合、当該ピンが True LVDS 出力のみをサポートすることを表します。
多機能ピン		
IO[End][Row/Column Number][A/B]/MMM		/MMM は、ユーザー I/O 機能に加えて、別の機能をさらに備えることを表します。これらの機能を使用しない場合、これらのピンはユーザー I/O として用いることができます
RECONFIG_N	I、内部の弱いプルアップ	Low レベルの際、新しい GowinCONFIG を開始します
READY	I/O	High レベルの場合、デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベルの場合、デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
FASTRD_N/D3	I/O	MSPI モードでは、FASTRD_N が Flash アクセススピードポートとして使用されます。Low レベルは高速 Flash アクセスモードを示し、High レベルは通常の Flash アクセスモードを示します。 CPU モードにおけるデータポート D3
MCLK/D4	I/O	MSPI モードにおけるクロック出力 MCLK CPU モードにおけるデータポート D4
MCS_N/D5	I/O	MSPI モードにおけるイネーブル信号 MCS_N、アクティブ Low CPU モードにおけるデータポート D5
MI/D7	I/O	MSPI モードにおける MISO : Master データ入力/Slave データ出力 CPU モードにおけるデータポート D7
MO/D6	I/O	MSPI モードにおける MOSI : Master データ出力/Slave データ入力

ピン名	方向	説明
		CPU モードにおけるデータポート D6
SSPI_CS_N/D0	I/O	SSPI モードにおけるイネーブル信号 SSPI_CS_N、アクティブ Low、内部の弱いプルアップ CPU モードにおけるデータポート D0
SO/D1	I/O	SSPI モードにおける MISO : Master データ入力/Slave データ出力 CPU モードにおけるデータポート D1
SI/D2	I/O	SSPI モードにおける MOSI : Master データ出力/Slave データ入力 CPU モードにおけるデータポート D2
TMS	I、内部の弱いプルアップ	JTAG モードにおけるシリアルモード入力
TCK	I	JTAG モードにおけるシリアルモード入力。PCB 上で 4.7K プルダウン抵抗へ接続する必要があります。
TDI	I、内部の弱いプルアップ	JTAG モードにおけるシリアルデータ入力
TDO	O	JTAG モードにおけるシリアルデータ出力
JTAGSEL_N	I、内部の弱いプルアップ	JTAG モード選択信号、アクティブ Low
SCLK	I	SSPI、SERIAL、CPU モードにおけるクロック入力
DIN	I、内部の弱いプルアップ	SERIAL モードにおけるデータ入力
DOUT	O	SERIAL モードにおけるデータ出力
CLKHOLD_N	I、内部の弱いプルアップ	High レベルは SSPI モードと CPU モードの操作が有効であることを示します。 Low レベルは SSPI モードと CPU モードの操作が無効であることを示します。
WE_N	I	CPU モードにおける D[7 : 0]の入出力方向を選択します。
GCLKT_[x]	I	グローバルクロック入力ピン。T : True。[x] : グローバルクロックの番号
GCLKC_[x]	I	GCLKT_[x]の差動入力ピン、C : Comp。[x] : グローバルクロックの番号 ^[1]
LPLL_T_fb/RPLL_T_fb	I	左側/右側 PLL フィードバック入力ピン、T : True
LPLL_C_fb/RPLL_C_fb	I	左側/右側 PLL フィードバック入力ピン、C : Comp
LPLL_T_in/RPLL_T_in	I	左側/右側 PLL クロック入力ピン、T : True
LPLL_C_in/RPLL_C_in	I	左側/右側 PLL クロック入力ピン、C : Comp
専用ピン		
MODE2	I、内部の弱いプルアップ	GowinCONFIG モード選択ポート。ピンがボンディングされていない場合、内部で接地します。
MODE1	I、内部の弱いプルアップ	GowinCONFIG モード選択ポート。ピンがボンディングされていない場合、内部で接地します。
MODE0	I、内部の弱いプルアップ	GowinCONFIG モード選択ポート。ピンがボンディングされていない場合、内部で接地します。
EXTR	NA	10K、±1%の外付け抵抗が接地します。
その他のピン		

ピン名	方向	説明
NC	NA	予約(未使用)
VSS	NA	Ground ピン
VCC	NA	コア電圧供給ピン
VCCO#	NA	I/O BANK#の I/O 電圧供給ピン
VCCX	NA	補助電圧供給ピン
VCCPLLL0/1	NA	LQFP パッケージ：左側 PLL0/1 の電圧供給ピンで、LQFP でのみ使用可能です。
VCCPLLR0/1	NA	LQFP パッケージ：右側 PLL0/1 の電圧供給ピンで、LQFP でのみ使用可能です。
VCCPLLL	NA	PBGA パッケージ：左側 PLL0/1 の電圧供給ピン
VCCPLLR	NA	PBGA パッケージ：右側 PLL0/1 の電圧供給ピン

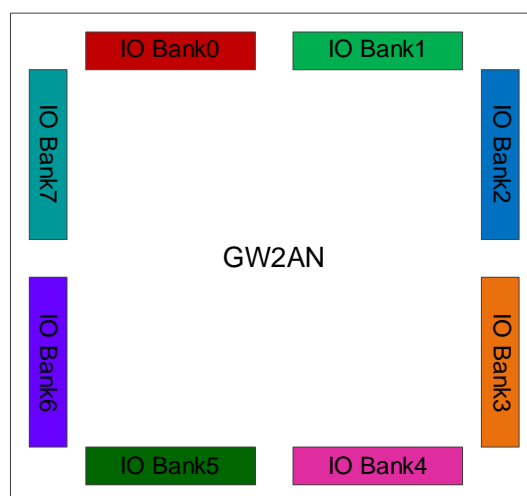
注記：

[1]シングルエンド入力の場合、GCLKC__[x]が配置されているピンはグローバルクロックピンではありません。

2.6 I/O BANK の説明

GW2AN-55 FPGA 製品には 8 つの I/O BANK があり、図 2-1 は GW2AN-55 FPGA 製品の I/O BANK の全体説明図です。

図 2-1 GW2AN-55 の I/O BANK の配置図



GW2AN-55 FPGA 製品の 8 つの BANK は 8 つの異なる色で区別されています。

ユーザーI/O、電源、グラウンドは異なる記号と色により区別されています。GW2AN-55 FPGA 製品のピン説明図のピンの定義は以下の通りです：

1. “” は BANK0 内の I/O を表します。
2. “” は BANK1 内の I/O を表します。
3. “” は BANK2 内の I/O を表します。
4. “” は BANK3 内の I/O を表します。

5. “” は BANK4 内の I/O を表します。
6. “” は BANK5 内の I/O を表します。
7. “” は BANK6 内の I/O を表します。
8. “” は BANK7 内の I/O を表します。
9. “” は VCC、VCCX、VCCO を表します。
10. “” は VSS を表します。
11. “” は NC を表します。
12. “” は専用ピン EXTR を表します。

3 ピン配置図

3.1 GW2AN-55 デバイスのピン配置図

3.1.1 UG676 のピン配置図

図 3-1 GW2AN-55 デバイス UG676 パッケージのピン配置図

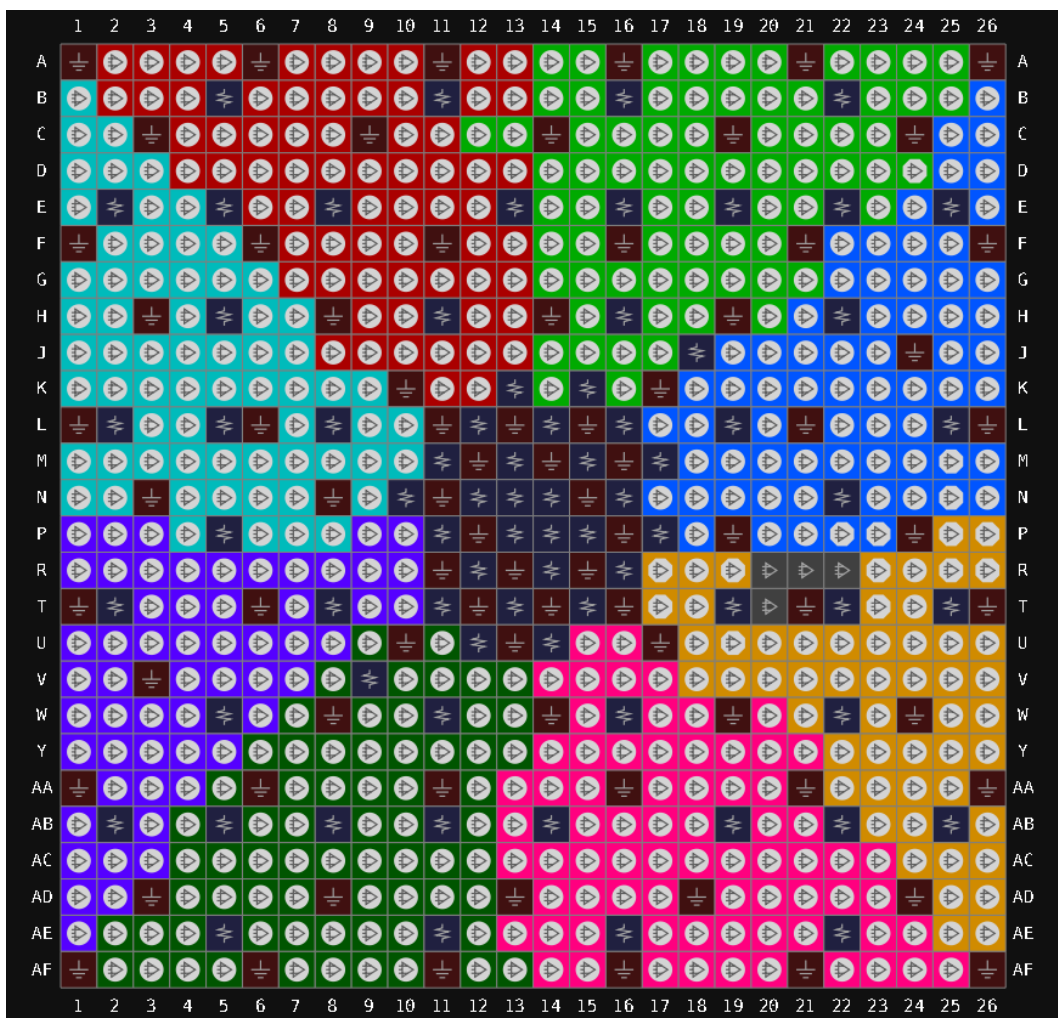


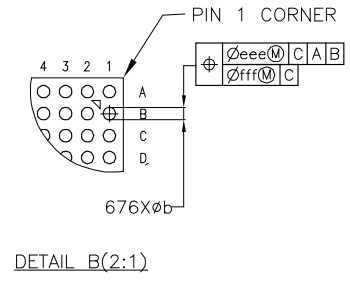
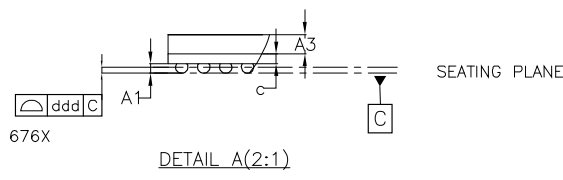
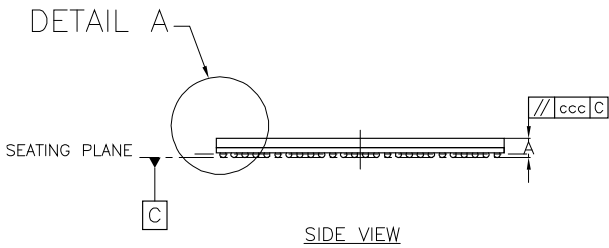
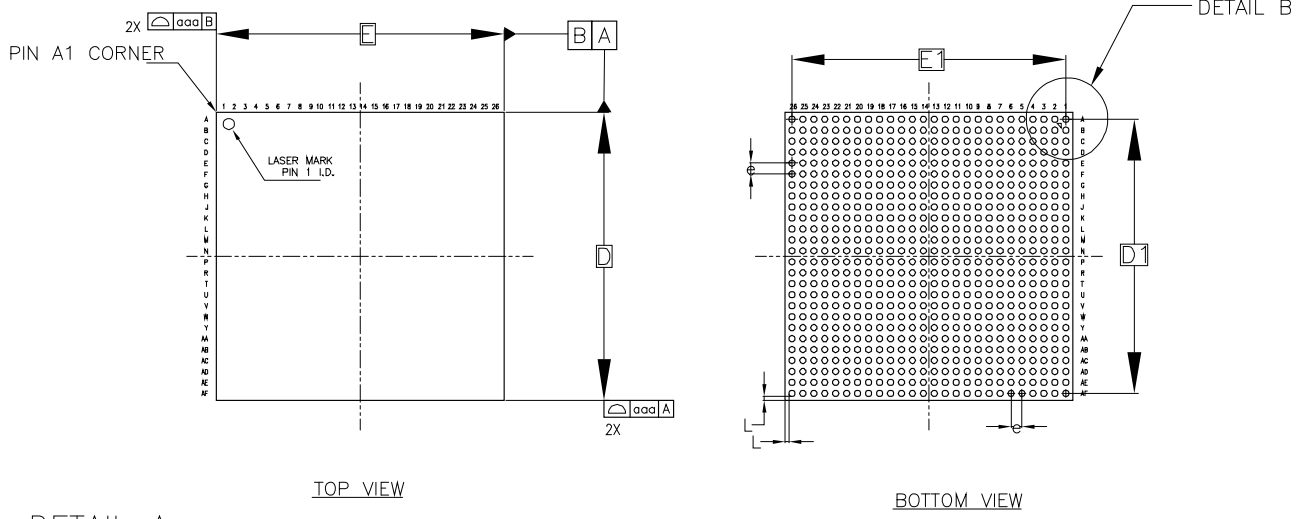
表 3-1 GW2AN-55 デバイス UG676 パッケージのその他のピン

VCC	K15,L12,L14,L16,M13,M17,N12,N13,N14,N16,P11,P13,P14,P15,R12,R14,R16,T13,U12
VCCO0	B11,B5,E13,E8,H11
VCCO1	B16,B22,E19,H16
VCCO2	E25,H22,L19,L25,N22
VCCO3	AB25,T19,T25,W22
VCCO4	AB14,AB19,AE16,AE22,W16
VCCO5	AB8,AE11,AE5,W11
VCCO6	AB2,P5,T2,T8,W5
VCCO7	E2,H5,L2,L8
VCCX	AB11,AB22,AB5,E16,E22,E5,J18,K13,L5,N10,P17,T22,U14,V9
VCCPLL	M11,M15
VCCPLLR	T11,T15
VSS	A1,A6,A11,A16,A21,A26,AA1,AA6,AA11,AA16,AA21,A26,AD3,AD8,AD13,AD18,AD24,AF1,AF6,AF11,AF16,AF21,AF26,C3,C9,C14,C19,C24,F1,F6,F11,F16,F21,F26,H3,H8,H14,H19,J24,K10,K17,L1,L6,L11,L13,L15,L21,L26,M12,M14,M16,N3,N8,N11,N15,P12,P16,P19,P24,R11,R13,R15,T1,T6,T12,T14,T16,T21,T26,U10,U13,U17,V3,W8,W14,W19,W24
MODE	P26,R26,R23
JTAGSEL_N	D24

4 パッケージ外形図

4.1 UG676 パッケージ外形図(21mm x 21mm)

図 4-1 UG676 パッケージ外形図



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.33	1.41	1.49
A1	0.30	0.35	0.40
A2	0.98	1.06	1.14
A3	0.70 BASIC		
c	0.32	0.36	0.40
D	20.90	21.00	21.10
D1	20.00 BASIC		
E	20.90	21.00	21.10
E1	20.000 BASIC		
e	0.800 BASIC		
L	0.275 BASIC		
b	0.40	0.45	0.50
aaa	0.15		
ccc	0.17		
ddd	0.15		
eee	0.15		
fff	0.08		

