

GW2AN-18X & 9X 器件原理图指导手册

简介

使用高云®半导体 GW2AN-18X & 9X 器件做电路板设计时需遵循一系列规则。本文档详细描述了 GW2AN-18X & 9X 器件相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源
- JTAG 下载
- 时钟管脚
- 差分管脚
- READY、RECONFIG_N、DONE
- MODE
- JTAGSEL_N
- FASTRD_N
- 配置管脚复用
- FPGA 外接晶振电路参考
- Bank 电压
- 各器件支持的配置模式
- 管脚分配

电源

概述

GW2AN-18X & 9X 器件电压种类包括 Vcc 核电压、Vccx 辅助电压和 Vccio Bank 电压。

Vccx 为辅助电源，用于给芯片内部部分电路供电，需要接 2.5V 或者 3.3V 电压，如果 Vccx 电压不接，会影响 IO、OSC、BSRAM 等电路工作，造成芯片无法使用。

电源指标

GW2AN-18X & 9X 器件分为 LV、EV、UV 三个版本。LV 版本器件支持 1.0V V_{CC} 供电电压，EV 版本器件支持 1.2V V_{CC} 供电电压，可以满足用户低功耗的需求。UV 版本器件方便用户实现单一电源供电，内部集成了线性稳压器，内核电压支持 2.5V、3.3V 供电电压。

注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

表 1 列出了各电源电压的推荐工作范围。

表 1 推荐工作范围

GW2AN-9X/18X 器件 UV 版			
名称	描述	最小值	最大值
V _{CC} /V _{CCX}	核电压和辅助电源电压	2.7V	3.6V
V _{CCIO}	I/O Bank 电源电压	1.14V	3.6V
V _{CCIO5}	I/O Bank5 电源电压 当 V _{CCIO5} 的电压小于 2.0V 时，V _{CCIO5} 上会增加约 20mA 的静态电流	1.14V	3.6V
GW2AN-9X/18X 器件 LV 版			
名称	描述	最小值	最大值
V _{CC}	核电压	0.95V	1.05V
V _{CCIO}	I/O Bank 电源电压	1.14V	3.6V
V _{CCIO5}	I/O Bank5 电源电压 当 V _{CCIO5} 的电压小于 2.0V 时，V _{CCIO5} 上会增加约 20mA 的静态电流	1.14V	3.6V
V _{CCX}	辅助电源电压	2.7V	3.6V
GW2AN-9X/18X 器件 EV 版			
名称	描述	最小值	最大值
V _{CC}	核电压	1.14V	1.26V
V _{CCIO}	I/O Bank 电源电压	1.14V	3.6V
V _{CCIO5}	I/O Bank5 电源电压 当 V _{CCIO5} 的电压小于 2.0V 时，V _{CCIO5} 上会增加约 20mA 的静态电流	1.14V	3.6V
V _{CCX}	辅助电源电压	2.7V	3.6V

总体功耗

针对特定密度、封装和资源利用率，可以使用云源软件内嵌的 GPA 工具进行功耗评估和分析。

上电时间

表 2 电源上升斜率

名称	描述	最小值	典型值	最大值
T_{RAMP}	电源电压上升斜率 (Power supply ramp rates for all power supplies)	0.1mV/ μ s	-	10mV/ μ s

注！

- 如果上电时间 > 10ms，则需要确保上电顺序为先 V_{CC} ，后 V_{CCX}/V_{CCIO} 。
- 如果上电时间 < 0.1ms，建议增加电容以延长上电时间。

电源滤波

每一个 FPGA 电源输入脚就近连接一个 0.1 μ F 陶瓷电容到地；对于 V_{CC} 核电压输入端，要重点进行噪声处理，具体参考如下图所示：

图 1 UV 版 V_{CC} 核电压输入端噪声处理

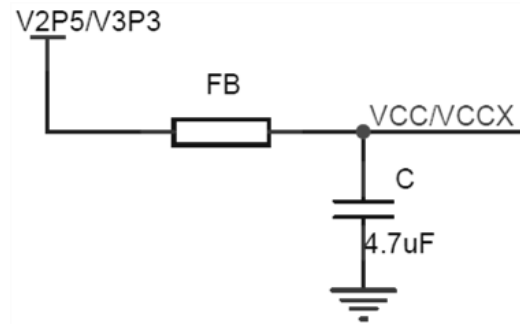


图 2 LV 版 V_{CC} 核电压输入端噪声处理

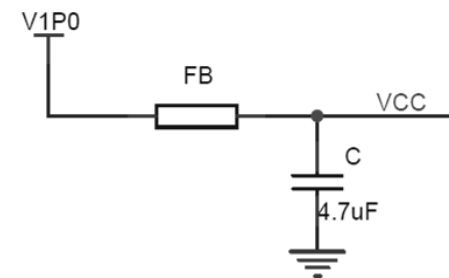
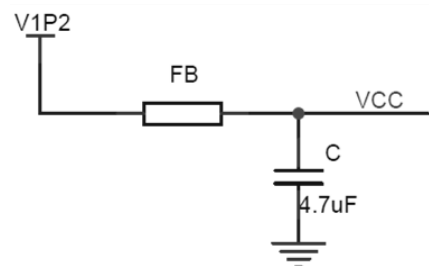


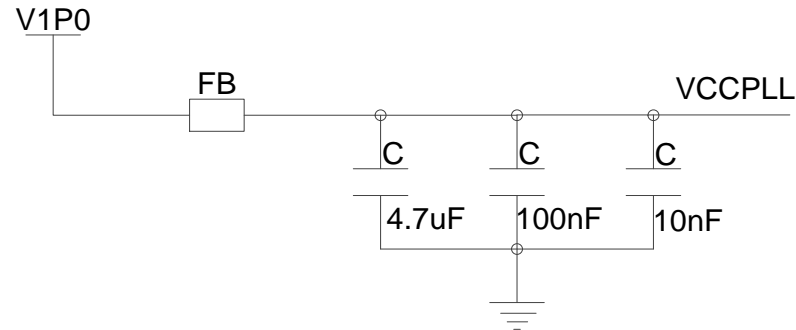
图 3 EV 版 V_{CC} 核电压输入端噪声处理



其中 FB 为磁珠，参考型号 MH2029-221Y，4.7 μ F 为陶瓷电容，精度不低于 $\pm 10\%$ 。

GW2AN-18X & 9X 系列 FPGA 产品需要对 V_{CCPLL} 隔离滤波，具体参考如图 4 所示。

图 4 隔离滤波 V_{CCPLL}



其中 FB 为磁珠，参考型号 MH2029-221Y，4.7uF、100nF、10nF 均为陶瓷电容，精度不低于 $\pm 10\%$ 。

JTAG 下载

JTAG 概述

JTAG 下载是将比特流数据下载到 FPGA 的 SRAM、片内 FLASH 或片外 FLASH 中。

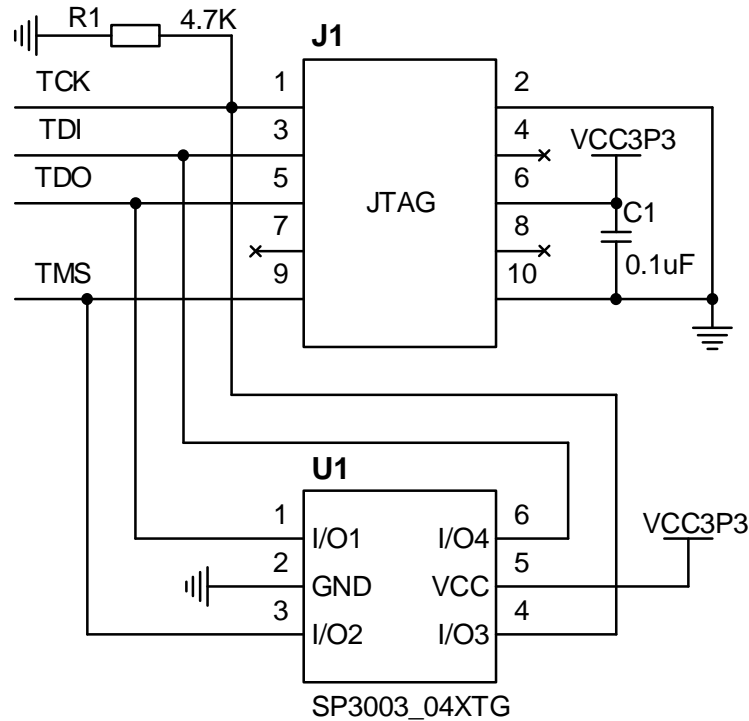
信号定义

表 3 JTAG 配置模式信号定义

名称	I/O 类型	说明
TCK	I	JTAG 串行时钟输入
TMS	I, 内部弱上拉	JTAG 串行模式输入
TDI	I, 内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

JTAG 电路参考

图 5 JTAG 电路



注！

- 电阻精度不低于 $\pm 5\%$ ；
- JTAG 插座第 6 脚的电源，根据实际情况可调整为 VCC1P2、VCC1P5、VCC1P8、VCC2P5。
- 为了更好保护 JTAG 管脚，防止静电损坏建议 JTAG 信号上增加 ESD 保护芯片，可选型号：SP3003_04XTG。

时钟管脚

概述

时钟管脚包括 GCLK 全局时钟管脚和 PLL 时钟管脚。

- GCLK: GCLK 在 GW2AN 产品中按象限分布，分为四个象限，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。
- PLL: 通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

信号定义

表 4 时钟管脚的信号定义

名称	I/O 类型	说明
GCLKT_[x]	I/O	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I/O	全局时钟输入管脚, C(Comp), [x]: 全局时钟序号
LPLL_T_FB/RPLL_T_FB	I	左边/右边 PLL 反馈输入管脚, T(True)
LPLL_C_FB/RPLL_C_FB	I	左边/右边 PLL 反馈输入管脚, C(Comp)
LPLL_T_IN/RPLL_T_IN	I	左边/右边 PLL 时钟输入管脚, T(True)
LPLL_C_IN/RPLL_C_IN	I	左边/右边 PLL 时钟输入管脚, C(Comp)

时钟输入选择

如果外部时钟作为 PLL 时钟输入, 建议从专用 PLL 管脚输入, 单端输入时建议从 PLL_T 端输入。

GCLK 是全局时钟, 直接连接到器件的所有资源, 单端输入时建议从 GCLK_T 端输入。

差分管脚

概述

差分传输是一种信号传输的技术, 区别于传统的一根信号线一根地线的做法, 差分传输在这两根线上都传输信号, 这两个信号的振幅相等, 相位相同, 极性相反。

LVDS

LVDS 即低电压差分信号, 采用极低的电压摆幅高速差动传输数据, 具有低功耗、低误码率、低串扰和低辐射等特点, 不同封装的差分信号不同, 具体信息请参考各个封装 pinout 手册的 True LVDS。

注!

- GW2AN-18X & 9X 器件所有分区都支持 True LVDS 差分输出: 差分输入需外接 100 欧姆端接电阻。
- 如果使用分区作为差分输入, 需要外接 100 欧姆端接电阻。
- PCB 设计时差分线阻抗控制在 100 欧姆左右。

READY、RECONFIG_N、DONE

概述

RECONFIG_N，相当于 FPGA 编程配置的复位功能，RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。

作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置。

READY，只有 READY 拉高时 FPGA 才能进行配置操作，READY 信号拉低后需采用器件上电或触发 RECONFIG_N 的方式恢复状态。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前能否进行配置。当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 READY 信号以延迟配置过程。

DONE，FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功。当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 DONE 信号以延迟其进入用户模式。

RECONFIG_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。

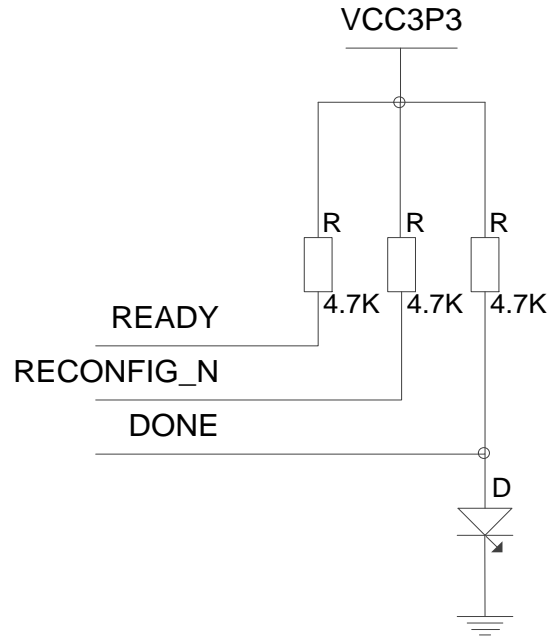
信号定义

表 5 信号定义

名称	I/O 类型	说明
RECONFIG_N	I, 内部弱上拉	低电平脉冲：开始新的 GowinCONFIG 配置
READY	I/O	高电平：当前可以对器件进行编程配置
		低电平：无法对器件进行编程配置
DONE	I/O	高电平：成功完成编程配置
		低电平：未完成编程配置或编程配置失败

READY、RECONFIG_N、DONE 参考电路

图 6 READY、RECONFIG_N、DONE 参考电路



注!

- 上拉电源为对应配置管脚位置的 Bank 电压值 VCCIO3;
- 电阻精度不低于 $\pm 5\%$ 。

MODE

概述

MODE 包括 MODE0、MODE1、MODE2，GowinCONFIG 配置模式选择信号。FPGA 上电或低电平脉冲触发 RECONFIG_N 时，器件根据 MODE 值进入相应的 GowinCONFIG 状态。由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部已接地，具体请参考相应器件的 PINOUT 手册。

信号定义

表 6 信号定义

名称	I/O 类型	说明
MODE1	I, 内部弱下拉	GowinCONFIG 配置模式选择信号端口
MODE0	I, 内部弱下拉	GowinCONFIG 配置模式选择信号端口

模式选择

表 7 模式选择

配置模式		MODE[1:0] ^[1]	相关说明
JTAG		XX ^[2]	外部 Host 通过 JTAG 接口对 FPGA 产品进行配置。最高频率 62.5Mhz。
GowinCONFIG	MSPI	00	FPGA 作为 Master, 通过 SPI 协议从内置 Flash 读取配置数据进行配置。最高支持 100Mhz。
	Autoboot	01	FPGA 作为 Master, 通过 QSPI 协议从内置 Flash 读取配置数据进行配置。支持 GOLDEN IMAGE。最高支持 100Mhz。
	SSPI	0X ^[3]	在 Autoboot 或 MSPI 完成后自动支持。外部 Host 通过 SPI 协议对 FPGA 产品进行配置。最高支持 100Mhz。
	QSSPI		在 Autoboot 或 MSPI 完成后自动支持。外部 Host 通过 QSPI 协议对 FPGA 产品进行配置。最高支持 100Mhz。
	I ² C		在 Autoboot 或 MSPI 完成后自动支持。外部 Host 通过 I ² C 协议对 FPGA 产品进行配置。支持频率范围 100KHz~555KHz。
	SERIAL ^[4]	10	外部 Host 通过 DIN 接口对 FPGA 产品进行配置。
CPU ^[4]	11	外部 Host 通过 DBUS 接口对 FPGA 产品进行配置。	

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 值请参考对应封装的 pinout 手册。
- [2]JTAG 配置模式与 MODE[1:0]输入值无关。
- [3]SSPI 配置模式与 MODE[1:0]输入值无关。
- [4]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。

JTAGSEL_N

概述

JTAG 模式选择信号。若在云源软件中设置 JTAG 管脚复用为 GPIO，则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO，JTAG 配置功能失效，用户可通过拉低 JTAGSEL_N 进行恢复；如果用户未设置 JTAG 管脚复用，则 JTAG 配置功能一直可用。

信号定义

表 8 信号定义

管脚名称	I/O 类型	说明
JTAGSEL_N	I,内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效

注！

JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：

- JTAGSEL_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚。
- JTAG 管脚设置为 GPIO 时，JTAGSEL_N 只能作为配置管脚。

FASTRD_N

概述

MSPI 配置模式读取 SPI Flash 速度选择信号。当 FASTRD_N 为高电平时为普通读取模式；当 FASTRD_N 为低电平时为高速读取模式。各个厂家的 Flash 高速读取操作指令不同，具体请参考相应 Flash 的数据手册。

信号定义

表 9 信号定义

管脚名称	I/O 类型	说明
FASTRD_N	I	<ul style="list-style-type: none">● 作为配置管脚时，类型输入，内部弱上拉，READY 信号上升沿时采样 MSPI 配置速度模式；● 作为 GPIO 时，可用作输入或输出类型。

注！

- 高电平：普通 Flash 访问模式，时钟频率不得高于 30MHz。
- 低电平：高速 Flash 访问模式，时钟频率范围大于 30MHz，小于 80MHz。

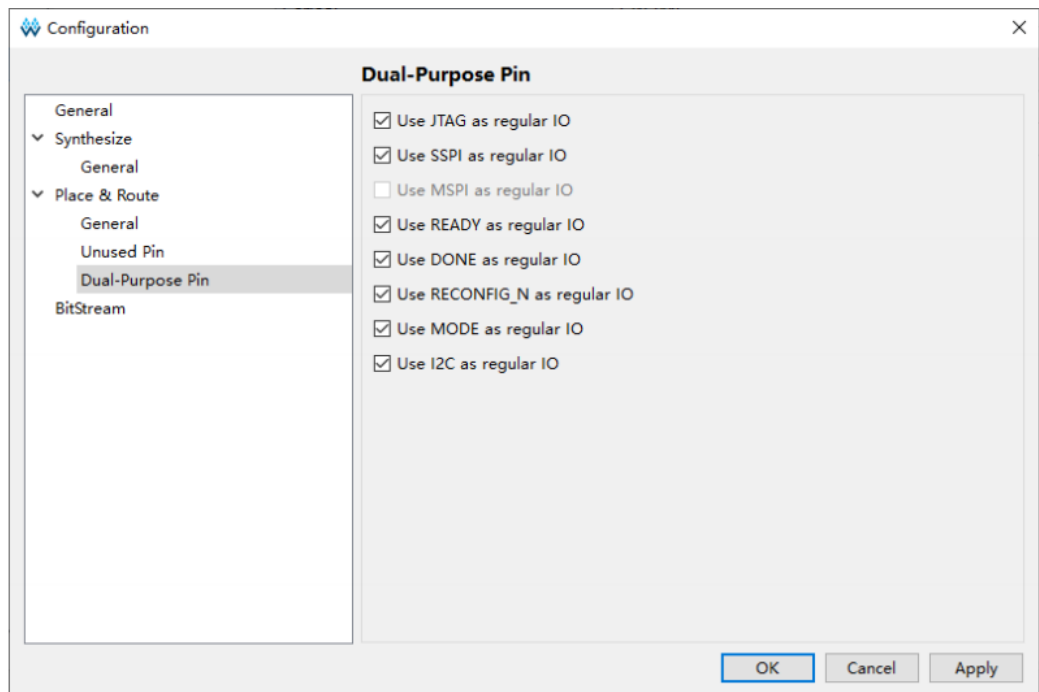
配置管脚复用

概述

配置管脚复用指的是在上电瞬间执行的是配置功能，下载完比特流文件后作为普通 IO 使用。通过高云半导体云源软件配置管脚复用：

- 打开高云半导体云源软件中相应的工程。
- 在菜单栏中选择“Project>Configuration>Dual-Purpose Pin”，如图 7 所示。
- 勾选对应选项设置配置管脚的复用情况。

图 7 配置管脚复用



管脚复用

- SSPI: 作为 GPIO 时，可用作 input 或 output 类型。
- RECONFIG_N: 作为 GPIO 时，只能用作 output 类型。为保障配置过程顺利进行，用户复用 RECONFIG_N 管脚时需将其初始值置为高电平。
- READY: 作为 GPIO 时，可用作 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则 FPGA 无法进行配置。
- DONE: 作为 GPIO 时，可用作 input 或 output 类型。DONE 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则配置结束后 FPGA 无法进入用户模式。
- JTAG: 作为 GPIO 时，可用作 input 或 output 类型。

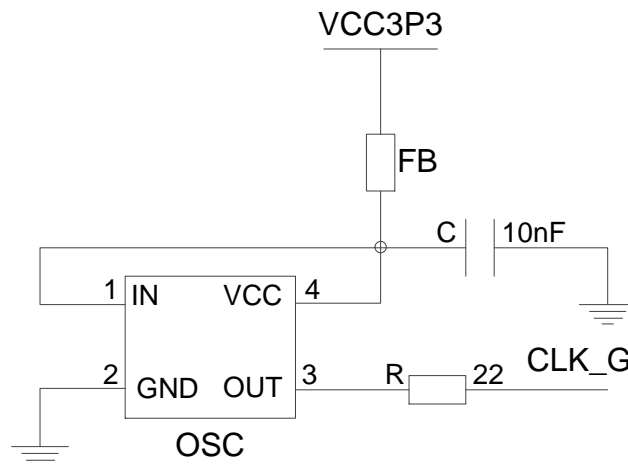
- **JTAGSEL_N**: 作为 GPIO 时, 可用作 input 或 output 类型。
- **MODE**: 作为 GPIO 时, 可用作 input 或 output 类型。为保障配置过程顺利进行, 用户复用 **MODE** 管脚时需要保证在配置的时候(上电或者低电平脉冲触发 **RECONFIG_N**)提供正确的配置模式值。**MODE** 最多可复用三个管脚, 未封装出来的器件内部接地, 具体请参考相应器件的 **PINOUT** 手册。不同的配置模式对应的 **MODE** 值请参考相应器件的配置与编程手册。

注!

如果 IO 口数量够使用, 优先使用非复用管脚。

FPGA 外接晶振电路参考

图 8 FPGA 外接晶振电路



其中 **FB** 为磁珠, 参考型号 **MH2029-221Y**; 电阻精度不低于 $\pm 5\%$; 电容精度不低于 $\pm 10\%$ 。

Bank 电压

各器件的 **Bank** 供电要求请参考如下文档中的 **Power** 部分。

- [UG972, GW2AN-18X 器件 Pinout 手册](#)
- [UG978, GW2AN-9X 器件 Pinout 手册](#)

各器件支持的配置模式

GW2AN-18X

表 10 GW2AN-18X 配置模式

封装	JTAG	MSPI	SSPI	QSSPI	SERIAL	CPU	I2C	Autoboot
UG484	Yes	No	Yes	Yes	No	No	Yes	Yes
UG400	Yes	No	Yes	Yes	No	No	Yes	Yes
UG256	Yes	No	No	No	No	No	Yes	Yes
PG256	Yes	No	No	No	No	No	Yes	Yes
UG332	Yes	No	Yes	Yes	No	No	Yes	Yes
UG324	Yes	No	No	No	No	No	Yes	Yes
PG484	Yes	No	Yes	Yes	No	No	Yes	Yes

GW2AN-9X

表 11 GW2AN-9X 配置模式

封装	JTAG	MSPI	SSPI	QSSPI	SERIAL	CPU	I2C	Autoboot
UG484	Yes	No	Yes	Yes	No	No	Yes	Yes
UG400	Yes	No	Yes	Yes	No	No	Yes	Yes
UG256	Yes	No	No	No	No	No	Yes	Yes
PG256	Yes	No	No	No	No	No	Yes	Yes
UG324	Yes	No	No	No	No	No	Yes	Yes

管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源等。

GW2AN Bank 所有分区都支持真 LVDS 输出，请参考 GW2AN-18X & 9X 器件 Pinout 手册确保相应的管脚支持真 LVDS 输出。

为支持 SSTL, HSTL 等 I/O 输入标准，每个 Bank 提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 0.5*V_{CCIO})，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

关于 DDR 相关管脚分配请参考 [TN662, 基于高云半导体 FPGA 的 DDR2 & DDR3 硬件设计参考手册](#)。

注!

配置过程中，器件所有 GPIO 均为内部弱下拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

版本信息

日期	版本	说明
2021/12/26	1.0	初始版本。
2022/04/08	1.1	<ul style="list-style-type: none">● 更新“电源”中表 1 推荐工作范围；● 更新“MODE”中表 6 信号定义；● 更新各器件支持的配置模式。
2022/04/15	1.1.1	更新各器件支持的配置模式。
2022/07/15	1.1.2	更新 JTAG 下载的注释。
2022/11/17	1.1.3	<ul style="list-style-type: none">● 更新电源中的表 1 推荐工作范围。● 更新各器件支持的配置模式。
2023/03/01	1.1.4	<ul style="list-style-type: none">● 更新“电源”章节中的上电时间。● 更新“JTAG 下载”章节中的“图 5 JTAG 电路”。
2023/03/17	1.1.5	更新“管脚分配”中的注释。

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。