

Preliminary



Arora V 系列 FPGA 产品 封装与管脚手册

UG983-1.0, 2023-01-05

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

Preliminary

版本信息

日期	版本	说明
2023/01/05	1.0	初始版本。

目录

目录.....	i
图目录.....	ii
表目录.....	iii
1 关于本手册	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	1
2 概述.....	2
2.1 无铅封装.....	2
2.2 封装和最大用户 I/O 信息	2
2.3 电源管脚.....	3
2.4 管脚数目	3
2.4.1 GW5AT-138 器件管脚数目	3
2.5 管脚定义说明	5
2.6 I/O BANK 说明	8
3 管脚分布示意图	9
3.1 GW5AT-138 器件管脚分布示意图.....	9
3.1.1 FPG676A 管脚分布示意图.....	9
4 封装尺寸.....	11
4.1 封装尺寸 FPG676A (27mm x 27mm).....	11

图目录

图 3-1 GW5AT-138 器件 FPG676A 封装管脚分布示意图（顶视图）	9
图 4-1 封装尺寸 FPG676A	11

表目录

表 1-1 术语、缩略语.....	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数.....	2
表 2-2 Arora V 系列电源管脚.....	3
表 2-3 GW5AT-138 器件管脚数目列表.....	3
表 2-4 Arora V 系列 FPGA 产品管脚定义说明.....	5
表 3-1 GW5AT-138 器件 FPG676A 其他管脚.....	10

1 关于本手册

1.1 手册内容

Arora V 系列 FPGA 产品封装与管脚手册主要包括高云半导体 Arora V 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. [DS981, Arora V 系列 FPGA 产品数据手册](#)
2. [UG982, GW5AT-138 器件 Pinout 手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
FPG	FCPBGA	FCPBGA 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 Arora V 系列 FPGA 产品是高云半导体晨熙®家族第五代产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3、支持多种协议的 12.5Gbps SERDES，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 Arora V 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 无铅封装

Arora V 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。Arora V 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距 (mm)	尺寸 (mm)	E-pad 尺寸 (mm)	GW5AT-138	GW5A-138	GW5AT-60	GW5A-25
FPG676A	1.0	27 x 27	-	312 (150)	-	-	-

注！

本手册中 Arora V 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。

2.3 电源管脚

表 2-2 Arora V 系列电源管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCO4	VCCO5	VCCO6
VCCO7	VCCO10	VCCX	VSS
VCCC	VCC_REG	Q0_VDDHA	Q1_VDDHA
Q0_VDDT_IN0	Q0_VDDT_IN1	Q0_VDDT_IN2	Q0_VDDT_IN3
Q1_VDDT_IN0	Q1_VDDT_IN1	Q1_VDDT_IN2	Q1_VDDT_IN3
Q0_VDDD_IN0	Q0_VDDD_IN1	Q0_VDDD_IN2	Q0_VDDD_IN3
Q0_VDDTC_IN0	Q0_VDDTC_IN1	Q0_VDDTC_IN2	Q0_VDDTC_IN3
Q1_VDDD_IN0	Q1_VDDD_IN1	Q1_VDDD_IN2	Q1_VDDD_IN3
Q1_VDDTC_IN0	Q1_VDDTC_IN1	Q1_VDDTC_IN2	Q1_VDDTC_IN3
Q0_VDDA	Q0_VDDTC	Q1_VDDA	Q1_VDDTC
M0_VDDA	M0_VDDD	M1_VDDA	M1_VDDD
M0_VDDX	M1_VDDX	–	–

2.4 管脚数目

2.4.1 GW5AT-138 器件管脚数目

表 2-3 GW5AT-138 器件管脚数目列表

管脚类型		GW5AT-138
		FPG676A
I/O 单端/差分对/LVDS ^[1]	BANK0 (Q0)	0/0/0
	BANK1 (Q1)	0/0/0
	BANK2	50/24/24
	BANK3	50/24/24
	BANK4	50/24/24
	BANK5	50/24/24
	BANK6	50/24/24
	BANK7	50/24/24
	BANK10	12/6/6
最大用户 I/O 总数		312
差分对		150
True LVDS 输出		150
VCC		0
VCCX		0
VCCO0		0
VCCO1		0
VCCO2		6
VCCO3		6

管脚类型	GW5AT-138
	FPG676A
VCCO4	6
VCCO5	6
VCCO6	6
VCCO7	6
VCCO10	2
VCCX	3
VCC/VCCC	13
VCC_REG	6
Q1_VDDHA	1
Q0_VDDHA	1
Q1_VDDA/Q1_VDDD_IN0/Q1_VDDD_IN1/Q1_VDD D_IN2/Q1_VDDD_IN3/Q1_VDDTC/Q1_VDDTC_IN0/ Q1_VDDTC_IN1/Q1_VDDTC_IN2/Q1_VDDTC_IN3	3
Q0_VDDA/Q0_VDDD_IN0/Q0_VDDD_IN1/Q0_VDD D_IN2/Q0_VDDD_IN3/Q0_VDDTC/Q0_VDDTC_IN0/ Q0_VDDTC_IN1/Q0_VDDTC_IN2/Q0_VDDTC_IN3	3
Q1_VDDT_IN0/Q1_VDDT_IN1/Q1_VDDT_IN2/Q1_V DDT_IN3	2
Q0_VDDT_IN0/Q0_VDDT_IN1/Q0_VDDT_IN2/Q0_V DDT_IN3	2
M0_VDDA/M0_VDDD/M1_VDDA/M1_VDDD	4
M0_VDDX/M1_VDDX	1
VSS	120
MODE0	1
MODE1	1
MODE2	1
NC	102

注!

[1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。

2.5 管脚定义说明

Arora V 系列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-4 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定义以及其他管脚定义进行了详细说明。

表 2-4 Arora V 系列 FPGA 产品管脚定义说明

管脚名称	方向	说明
用户 I/O 管脚		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息，即管脚对应的 CFU 行数
		[A/B]提供差分信号对信息
		方向为 LVDS 时表示该管脚只支持真 LVDS 输出
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O
D00	I/O	CPU 模式：数据输入或输出(双向)管脚 D00
D01	I/O	CPU 模式：数据输入或输出(双向)管脚 D01 MSPI 模式：X1 模式下串行数据输入，X2, X4 模式下并行数据 bit1 的输入管脚，连接外部 Flash 器件的 DQ1/Q/SO/IO1 管脚
D02	I/O	CPU 模式：数据输入或输出(双向)管脚 D02 MSPI 模式：X4 模式下并行数据 bit2 的输入管脚，分别连接外部 Flash 器件的 DQ2/W#/WP#/IO2 管脚
D03	I/O	CPU 模式：数据输入或输出(双向)管脚 D03 MSPI 模式：X4 模式下并行数据 bit3 的输入管脚，分别连接外部 Flash 器件的 DQ3/HOLD#/IO3 管脚
D04~D07	I/O	CPU 模式：数据输入输出端口 D04~D07
D08~D31	I	CPU 模式：数据输入端口 D08~D31
ADCINCK0	I/O	ADC0 专用时钟输入管脚
ADCINCK1	I/O	ADC1 专用时钟输入管脚
CCLK	I/O	配置时钟 Slave 模式：CCLK 为输入，需要连接外部时钟源 Master 模式：CCLK 为输出
CFGBVS	I/O	配置 bank 电压选择信号(1 for 3.3/2.5V) 配置 bank 指的是 bank3, bank4, bank10 CFGBVS 管脚功能为 1, bank 电压默认为 3.3V、2.5V
CFGPU	I/O	配置过程中的弱上拉选择信号管脚
EMCCLK	I	外部输入时钟信号 Master 模式：EMCCLK 用作 FPGA 配置逻辑，以及输出 CCLK 的时钟源 Slave 模式：EMCCLK 对 slave 模式没有关联
MCKTEST	I/O	MCLK CIB 输出测试管脚
FBTEST_L0	I/O	内部测试管脚

管脚名称	方向	说明
FBTEST_R0	I/O	内部测试管脚
CLKTEST_L0	I/O	内部测试管脚
CLKTEST_R0	I/O	内部测试管脚
MOSI	I/O	MSPI 模式：串行指令和地址输出，以及 X2, X4 模式下的并行数据 bit0 的输入管脚，连接外部 Flash 器件的 DQ0/D/SI/IO0 管脚
CSI_B	I	CPU 模式：片选信号低有效 Master CPU 模式：连接外部配置 controller 的片选信号，也可以直接接地或者串接 1KΩ 电阻接地 Slave CPU 模式：外部配置 controller 可以通过控制 CSI_B 信号选择 FPGA Master 和 Slave 模式都是由外部 controller 发出，其他模式 CSI_B 信号没有关联
DOUT_CSO_B	O	在 FPGA 级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL 模式：输出下一级器件的配置数据 Master SPI 模式：输出下一级器件的配置数据 CPU 模式：输出下一级器件的片选信号
PUDC_B	I	配置过程中的弱上拉选择信号管脚： FPGA 上电后在配置过程中低电平有效使能内部弱上拉电阻 PUDC_B 低电平：除 PUDC_B 外所有的 GPIO 弱上拉 PUDC_B 高电平：所有 GPIO 高阻 PUDC_B 不允许在配置过程中悬空
RDWR	I	CPU 模式：数据读写控制信号 RDWR 为高电平时，FPGA 输出数据；为低电平时，外部控制器将数据写入 FPGA Master CPU 模式：可以接外部控制器 RDWR 信号，也可以直接或者串接 ≤1kΩ 电阻器连接到 GND。 Slave CPU 模式：外部控制器 RDWR 信号 CPU 模式的低 8 位专用 IO 在 wakeup 后会受 RDWR 状态影响，CPU 模式低 8 位设置复用 fuse 不受 RDWR 影响
SSPI_CLK	I/O	SSPI/QSSPI 配置模式：时钟输入管脚
SSPI_WPN	I/O	QSSPI 配置模式：数据输入管脚
SGCLKC_[x]	I	SGCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是时钟序号
SGCLKT_[x]	I	专用时钟输入管脚，驱动同时钟域，T(True)，[x]是时钟序号
MGCLKC_[x]	I	MGCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是时钟序号
MGCLKT_[x]	I	专用时钟输入管脚，驱动多时钟域，T(True)，[x]是时钟序号
VREF		参考电压
DOUT	O	SERIAL 模式：数据输出
DIN	I, 内部弱下拉	SERIAL 模式：数据输入
TMS	I, 内部弱上拉	JTAG 模式：串行模式输入
TCK	I	JTAG 模式：串行时钟输入
TDO	O	JTAG 模式：串行数据输出
TDI	I, 内部弱上拉	JTAG 模式：串行数据输入
RECONFIG_N	I	全局复位 GowinCONFIG 逻辑信号，低电平有效

管脚名称	方向	说明
DONE ^[1]	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE 信号为低电平时，延迟芯片启动，直到 DONE 信号为高电平
READY ^[1]	O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MCS_N	O	MSPI 模式：使能信号 MCS_N，低电平有效
SSPI_CS_N	I/O	SSPI 模式：使能信号 SSPI_CS_N，低电平有效，内部弱上拉
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚，T(True)
MODE2	I，内部弱下拉	GowinCONFIG 配置模式选择信号端口：若该管脚未被封装出来，内部接地
MODE1	I，内部弱下拉	GowinCONFIG 配置模式选择信号端口：若该管脚未被封装出来，内部接地
MODE0	I，内部弱下拉	GowinCONFIG 配置模式选择信号端口：若该管脚未被封装出来，内部接地
其他管脚		
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCC	NA	Clock tree 电压供电管脚
VCCX	NA	辅助电压供电管脚
VCC_REG	NA	Regulator 电压供电管脚
Q*_VDD*	NA	SerDes 电压供电管脚
M*_VDD*	NA	MIPI 电压供电管脚

注！

[1]在芯片配置前及配置期间，需保持默认弱上拉，不可强驱动为“0”。

2.6 I/O BANK 说明

GW5AT-138 包括 9 个 I/O Bank。

详细的 Bank 分布示意图请参考 [DS981, Arora V 系列 FPGA 产品数据手册 > 3.3 输入输出模块](#)。

本手册列举了 Arora V 系列 FPGA 产品每种封装的管脚分布示意图，详细信息请参考第 3 章管脚分布示意图。Arora V 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。Arora V 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 (Q0) 中的 I/O。
- “” 表示 BANK1 (Q1) 中的 I/O。
- “” 表示 BANK2 中的 I/O。
- “” 表示 BANK3 中的 I/O。
- “” 表示 BANK4 中的 I/O。
- “” 表示 BANK5 中的 I/O。
- “” 表示 BANK6 中的 I/O。
- “” 表示 BANK7 中的 I/O。
- “” 表示 BANK10 中的 I/O。
- “” 表示 VCC、VCCX、VCCO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

3 管脚分布示意图

3.1 GW5AT-138 器件管脚分布示意图

3.1.1 FPG676A 管脚分布示意图

图 3-1 GW5AT-138 器件 FPG676A 封装管脚分布示意图（顶视图）

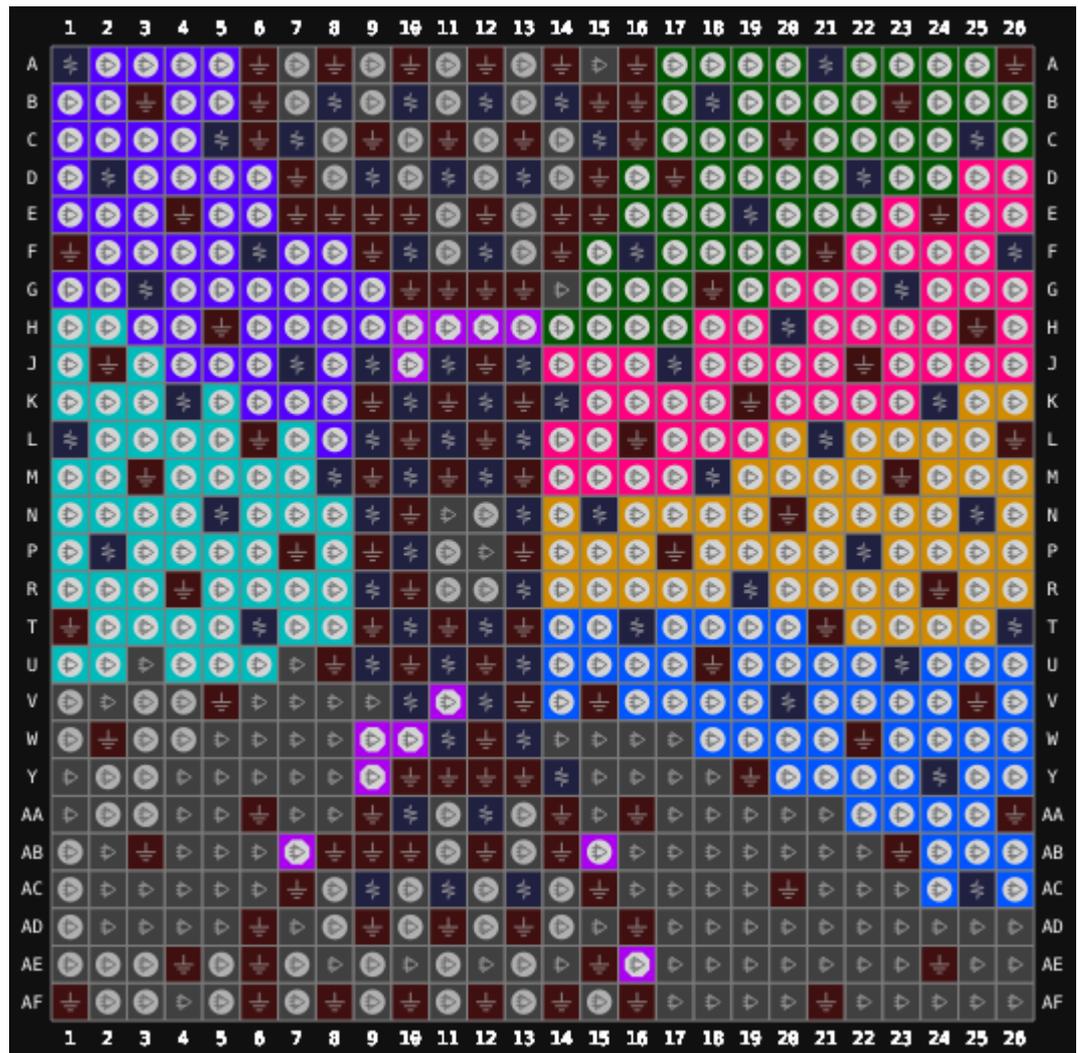


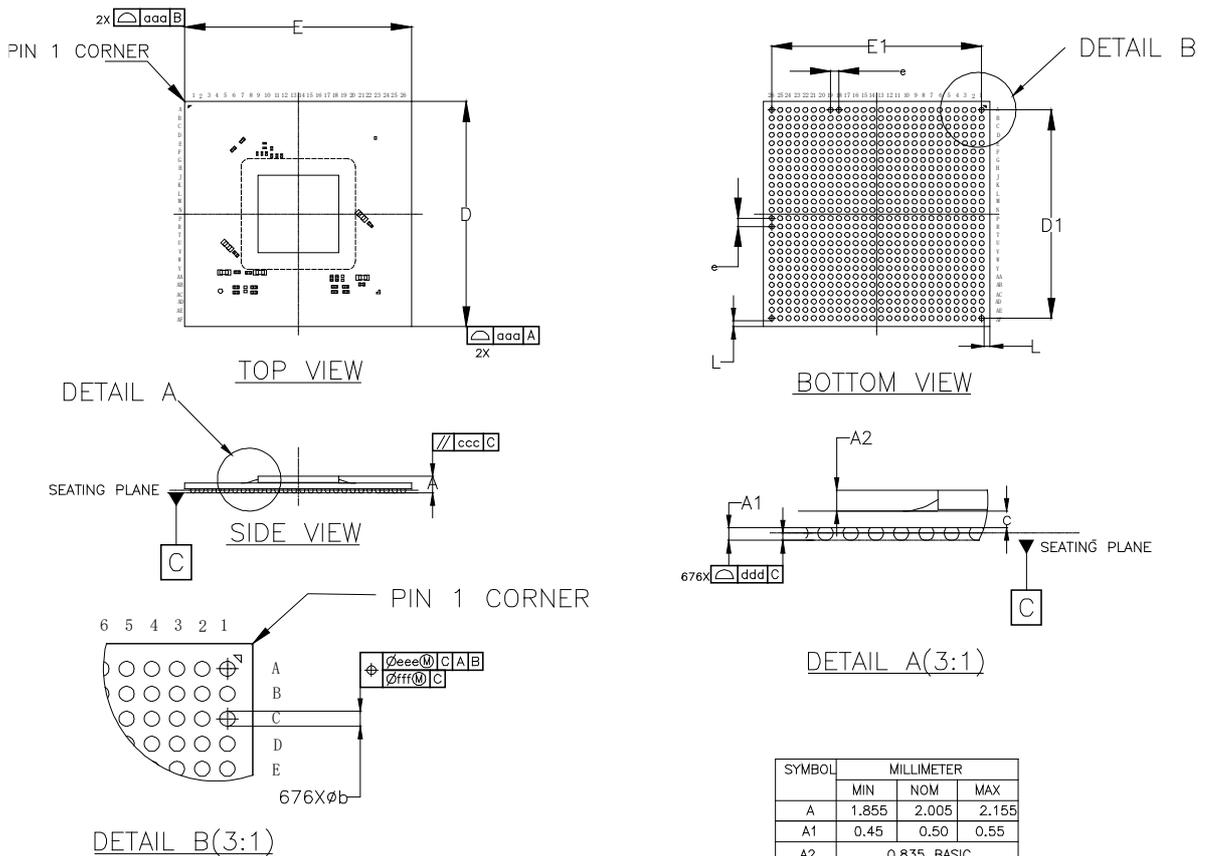
表 3-1 GW5AT-138 器件 FPG676A 其他管脚

VCCO2	V20,U23,T26,Y24,AC25,T16
VCCO3	R19,K24,N25,N15,P22,L21
VCCO4	F26,M18,J17,H20,G23,K14
VCCO5	C25,D22,F16,A21,B18,E19
VCCO6	J7,D2,F6,C5,A1,G3
VCCO7	M8,K4,P2,T6,L1,N5
VCCO10	W11,Y14
VCCX	N9,L9,J9
VCC/VCCC	L11,V10,P10,L13,K12,V12,K10,T12,M10,T10,J11,J13,U11
VCC_REG	C15,B8,B14,C7,B12,B10
Q1_VDDHA	R9
Q0_VDDHA	U9
Q1_VDDA/Q1_VDDD_IN0/Q1_VDDD_IN1/Q1_VDDD_IN2/Q1_VDDD_IN3/Q1_VDDTC/Q1_VDDTC_IN0/Q1_VDDTC_IN1/Q1_VDDTC_IN2/Q1_VDDTC_IN3	AC9,AC13,AC11
Q0_VDDA/Q0_VDDD_IN0/Q0_VDDD_IN1/Q0_VDDD_IN2/Q0_VDDD_IN3/Q0_VDDTC/Q0_VDDTC_IN0/Q0_VDDTC_IN1/Q0_VDDTC_IN2/Q0_VDDTC_IN3	D11,D9,D13
Q1_VDDT_IN0/Q1_VDDT_IN1/Q1_VDDT_IN2/Q1_VDDT_IN3	AA12,AA10
Q0_VDDT_IN0/Q0_VDDT_IN1/Q0_VDDT_IN2/Q0_VDDT_IN3	F10,F12
M0_VDDX/M1_VDDX	M12
M0_VDDA/M0_VDDD/M1_VDDA/M1_VDDD	N13,R13,U13,W13
VSS	M11,AE15,B15,A10,A12,A14,A16,A26,A6,A8,AA14,AA16,AA26,AA6,AB10,AB12,AB14,AB23,AB3,AA9,AB8,AC15,AC20,AC7,AD11,AD13,AD6,AD9,AD16,AE24,AE4,AE6,AF1,AF10,AF12,AF14,AF16,AF21,AF6,AF8,B16,B23,B3,B6,C11,C13,C16,C20,C6,C9,D15,D17,D7,E10,E12,E14,E24,E4,E7,E8,E9,F1,F14,F21,F9,G10,G11,AB9,G13,Y12,G18,G12,H25,H5,J12,J2,J22,K11,K13,K19,K9,L10,L12,L16,L26,L6,M13,M23,M3,M9,N10,N20,P13,P17,P7,P9,R10,R24,R4,T1,T11,T13,T21,T9,U10,U12,U18,U8,V15,V25,V5,E15,W12,W2,W22,Y11,Y10,Y13,Y19,V13

4 封装尺寸

4.1 封装尺寸 FPG676A (27mm x 27mm)

图 4-1 封装尺寸 FPG676A



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.855	2.005	2.155
A1	0.45	0.50	0.55
A2	0.835 BASIC		
c	0.60	0.67	0.74
D	26.90	27.00	27.10
D1	25.00 BASIC		
E	26.90	27.00	27.10
E1	25.00 BASIC		
L	0.70 REF		
e	1.00 BASIC		
b	0.55	0.60	0.65
aaa	0.20		
ccc	0.25		
ddd	0.20		
eee	0.25		
fff	0.10		

Preliminary

