


# GW2AN-18X & 9X FPGA 製品プログラミング ・コンフィギュレーション ユーザーガイド

## 著作権について(2022)

著作権に関する全ての権利は、Guangdong Gowin Semiconductor Corporationに留保されています。

 **GOWIN高云**、Gowin、LittleBee、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2021/09/10	1.0J	初版。
2022/03/04	1.01J	コンフィギュレーションピンのデフォルトの状態を更新。

# 目次

目次 .....	i
図一覧 .....	iii
表一覧 .....	v
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアル内容 .....	1
1.2 関連ドキュメント .....	1
1.3 用語、略語 .....	2
1.4 テクニカル・サポートとフィードバック .....	3
<b>2 用語の説明 .....</b>	<b>4</b>
<b>3 コンフィギュレーションモード .....</b>	<b>7</b>
<b>4 コンフィギュレーションピン .....</b>	<b>9</b>
4.1 コンフィギュレーションピンのリストおよび多重化オプション .....	9
4.1.1 コンフィギュレーションピンのリスト .....	9
4.1.2 ピンの多重化 .....	10
4.2 コンフィギュレーションピンの機能とアプリケーション .....	12
<b>5 コンフィギュレーションモード .....</b>	<b>17</b>
5.1 コンフィギュレーションの注意事項 .....	17
5.2 AUTO BOOT コンフィギュレーション .....	20
5.3 JTAG コンフィギュレーション .....	21
5.3.1 JTAG モードのピン .....	21
5.3.2 JTAG コンフィギュレーションモードの接続説明図 .....	22
5.3.3 JTAG コンフィギュレーションモードのタイミング図 .....	23
5.3.4 JTAG コンフィギュレーションの手順 .....	24
5.4 SSPI コンフィギュレーションモード .....	41
5.4.1 SSPI コンフィギュレーションモードのピン .....	41
5.4.2 SSPI コンフィギュレーションモードのタイミング図 .....	42
5.4.3 SSPI コンフィギュレーション命令 .....	43
5.4.4 SSPI Configure SRAM のフローチャート .....	46
5.4.5 SSPI コンフィギュレーションモードの接続説明図 .....	46

5.4.6 SSPI モードでの複数 FPGA 接続 .....	48
5.5 QSSPI コンフィギュレーションモード .....	49
5.6 CPU コンフィギュレーションモード .....	52
5.6.1 コンフィギュレーションタイミグ .....	53
5.7 SERIAL コンフィギュレーションモード .....	54
5.8 I <sup>2</sup> C コンフィギュレーションモード .....	56
5.8.1 コンフィギュレーション命令 .....	59
<b>6 ビットストリームファイルの構成 .....</b>	<b>61</b>
6.1 構成オプションの設定 .....	61
6.2 コンフィギュレーションデータの暗号化 .....	62
6.2.1 定義 .....	63
6.2.2 暗号化キーの入力 .....	63
6.2.3 復号化キーの入力 .....	64
6.2.4 AES 暗号化キーのプログラミング操作 .....	64
6.2.5 AES 暗号化キーのプログラミングプロセス .....	65
6.3 コンフィギュレーションファイルのサイズ .....	69
6.4 コンフィギュレーションファイルのロード時間 .....	71
<b>7 安全上の考慮事項 .....</b>	<b>73</b>
<b>8 バウンダリスキャン .....</b>	<b>75</b>

# 図一覧

図 4-1 ピンの多重化 .....	12
図 5-1 推奨されるピン接続 .....	19
図 5-2 再パワーアップのタイミング図 .....	20
図 5-3 トリガのタイミング図 .....	20
図 5-4 JTAG コンフィギュレーションモードの接続説明図 .....	22
図 5-5 JTAG デイジーチェーンコンフィギュレーションの接続図 .....	23
図 5-6 JTAG コンフィギュレーションモードのタイミング図 .....	23
図 5-7 TAP 状態機械 .....	24
図 5-8 命令レジスタのアクセスタイミング .....	25
図 5-9 データレジスタのアクセスタイミング .....	25
図 5-10 ID Code 読み出し状態機械プロセスチャート .....	27
図 5-11 ID Code 読み出し命令-0x11 のアクセスタイミング .....	27
図 5-12 ID Code(0x0000581B)読み出し際のデータレジスタのアクセスタイミング .....	27
図 5-13 SRAM コンフィギュレーションプロセス .....	29
図 5-14 SRAM 読み出しプロセス .....	31
図 5-15 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート .....	38
図 5-16 デイジーチェーンの接続図 .....	40
図 5-17 SSPI コンフィギュレーションモードのタイミング図 .....	42
図 18 ID Code の読み出しのタイミング図 .....	44
図 5-19 Write Enable(0x15)タイミング説明図 .....	44
図 5-20 Write Disable (0x3A00)のタイミング図 .....	44
図 5-21 Write Data(0x3B)のタイミング図 .....	45
図 5-22 SSPI コンフィギュレーションモードの接続説明図 .....	47
図 5-23 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図 .....	47
図 5-24 SSPI モードでの Flash プログラミングのフローチャート .....	48
図 5-25 複数 FPGA の接続図 1 .....	48
図 5-26 複数 FPGA の接続図 2 .....	49
図 5-27 QSSPI Write Data (0x6B) のタイミング図 .....	50
図 5-28 QSSPI モードでの SRAM のコンフィギュレーションプロセス .....	51

図 5-29 CPU コンフィギュレーションモードの接続説明図 .....	53
図 5-30 CPU モードのコンフィギュレーションタイミング .....	54
図 5-31 SERIAL コンフィギュレーションモードの接続説明図 .....	55
図 5-32 SERIAL コンフィギュレーションモードのタイミング図.....	55
図 5-33 I <sup>2</sup> C コンフィギュレーションモードの接続図 .....	57
図 5-34 I <sup>2</sup> C コンフィギュレーションモードのタイミング図.....	57
図 5-35 Reinit のタイミング図 .....	59
図 5-36 SRAM コンフィギュレーションのタイミング図 .....	59
図 5-37 Flash コンフィギュレーションのタイミング図 .....	60
図 6-1 構成オプション .....	62
図 6-2 暗号化キーの設定方法 .....	63
図 6-3 復号化キーの設定方法 .....	64
図 6-4 AES プログラミングのダイアログ .....	65
図 6-5 Prepare.....	66
図 6-6 Read AES Key Flow .....	67
図 6-7 Program AES Key Flow.....	68
図 6-8 Lock AES Key Flow .....	69
図 6-9 ビットストリーム形式の生成 .....	70
図 8-1 バウンダリスキャンの操作説明図 .....	76

# 表一覧

表 1-1 用語、略語 .....	2
表 2-1 用語の説明 .....	4
表 3-1 コンフィギュレーションモード .....	7
表 4-1 コンフィギュレーションピンのリスト .....	9
表 4-2 コンフィギュレーションピンの多重化オプション .....	10
表 4-3 ピンの機能 .....	12
表 5-1 GW2AN-18X/9X FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ .....	20
表 5-2 JTAG コンフィギュレーションモードのピンの定義 .....	21
表 5-3 JTAG コンフィギュレーションモードのタイミングパラメータ .....	23
表 5-4 Gowin の一部の FPGA 製品の IDCODE .....	26
表 5-5 命令送信中の TDI と TMS 値の変化.....	26
表 5-6 各デバイスの SRAM アドレス数とアドレス長さ .....	30
表 5-7 ピンの状態 .....	38
表 5-8 Status Register の意味.....	39
表 5-9 SSPI コンフィギュレーションモードのピン .....	41
表 5-10 SSPI コンフィギュレーションモードのタイミングパラメータ .....	42
表 5-11 コンフィギュレーション命令 .....	43
表 5-12 QSSPI モードのピン .....	49
表 5-13 CPU モードのピン .....	52
表 5-14 SERIAL コンフィギュレーションモードのピンの定義 .....	54
表 5-15 SERIAL コンフィギュレーションモードのタイミングパラメータ .....	55
表 5-16 I <sup>2</sup> C コンフィギュレーションモードのピンの定義 .....	56
表 5-17 I <sup>2</sup> C コンフィギュレーションモードのタイミングパラメータ .....	57
表 5-18 I <sup>2</sup> C コンフィギュレーションモードの周波数およびアドレス .....	58
表 5-19 I <sup>2</sup> C コンフィギュレーション命令.....	59
表 6-1 Gowin GW2AN-18X/9X FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)..	70
表 6-2 AUTO BOOT モードでのデータストリームファイルのロード時間 .....	71



# 1 本マニュアルについて

## 1.1 マニュアル内容

本マニュアルは、主に Gowin セミコンダクターの Arora ファミリーの GW2AN-18X/9X FPGA 製品のプログラミング・コンフィギュレーションに関する汎用特性及び機能について説明し、ユーザーが Gowin FPGA 製品を使いこなせるように作成されています。

## 1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-18X & 9X FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG973](#))
- GW2AN-18X デバイス Pinout([UG972](#))
- GW2AN-9X デバイス Pinout([UG978](#))

## 1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	説明
LUT	Look-up Table	ルックアップテーブル
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
SRAM	Static Random Access Memory	スタティック RAM
MSPI	Master Serial Peripheral Interface	マスター・シリアル・ペリフェラル・インターフェース
SSPI	Slave Serial Peripheral Interface	スレーブ・シリアル・ペリフェラル・インターフェース
CPU	Central Processing Unit	中央処理装置
IEEE	Institute of Electrical and Electronics Engineers	米国電気電子学会
ID	Identification	ID 標識番号
CRC	Cyclic Redundancy Check	巡回冗長検査
FS file	Fuses file	コンフィギュレーションデータを含む ASCII ファイル
Configuration	Configuration	FPGA SRAM エリアをコンフィギュレーションするプロセス
Configuration Data	Configuration Data	FPGA SRAM をコンフィギュレーションするデータ
Bitstream	Bitstream Data	FPGA SRAM をコンフィギュレーションするデータ
Configuration Mode	Configuration Mode	Configuration Data ソースを決定するコンフィギュレーションモード
EFash/EmbFlash	Embedded Flash	FPGA のオンチップ Flash
Internal Flash	Internal Flash	Embedded Flash と同じ
Programming	Programming	Configuration Data をオンチップ Flash またはオフチップ Flash にロードするプロセス
Edit Mode	Edit Mode	FPGA はコンフィギュレーションモードまたはプログラミングモードになっていることを示します

用語、略語	正式名称	説明
User Mode	User Mode	FPGA がコンフィギュレーションまたはプログラミングを完了後、ロジック機能を実行するモード
Background Programming	Embedded Flash Background Programming	FPGA の動作と I/O ステータスに影響を与えずに、オンチップ Flash のデータストリームファイルを更新することを指します。
LSB	Least Significant Bit	最下位ビット(優先)
MSB	Most Significant Bit	最上位ビット(優先)
TAP	Test Access Port	テストアクセスポート
Security Bit	Security Bit	セキュリティビット(SRAM のリードバックを High にする)
Bscan	Boundary Scan	バウンダリスキャンテスト技術
I2C (I <sup>2</sup> C、IIC)	Inter-Integrated Circuits	I2C バス
SCL	Serial Clock	I2C クロック
SDA	Serial Data	I2C データ

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 用語の説明

本章は、主に **GOWIN** セミコンダクター **FPGA** 製品のプログラミング・コンフィギュレーションでよく使用される一般的な用語について説明します。

表 2-1 用語の説明

用語	意味
プログラミング(Program)	Gowin ソフトウェアが生成するビットストリームデータを、 <b>FPGA</b> オンチップ <b>Flash</b> または <b>FPGA</b> と接続するオフチップ <b>SPI Flash</b> に書き込むプロセスです。
コンフィギュレーション (Configure)	Gowin ソフトウェアが生成するビットストリームデータを、オフチップ <b>Flash</b> またはオンチップ <b>Flash</b> から、 <b>FPGA</b> の <b>SRAM</b> に読み込むプロセスです。
GowinCONFIG	汎用 <b>JTAG</b> コンフィギュレーションモードに加えて、 <b>GOWIN</b> セミコンダクター <b>FPGA</b> 製品がサポートするその他のコンフィギュレーションモードには、 <b>AUTO BOOT</b> コンフィギュレーション、 <b>DUAL BOOT</b> コンフィギュレーション、 <b>MSPI</b> コンフィギュレーション、 <b>SSPI</b> コンフィギュレーション、 <b>SERIAL</b> コンフィギュレーション、および <b>CPU</b> コンフィギュレーションがあります。各デバイスがサポートする <b>GowinCONFIG</b> コンフィギュレーションモードの数は、デバイス型番とパッケージタイプによって異なります。
MODE[1:0]	2 つのモードを表します。
AUTO BOOT	<b>FPGA</b> はオンチップ <b>Flash</b> からコンフィギュレーションデータを読み出してコンフィギュレーションを行います。このモードをサポートするのは不揮発性デバイスのみです。
SSPI コンフィギュレーション	<b>FPGA</b> をスレーブ(slave)として、外部マスターが <b>SPI</b> インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
QSSPI コンフィギュレーション	<b>FPGA</b> をスレーブ(slave)として、外部マスターが <b>QSPI</b> インターフェースを介してビットストリームデータを書き込んで

用語	意味
	コンフィギュレーションします。
SERIAL コンフィギュレーション	FPGA をスレーブ(slave)として、外部マスターがシリアルインターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
CPU コンフィギュレーション	FPGA をスレーブ(slave)として、外部マスターがパラレルインターフェース(8-bit)を介してビットストリームデータを書き込んでコンフィギュレーションします。
I <sup>2</sup> C の構成	FPGA をスレーブ(slave)として、外部マスターが I <sup>2</sup> C インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
リモートアップグレード	ユーザーのアプリケーションシナリオの一つです。つまり FPGA が動作を開始した後、アップロードしたい場合、まずリモート操作でビットストリームデータをオフチップ Flash に書き込み、RECONFIG_N をトリガするかまたは再パワーアップして FPGA にオフチップ Flash からデータを読み出させてコンフィギュレーションします。
デイジーチェーン	FPGA デバイスを直列に接続する方法。接続順にチェーンの先頭からデバイスをコンフィギュレーションでき、データは隣接デバイス間でのみ転送できます。
ユーザーモード(User Mode)	FPGA のコンフィギュレーションが完了した後、制御がユーザーに渡されることを指します。コンフィギュレーションピンを通常の I/O に多重化する設定は、ユーザーモードでのみ有効です。
編集モード(Edit Mode)	デバイスをプログラミング・コンフィギュレーションできるモードです。 編集モードのすべてのコンフィギュレーションピンを通常の I/O として使用することはできません。また、すべての通常ピンの出力は高インピーダンスです(トランスペアレント伝送を除く)。
ID CODE	GOWIN セミコンダクターFPGA デバイスの ID 標識です。各シリーズのデバイスには独立した番号があります。
USER CODE	ユーザーの FPGA デバイスの ID で、Gowin プログラミングソフトウェアを介して最大 32 ビットまでデバイスに書き込むことができます。
セキュリティビット (Security Bit)	GOWIN セミコンダクターが FPGA 製品のコンフィギュレーションデータを保護するために設定されたものです。ユーザーがデバイスの SRAM にセキュリティビット設定済みのビットストリームデータを書き込んだ後は、だれもデータをリードバックできません。デフォルトでは、Gowin ソフトウェアはすべての FPGA 製品のビットストリームデータのためにセキュリティビットを設定しています。
暗号化(Encryption)	Arora ファミリーの FPGA 製品でサポートされる機能です。暗号化されたビットストリームが FPGA に書き込まれると、

用語	意味
	デバイスはそれを事前に保存されているキーと自動的に照合し、照合が成功すると復号化してデバイスを起動します。

# 3 コンフィギュレーションモード

JTAG モードのほか、Arora ファミリーFPGA 製品は GOWIN 独自の GowinCONFIG モードもサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージ形式によって異なります。デバイスはビットストリームデータ暗号化とセキュリティビット設定をサポートするので、安全性が高いです。Arora ファミリーFPGA 製品はビットストリームデータの圧縮・解凍をサポートしており、ユーザーはビットストリームデータを圧縮することでメモリ領域を節約することができます。

Gowin の GW2AN-18X/9X FPGA 製品は、16M ビットのシリアル Flash (Quad SPI 付き) メモリを内蔵しており、最大 100MHz の Quad SPI コンフィギュレーションモードと Fixed-Address GODEN-IMAGE モードをサポートします。

GW2AN-18X/9X FPGA 製品がサポートするコンフィギュレーションモードは、表 3-1 に示す通りです。

表 3-1 コンフィギュレーションモード

コンフィギュレーションモード		MODE[1:0] <sup>[1]</sup>	説明
JTAG		XX <sup>[2]</sup>	外部 Host は JTAG インターフェースを介して、FPGA 製品をコンフィギュレーションします。最大周波数は 62.5MHz です。
GowinCONFIG	MSPI	00	FPGA は Master として、SPI インターフェースを介してオンチップ Flash からコンフィギュレーションデータを読み出して、コンフィギュレーションします。最大周波数は 100MHz です。
	Autoboot	01	FPGA は Master として、QSPI インターフェースを介してオンチップ Flash からコンフィギュレーションデータを読み

コンフィギュレーションモード		MODE[1:0] <sup>[1]</sup>	説明
			出して、コンフィギュレーションします。 <b>GOLDEN IMAGE</b> をサポートします。最大周波数は <b>100MHz</b> です。
	SSPI	0X <sup>[3]</sup>	<b>Autoboot</b> または <b>MSPI</b> が完了すると、自動的にサポートされます。外部 <b>Host</b> は <b>SPI</b> インターフェースを介して、 <b>FPGA</b> 製品をコンフィギュレーションします。最大周波数は <b>100MHz</b> です。
	QSSPI		<b>Autoboot</b> または <b>MSPI</b> が完了すると、自動的にサポートされます。外部 <b>Host</b> は <b>QSPI</b> インターフェースを介して、 <b>FPGA</b> 製品をコンフィギュレーションします。最大周波数は <b>100MHz</b> です。
	I <sup>2</sup> C		<b>Autoboot</b> または <b>MSPI</b> が完了すると、自動的にサポートされます。外部 <b>Host</b> は <b>I<sup>2</sup>C</b> インターフェースを介して、 <b>FPGA</b> 製品をコンフィギュレーションします。サポートされる周波数範囲は <b>100KHz～555KHz</b> です。
	SERIAL <sup>[4]</sup>	10	外部 <b>Host</b> は <b>DIN</b> インターフェースを介して、 <b>FPGA</b> 製品をコンフィギュレーションします。
	CPU <sup>[4]</sup>	11	外部 <b>Host</b> は <b>DBUS</b> インターフェースを介して、 <b>FPGA</b> 製品をコンフィギュレーションします。

## 注記：

- [1] MODE ピンが完全にボンディングされていない場合、ボンディングされていない MODE の値については、対応するパッケージの **pinout** マニュアルを参照してください。
- [2] JTAG コンフィギュレーションモードは **MODE[1:0]** 入力値とは関係ありません。
- [3] SSPI コンフィギュレーションモードは **MODE[0]** 入力値とは関係ありません。
- [4] CPU コンフィギュレーションモードと **SERIAL** コンフィギュレーションモードでは **SCLK**、**WE\_N**、および **CLKHOLD\_N** ピンを共有し、CPU コンフィギュレーションモードと **MSPI** および **SSPI** コンフィギュレーションモードはデータバスピンを共有します。

## 注記：

コンフィギュレーションピン、コンフィギュレーションピンの多重化およびコンフィギュレーションピンの機能・アプリケーションについては、**4** コンフィギュレーションピンを参照してください。



# 4 コンフィギュレーションピン

Gowin FPGA 製品は、汎用 JTAG コンフィギュレーション、マスターコンフィギュレーション、スレーブコンフィギュレーション、シリアルコンフィギュレーション、パラレルコンフィギュレーションなど、ユーザーの多様なニーズを満たすさまざまなコンフィギュレーションモードをサポートします。プログラミング・コンフィギュレーションに関連するピンは、必要に応じてコンフィギュレーション用または通常の I/O に設定することができます。さらに、ユーザーは必要に応じてコンフィギュレーションピンを利用して特別な機能を実現することもできます。

## 4.1 コンフィギュレーションピンのリストおよび多重化オプション

### 4.1.1 コンフィギュレーションピンのリスト

表 4-1 には、GOWIN セミコンダクターFPGA 製品のすべてのコンフィギュレーション関連のピンと、各コンフィギュレーションモードで使用されるピンおよびチップパッケージングでのピン共有が示されています。

表 4-1 コンフィギュレーションピンのリスト

ピン名	I/O タイプ	JTAG	GowinCONFIG					
			AUTO BOOT	I <sup>2</sup> C	SSPI	QSSPI	SERIAL	CPU
RECONFIG_N	I	Yes	Yes	Yes	Yes	Yes	Yes	Yes
JTAGSEL_N	I	Yes						
TDO	O	Yes						
TMS	I	Yes						
TCK	I	Yes						
TDI	I	Yes						
READY	I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes

ピン名	I/O タイプ	JTAG	GowinCONFIG					
			AUTO BOOT	I <sup>2</sup> C	SSPI	QSSPI	SERIAL	CPU
DONE	I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes
MODE[1:0]	I		Yes	Yes	Yes	Yes	Yes	Yes
SCLK	I				Yes	Yes	Yes	Yes
CLKHOLD_N/DIN	I				Yes	Yes	Yes	Yes
WE_N/DOUT	O					Yes	Yes	Yes
D7	I/O							Yes
D6	I/O							Yes
D5	I/O							Yes
D4	I/O							Yes
FASTRD_N/D3	I/O							Yes
SI/D2	I/O				Yes	Yes		Yes
SO/D1	I/O				Yes	Yes		Yes
SSPI_CS_N/D0	I/O				Yes	Yes		Yes
SCL	I			Yes				
SDA	I/O			Yes				

注記：

- サポートされるコンフィギュレーションモードはデバイスとパッケージによって異なります。詳細については、3 コンフィギュレーションモードを参照してください。
- 各コンフィギュレーションモードでの各ピンの定義については、5 コンフィギュレーションモードを参照してください。

## 4.1.2 ピンの多重化

I/O を最大限に利用するために、GOWIN セミコンダクターFPGA 製品はコンフィギュレーションピンを通常の I/O に設定することをサポートします。すべてのシリーズの FPGA では、パワーアップ後、コンフィギュレーション関連ピンはコンフィギュレーションされるまでデフォルトでコンフィギュレーションピンとして使用されます。コンフィギュレーションが成功すると、デバイスはユーザーモードに入り、ユーザーが選択した多重化オプションに従ってピンの機能を再割り当てます。

注記：

ユーザーがピン多重化オプションを設定するとき、ピンの外部初期接続状態がデバイスコンフィギュレーションに影響を及ぼさないようにすることが必要です。コンフィギュレーションに影響を与える接続の場合は、分離処理を実行してユーザーモードで変更する必要があります。

コンフィギュレーションピンの多重化オプションは表 4-2 に示すとおりです。

表 4-2 コンフィギュレーションピンの多重化オプション

名称	オプション	説明
JTAG PORT	デフォルト状態	TMS、TCK、TDI、および TDO は専用のコ

名称	オプション	説明
		ンフィギュレーションピンとして使用されます。 JTAGSEL_N は GPIO として使用されます。
	通常の I/O に構成	JTAGSEL_N は専用のコンフィギュレーションピンとして使用されます： <ul style="list-style-type: none"> <li>● JTAGSEL_N=0 の場合、TMS,TCK,TDI,TDO はコンフィギュレーションピンとして使用されます。</li> <li>● JTAGSEL_N=1 の場合、TMS,TCK,TDI,TDO はコンフィギュレーション終了後 GPIO として使用されます。</li> </ul>
I <sup>2</sup> C PORT	デフォルト状態	SCL と SDA は、専用のコンフィギュレーションピンとして使用されます。
	通常の I/O に構成	SCL と SDA は、コンフィギュレーション終了後 GPIO として使用されます。
SSPI PORT	デフォルト状態	SCLK, CLKHOLD_N, SSPI_CS_N, SI および SO は専用のコンフィギュレーションピンとして使用されます。
	通常の I/O に構成	SCLK, CLKHOLD_N, SSPI_CS_N, SI および SO はコンフィギュレーション終了後 GPIO として使用されます。
QSSPI PORT	デフォルト状態	SCLK, CLKHOLD_N, SSPI_CS_N, SI と SO、および QSSPI_WPN は、専用のコンフィギュレーションピンとして使用されます。
	通常の I/O に構成	SCLK, CLKHOLD_N, SSPI_CS_N, SI と SO、および QSSPI_WPN は、コンフィギュレーション終了後 GPIO として使用されます。
RECONFIG_N	デフォルト状態	専用のコンフィギュレーションピン
	通常の I/O に構成	コンフィギュレーション終了後 GPIO として使用されます。
READY	デフォルト状態	専用のコンフィギュレーションピン
	通常の I/O に構成	コンフィギュレーション終了後 GPIO として使用されます。
DONE	デフォルト状態	専用のコンフィギュレーションピン
	通常の I/O に構成	コンフィギュレーション終了後 GPIO として使用されます。

## 注記：

- [1] JTAGSEL\_N がボンディングされていないデバイスの場合、JTAG ピンの多重化をデバッグするときは、他のビットストリームデータがコンフィギュレーションに影響を与えないように、パワーアップ前の MODE 値が FPGA をコンフィギュレーションする MODE 値でないことを確認することを推奨します。電源投入後にユーザーが手動で JTAG コンフィギュレーションを実行すると、デバイスはユーザーモードになり、JTAG ピンが GPIO になります。

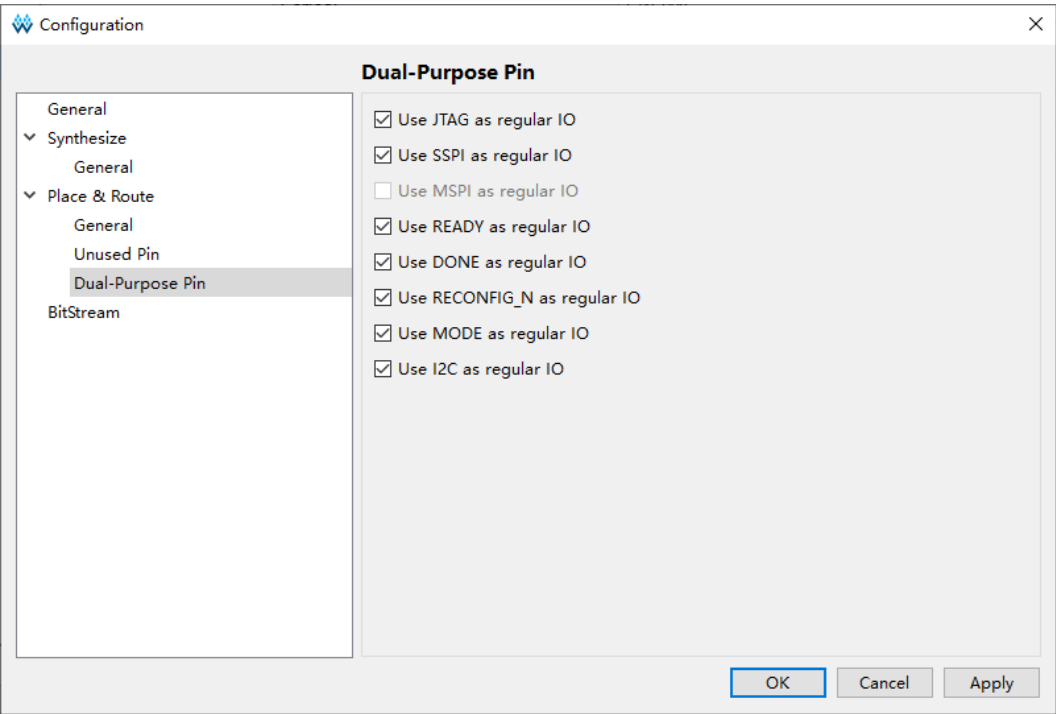
- [2] SERIAL と CPU コンフィギュレーションモードは他のコンフィギュレーションモードとピンを共有しているため、別々に GPIO に設定することはできませんが、非共有コンフィギュレーションモードでは GPIO に設定することができます。

ピンの多重化

Gowin ソフトウェアでピンの多重化を設定できます。

1. Gowin ソフトウェア内でプロジェクトを開きます。
2. メニューバーで、“Project > Configuration > Dual-Purpose Pin” を選択します(図 4-1)。
3. 対応するオプションにチェックを入れてピンの多重化を設定します。

図 4-1 ピンの多重化



4.2 コンフィギュレーションピンの機能とアプリケーション

RECONFIG\_N、READY、および DONE ピンは、各モードで使用されるピンです。他のコンフィギュレーションピンは、アプリケーションに応じて、専用のコンフィギュレーションピンまたは通常のピンに設定できます。

表 4-3 ピンの機能

ピン名	機能の説明
RECONFIG_N	コンフィギュレーションピンとして使用される場合、RECONFIG_N は内部の弱いプルアップを持つ入力ピンです。RECONFIG_N は、アクティブ Low であり、FPGA プログラミング・コンフィギュレーションのリセットのような機能を実現します。RECONFIG_N が Low にプルダウンされる時、FPGA はコンフィギュレーションできなくなります。FPGA のパワーアップ中は High レベルを維持する必要があり、電源が 1 ミリ秒間安定した後解放できます。

ピン名	機能の説明
	<p>コンフィギュレーションピンとして使用される場合、1つのパルス幅が <b>25ns</b> 以上の <b>Low</b> レベルで <b>GowinCONFIG</b> コンフィギュレーションモードを起動し、デバイスの <b>MODE</b> 設定値に従ってビットストリームデータをリロードする必要があります。また、ユーザーは、ロジックのプログラミングにより、このピンのトリガ条件をカスタマイズできます。<b>GPIO</b> として使用される場合は、出力にのみ使用できます。コンフィギュレーションを成功させるには、多重化するとき <b>RECONFIG_N</b> の初期値を <b>High</b> にする必要があります。</p>
<b>READY</b>	<p><b>inout</b> ピン。<b>READY</b> はアクティブ <b>High</b> であり、<b>High</b> にプルアップされた場合にのみ <b>FPGA</b> はコンフィギュレーションできます。<b>READY</b> が <b>Low</b> にプルダウンされた後は、その状態を回復するには、デバイスのパワーアップまたは <b>RECONFIG_N</b> のトリガが必要です。</p> <p>コンフィギュレーションピンとして使用される場合、出力ピンの場合、現在 <b>FPGA</b> をコンフィギュレーションできるかどうかを示すことができます。コンフィギュレーション条件が満たされると、<b>READY</b> 信号が <b>High</b> になります。コンフィギュレーションが失敗した場合、<b>READY</b> 信号が <b>Low</b> になります。入力タイプの場合、ユーザーは <b>READY</b> 信号を意図的に <b>Low</b> にプルダウンして、コンフィギュレーションプロセスを遅延させることができます。</p> <p><b>GPIO</b> として使用される場合は、<b>input</b> タイプまたは <b>output</b> タイプとして使用できます。<b>GPIO</b> 入力として使用する場合、コンフィギュレーションする前に <b>READY</b> の初期値を <b>1</b> にする必要があります。そうしないと <b>FPGA</b> をコンフィギュレーションできません。</p>
<b>DONE</b>	<p><b>inout</b> ピン。<b>DONE</b> は、<b>FPGA</b> コンフィギュレーションの成功を示す信号で、コンフィギュレーションが成功したら、<b>DONE</b> 信号は <b>High</b> にプルアップされます。</p> <p>コンフィギュレーションピンとして使用される場合、出力ピンの場合、<b>FPGA</b> のコンフィギュレーションが成功したかどうかを示すことができます。コンフィギュレーションが成功した場合、<b>DONE</b> 信号は <b>High</b> になり、デバイスは動作状態になります。コンフィギュレーションプロセスが未完成またはコンフィギュレーションが失敗した場合、<b>DONE</b> 信号は <b>Low</b> のままになります。入力タイプの場合、ユーザーは <b>DONE</b> 信号を意図的に <b>Low</b> にプルダウンして、ユーザーモードへのエントリを遅らせることができます。<b>RECONFIG_N</b> または <b>READY</b> が <b>Low</b> のままである場合、<b>DONE</b> 信号も <b>Low</b> のままになります。<b>JTAG</b> 回路を使用して <b>SRAM</b> をコンフィギュレーションする場合、<b>DONE</b> 信号を無視してください。</p> <p><b>GPIO</b> として使用される場合は、<b>input</b> タイプまたは <b>output</b> タイプとして使用できます。<b>GPIO</b> 入力として使用する場合、コンフィギュレーションする前に <b>DONE</b> の初期値を <b>1</b> にする必要があります。そうしないと <b>FPGA</b> はコンフィギュレーションの終了後にユーザーモードに入ることができません。</p>

ピン名	機能の説明
<b>MODE</b>	<p><b>GowinCONFIG</b> モード選択信号 <b>GowinCONFIG</b> モードの選択ピンとして、<b>MODE</b> は内部の弱いプルダウンを持つ入力ピンです。最大ビット幅は2ビットです。<b>FPGA</b> がパワーアップまたは <b>Low</b> レベルパルスが <b>RECONFIG_N</b> をトリガすると、デバイスは <b>MODE</b> 値に従って対応する <b>GowinCONFIG</b> 状態に入ります。<b>GOWIN</b> セミコンダクターの各 <b>FPGA</b> 製品シリーズの <b>MODE</b> 値に対応するコンフィギュレーションモードは多少異なります。パッケージによっては、<b>MODE</b> ピンが完全にボンディングされていないことがあります。ボンディングされていない <b>MODE</b> ピンは、デバイス内で接地されています。詳しくは、対応するデバイスの <b>Pinout</b> マニュアルを参照してください。</p> <p><b>MODE</b> を <b>GPIO</b> として使用する場合は、<b>input</b> タイプまたは <b>output</b> タイプとして使用できます。</p> <p><b>MODE</b> 値が変わった場合は、それを有効にするために再パワーアップするか、または <b>Low</b> レベルで <b>RECONFIG_N</b> をトリガする必要があります。</p>
<b>JTAGSEL_N</b>	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。<b>Gowin</b> ソフトウェアで <b>JTAG</b> ピンを <b>GPIO</b> として多重化するように設定した場合、パワーアップして正常にコンフィギュレーションした後、<b>JTAG</b> ピンは <b>GPIO</b> になり、<b>JTAG</b> のコンフィギュレーション機能は無効になります。ユーザーは <b>JTAGSEL_N</b> 信号を <b>Low</b> にプルダウンすることによって復元できます。ユーザーが <b>JTAG</b> ピンの多重化を設定していない場合には、<b>JTAG</b> のコンフィギュレーション機能が常に使用できます。<b>GPIO</b> として使用される場合は、<b>input</b> タイプまたは <b>output</b> タイプとして使用できます。</p> <p><b>注記：</b>  <b>GPIO</b> の場合、<b>JTAGSEL_N</b> ピンと <b>JTAG</b> の4ピン(<b>TCK</b>、<b>TMS</b>、<b>TDI</b>、<b>TDO</b>) は相互に排他的なピンです：<b>JTAGSEL_N</b> が <b>GPIO</b> に設定された場合、<b>JTAG</b> ピンはコンフィギュレーションピンとしてのみ使用できます。<b>JTAG</b> が <b>GPIO</b> に設定された場合、<b>JTAGSEL_N</b> ピンはコンフィギュレーションピンとしてのみ使用できます。</p>
<b>TCK</b>	<p>コンフィギュレーションピンとして使用される場合、入力ピンです。<b>JTAG</b> モードにおけるシリアルクロック入力ピンです。<b>GPIO</b> として使用される場合は、<b>input</b> タイプまたは <b>output</b> タイプとして使用できます。</p>
<b>TMS</b>	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p> <p><b>JTAG</b> モードにおけるシリアルモード入力ピンです。<b>GPIO</b> として使用される場合は、<b>input</b> タイプまたは <b>output</b> タイプとして使用できます。</p>
<b>TDI</b>	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p>

ピン名	機能の説明
	JTAG モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>TDO</b>	コンフィギュレーションピンとして使用される場合、出力ピンです。JTAG モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>SCLK</b>	コンフィギュレーションピンとして使用される場合、入力ピンです。SSPI、SERIAL および CPU モードにおけるクロック入力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>CLKHOLD_N</b>	コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。 SSPI と CPU モードにおけるクロックロックピン : High レベル入力 で SCLK に対応する操作が有効になり、Low レベル入力 で SCLK に対応する操作が無効になります。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>SSPI_CS_N</b>	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。SSPI モードにおけるチップセレクト信号で、アクティブ Low。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>SI</b>	コンフィギュレーションピンとして使用される場合、入力ピンです。SSPI モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>SO</b>	コンフィギュレーションピンとして使用される場合、出力ピンです。SSPI モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>QSSPI_WPN</b>	コンフィギュレーションピンとして使用される場合、出力ピンです。QSSPI モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>FASTRD_N</b>	コンフィギュレーションピンとして使用される場合、入力ピンです。MSPI コンフィギュレーションモードでは、SPI フラッシュ速度選択信号が読み出されます : FASTRD_N がハイの場合は通常の読み出しモード(命令 0x03)、FASTRD_N がローの場合は高速読み出しモードです。詳細については対応するフラッシュメモリのデータシートを参照してください。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>WE_N</b>	コンフィギュレーションピンとして使用される場合、入力ピンです。CPU コンフィギュレーションモードの読み出し/書き込みイネーブル信号選択ピン : WE_N がハイの場合は読み出し、WE_N がローの

ピン名	機能の説明
	場合は書き込みです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>D0~D7</b>	inout ピン。 CPU コンフィギュレーションモードにおけるデータ入出力ピン (8-bit) です。D0~D7 の入出力方向は、WE_N の値によって決まります。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>DIN</b>	コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。 SERIAL モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>DOUT</b>	コンフィギュレーションピンとして使用される場合、出力ピンです。 SERIAL コンフィギュレーションモードのシリアルデータ出力ピンで、FPGA がカスケード接続されている場合にのみ後者のデバイスへの入力として使用されます。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
<b>SCL</b>	コンフィギュレーションピンとして使用される場合、入力ピンです。 GPIO として使用される場合は、入力タイプとしてのみ使用できます。
<b>SDA</b>	コンフィギュレーションピンとして使用される場合、入力/出力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。



# 5 コンフィギュレーションモード

Gowin GW2AN-18X/9X FPGA 製品は、オンチップ Flash を持つ不揮発性デバイスです。SRAM プロセスをベースにしたデバイスの内部コンフィギュレーションデータは、パワーダウンすると失われるので、パワーアップ後に再コンフィギュレーションする必要があります。オンチップ Flash を備えた不揮発性デバイスは、パワーダウン後もデータはチップに保存されるので、デバイスは、再パワーアップ時に **AUTO BOOT** コンフィギュレーションまたは **DUAL BOOT** コンフィギュレーションによって自動的に再コンフィギュレーションできます。

各パッケージでサポートされているコンフィギュレーションモードは、ボンディングされているコンフィギュレーションピンの数に関連しています：すべてのデバイスが汎用の **JTAG** コンフィギュレーションをサポートし、各コンフィギュレーションモードの **MODE** 値は異なります。

## 5.1 コンフィギュレーションの注意事項

### パワーアップおよびコンフィギュレーションの手順

FPGA の **VCC**、**VCCIO**、および **VCCX** 電源電圧が最小電源振幅を満たすと、FPGA は起動プロセスに入ります。電圧は安定しており、**RECONFIG\_N** は外部回路によってプルダウンされていません> FPGA 内部回路は **READY** および **DONE** ピンをプルダウン> FPGA を初期化> **READY** はプルをプルアップして、**MODE** 値をサンプリング>コンフィギュレーションモードに従ってコンフィギュレーションデータを読み出し、検証> FPGA をウェイクアップ> **DONE** をプルアップ>ユーザーモードに入ります。

FPGA のスタートアッププロセス中は、電源を安定させる必要があります。FPGA の電源安定後の 1ms 以内、および FPGA の初期化中、**RECONFIG\_N** ピンをプルダウンしてはなりません。ユーザーは **RECONFIG\_N** ピンをフローティングのままにするか、外部からプルアップすることができます。FPGA がウェイクアップされるまで、すべての通常の I/O 出力は高インピーダンスです。

コンフィギュレーションデータの格納場所と命令の対象位置によって、Gowin GW2AN-18X/9X FPGA 製品の操作には、SRAM に対する操作と、オンチップ Flash に対する操作があります。

### SRAM に対する操作

SRAM の操作には、デバイスの ID CODE と USER CODE の読み出し、デバイスのステータスレジスタの情報の読み出し、および SRAM のコンフィギュレーションが含まれます。デバイス ID はコンフィギュレーション前に確認する必要があります。USER CODE は ID CODE を共有するデバイスを区別するために使用されます。デバイスのステータスレジスタには FPGA のコンフィギュレーション前後のステータス情報が記録され、ユーザーはこの情報を使用してデバイスのステータスを分析することができます。ステータスレジスタの意味については表 5-11 を参照してください。SRAM コンフィギュレーション中の検証をサポートします。セキュリティビットのあるデータはリードバックまたは検証できません。

### オンチップ Flash 操作

オンチップ Flash に対する操作には、消去、プログラミング、および検証などがあります。オンチップ Flash は JTAG、SSPI、QSSPI、I<sup>2</sup>C などのインターフェース経由で操作でき、JTAG クロック周波数は 65MHz 以下、SSPI、QSSPI クロック周波数は 100MHz 以下、I<sup>2</sup>C クロック周波数は 100KHz～555KHz です。

すべてのインターフェースモードは、トランスペアレント伝送という機能をサポートします。つまり、デバイスは、現在の動作状態に影響を与えることなく、オンチップ Flash をプログラムできます。プログラミング中、デバイスは以前のコンフィギュレーションに従って動作可能です。プログラミングが完了したら、Low レベルで RECONFIG\_N をトリガするか、RECONFIG 命令を送信してオンラインアップグレードを実行します。この機能は、オンライン時間が長く、定期的にアップグレードされないアプリケーションに適用されます。

### ピンの多重化

異なるコンフィギュレーションモードを使用する場合、ユーザーはコンフィギュレーションピン機能によって FPGA が選択されたコンフィギュレーションモードで動作することを確認する必要があります。ピンが足りない場合、これらのピンは他の接続方法で柔軟に処理し、データ伝送に関連するピンのみを保持します。MODE[1 : 0]は GowinCONFIG のプログラミング・コンフィギュレーションモードを選択するために使用され、モードを変更する必要がない場合は、プルアップ抵抗またはプルダウン抵抗を使用して特定のモードに固定できます。プルアップ抵抗の場合、4.7K を推奨し、プルダウン抵抗の場合、1K を推奨します。

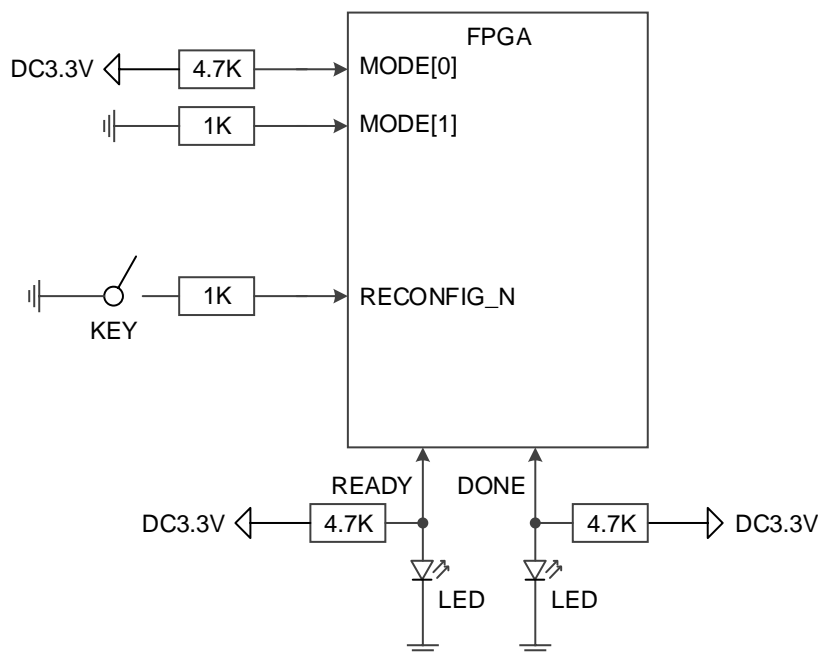
注記：

RECONFIG\_N、READY、および DONE ピンは各コンフィギュレーションモードに関連付けられており、ユーザーがそれらを GPIO に設定するかどうかにかかわらず、コンフィギュレーション操作が完了する前に、初期値またはピン接続状態がプログラミング・コンフィギュレーション条件を満たす必要があります。

### 推奨されるピン接続

推奨されるピン接続は図 5-1 に示すとおりです。

図 5-1 推奨されるピン接続



#### 注記：

- ユーザーが **MODE** 値を変更したいときは、ダイヤルスイッチを追加することができます。いくつかのデバイスは **MODE** ピンが完全にボンディングされておらず、ボンディングされていない **MODE** ピンについては、GW2AN-18X デバイス Pinout([UG972](#)) および GW2AN-9X デバイス Pinout([UG978](#))を参照してください。
- JTAG 回路を介してコンフィギュレーションする場合、**READY** 信号と **DONE** 信号を無視してください。
- ボンディングされていない **RECONFIG\_N**、**READY**、および **DONE** ピンは内部で処理され、コンフィギュレーションに影響を与えません。

### 再パワーアップおよび Low レベルで RECONFIG\_N をトリガするタイミング図

再パワーアップおよび Low レベルで RECONFIG\_N をトリガするタイミング図は、図 5-2 と図 5-3 に示すとおりです。

図 5-2 再パワーアップのタイミング図

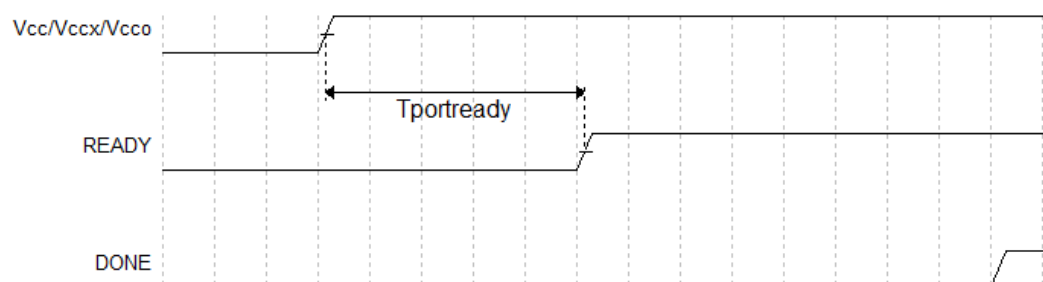
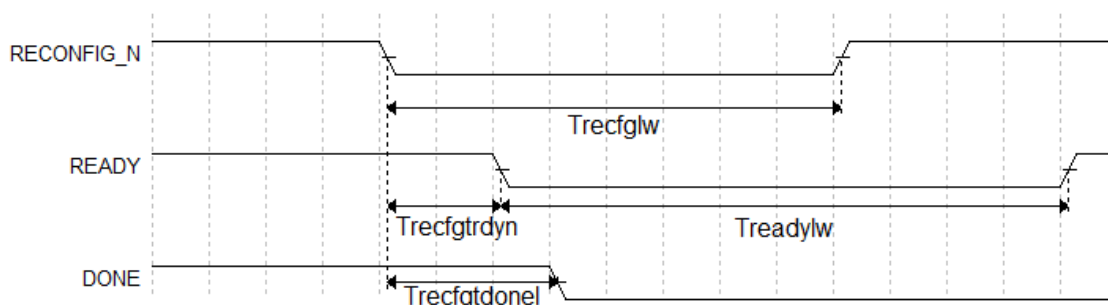


図 5-3 トリガのタイミング図



Arora ファミリーFPGA 製品に関連するタイミングパラメータは、表 5-1 に示すとおりです。

表 5-1 GW2AN-18X/9X FPGA 製品の再パワーアップと RECONFIG\_N トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T <sub>portready</sub>	パワーアップ条件を満たす時から立ち上がりエッジに至るまでの時間(Time from application of V <sub>cc</sub> , V <sub>ccx</sub> and V <sub>cco</sub> to the rising edge of READY)	-	23ms
T <sub>recfglw</sub>	RECONFIG_N <sub>Low</sub> レベルパルスの幅 (RECONFIG_N low pulse width)	25ns	-
T <sub>recfgtrdyn</sub>	RECONFIG_N 立ち下がりエッジから READY の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to READY low)	-	70ns
T <sub>readylw</sub>	READY <sub>Low</sub> レベルパルスの幅(READY low pulse width)	TBD	-
T <sub>recfgtdonel</sub>	RECONFIG_N 立ち下がりエッジから DONE の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to DONE low)	-	80ns

## 5.2 AUTO BOOT コンフィギュレーション

AUTO BOOT モードは、不揮発性 FPGA 製品にインスタントオン特性を提供します。AUTO BOOT コンフィギュレーションモードでは、FPGA はパワーアップ後外部コンフィギュレーションインターフェースに接続する

ことなくオンチップ Flash のアドレス 0x000000 から 100MHz のデフォルト周波数で Quad SPI プロトコルに従ってビットストリームデータを読み出してコンフィギュレーションできます。GW2AN-18X/9X シリーズ FPGA は、2 回の AUTO BOOT コンフィギュレーション試行をサポートします。つまり、パワーアップ後に AUTO BOOT コンフィギュレーションが失敗した場合、デバイスは自動的にアドレス 0x100000 からコンフィギュレーションを再試行できます。コンフィギュレーションの失敗の要因には、ID 検証エラー、CRC 検証エラー、命令エラー、およびタイムアウトエラーがあります。

AUTO BOOT コンフィギュレーションモードを使用する場合、まずコンフィギュレーションデータを FPGA のオンチップ Flash にプログラムする必要があります。そして再パワーアップまたは Low レベルで RECONFIG\_N ピンをトリガするときは、チップは自動的にビットストリームデータを読み出してコンフィギュレーションを完了します。オンチップ Flash の瞬時接続機能により、コンフィギュレーションのダウンロード時間が短縮され、作業効率が向上しました。

AUTO BOOT モードを使用するには、MODE [1 : 0]を「01」に設定する必要があります。コンフィギュレーションが失敗した場合でも、デバイスは JTAG、I<sup>2</sup>C、SSPI、QSSPI などのプロトコルを使用して SRAM または Flash をコンフィギュレーション/プログラミングできます。

## 5.3 JTAG コンフィギュレーション

GOWIN セミコンダクターFPGA 製品の JTAG コンフィギュレーションモードは、IEEE1532 および IEEE1149.1 バウンダリスキャンスタンダードに準拠しています。

JTAG コンフィギュレーションモードでは、GOWIN セミコンダクターFPGA 製品の SRAM にビットストリームデータを書き込み、コンフィギュレーションデータはパワーダウン後に失われます。GOWIN セミコンダクターFPGA 製品はすべて JTAG コンフィギュレーションモードをサポートしています。

### 5.3.1 JTAG モードのピン

JTAG コンフィギュレーションモードに関連するピンは表 5-2 に示すとおりです。

表 5-2 JTAG コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
JTAGSEL_N	I、内部の弱いプルダウン	JTAG ピンを GPIO からコンフィギュレーションピンに復元、アクティブ Low
TCK <sup>1</sup>	I、内部の弱いプルダウン	クロック入力
TMS	I、内部の弱いプルアップ	モード選択

ピン名	I/O タイプ	説明
TDI	I、内部の弱いプルアップ	データ入力
TDO	O、内部の弱いプルアップ	データ出力

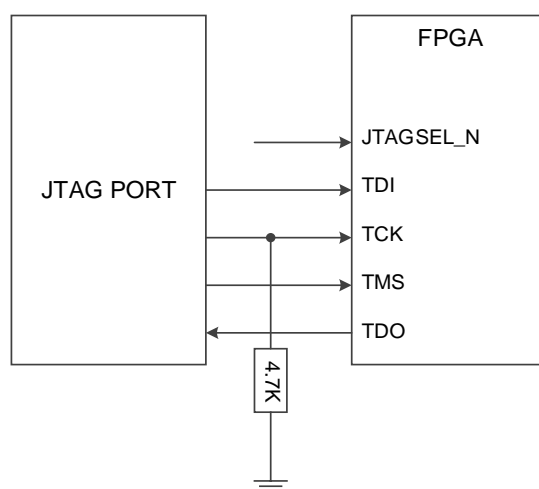
注記：

[1] TCK を PCB で 4.7K のプルダウン抵抗へ接続する必要があります。

### 5.3.2 JTAG コンフィギュレーションモードの接続説明図

JTAG コンフィギュレーションモードの接続は図 5-4 に示すとおりです。

図 5-4 JTAG コンフィギュレーションモードの接続説明図

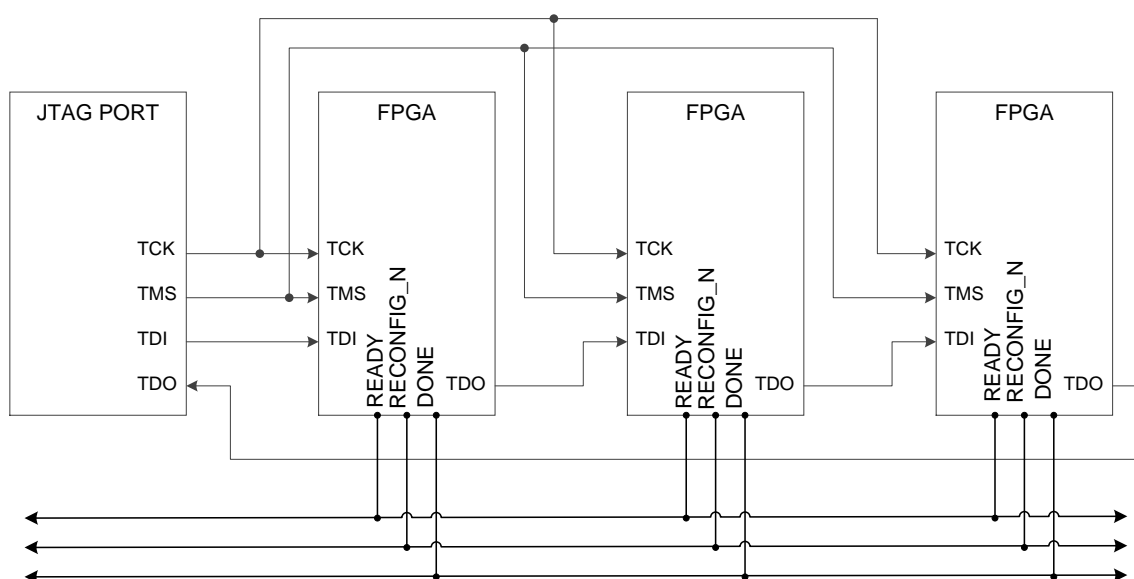


注記：

JTAG コンフィギュレーションモードのクロック周波数は 65MHz 以下である必要があります。

GOWIN セミコンダクターFPGA 製品は JTAG デイジーチェーン操作をサポートします。つまり、ある FPGA の TDO ピンを次の FPGA の TDI ピンに接続すると、Gowin プログラミングソフトウェアは接続された FPGA デバイスを自動的に識別して順番にコンフィギュレーションします。デイジーチェーンコンフィギュレーションの接続図は図 5-5 に示すとおりです。Gowin GW2AN-18X/9X FPGA 製品は、デイジーチェーン上の FPGA オンチップ Flash のプログラミングをサポートしていないことに注意してください。

図 5-5 JTAG デイジーチェーンコンフィギュレーションの接続図



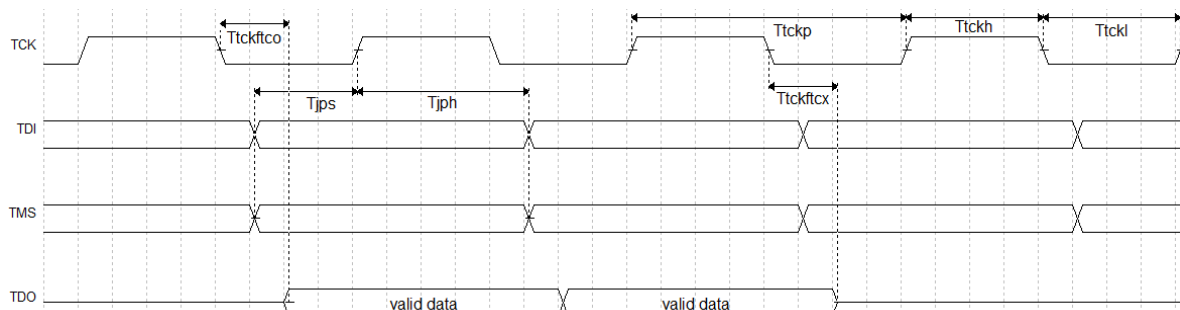
注記：

DONE、RECONFIG\_N、および READY 信号の接続は状況に応じて決定されます。

### 5.3.3 JTAG コンフィギュレーションモードのタイミング図

JTAG モードのタイミング図は、図 5-6 に示す通りです。

図 5-6 JTAG コンフィギュレーションモードのタイミング図



各パラメータの意味は、表 5-3 に示す通りです。

表 5-3 JTAG コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{tckftco}$	TCK 立ち下がりエッジから出力に至るまでの時間 (Time from TCK falling edge to output)	-	10ns
$T_{tckftcx}$	TCK 立ち下がりエッジからハイインピーダンスに至るまでの時間 (Time from TCK falling edge to high impedance)	-	10ns
$T_{tckp}$	TCK クロックのサイクル (TCK clock period)	40ns	-
$T_{tckh}$	TCK クロックの High レベル時間 (TCK clock high time)	20ns	-

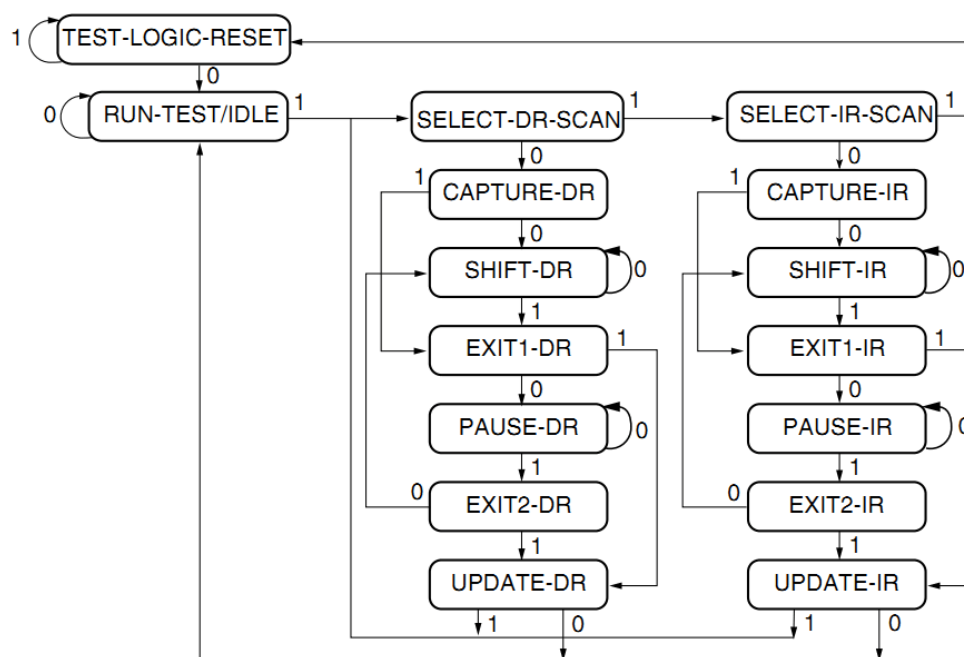
パラメータ名	パラメータの意味	最小値	最大値
T <sub>tckl</sub>	TCK クロックの Low レベル時間(TCK clock low time)	20ns	-
T <sub>jps</sub>	JTAG PORT のセットアップ時間(JTAG PORT setup time)	10ns	-
T <sub>jph</sub>	JTAG PORT のホールド時間(JTAG PORT hold time)	8ns	-

### 5.3.4 JTAG コンフィギュレーションの手順

#### TAP 状態機械

テストアクセスポートの状態機械は、命令レジスタまたはデータレジスタを選択し、TDI と TDO の間に接続します。通常、命令レジスタはスキャンしたいデータレジスタを選択する際に使用されます。状態機械のダイアグラムで矢印が示す数字は TCK が高くなった時の TMS のロジック状態を表します。

図 5-7 TAP 状態機械



#### TAP リセット

TMS を High レベル(ロジック “1”)に保持し、TCK ピンで 5 つ以上のストロブ信号(High の後 Low)を入力した後、TAP ロジックをリセットすることで、他の状態の TAP 状態機械をテストロジックのリセット状態に変換し、JTAG インターフェースとテストロジックをリセットします。

注記：

この状態は、CPU と外部機器をリセットしません。

注記：



- Shift\_DR または Shift\_IR の状態に入る時、TDO のデータは TCK の立ち下がりエッジから有効になります。
- Shift\_DR または Shift\_IR の状態に入る時、データはシフトしません。
- Shift\_DR または Shift\_IR から出る時、データはシフトされます。
- 一番先にシフトされるのは、データの最下位ビット LSB です。
- 一旦リセットすると、すべての命令はリセットされるか、無効になります。

### 命令レジスタとデータレジスタ

テストロジックをリセットするほか、状態機械は以下の 2 つの基本操作が可能です。

- 命令レジスタ(IR)スキャン
- データレジスタ(DR)スキャン

命令レジスタスキャン操作では、Shift\_IR 状態の場合、データまたは命令が LSB ファースト順で命令レジスタに送信されます。Run-Test-Idle に入った後、命令の送信が完了します(図 5-8)。

データレジスタスキャンの操作では、在 Shift\_DR 状態の場合、データまたは命令がデータレジスタに送信されます(図 5-9)。LSB ファーストか MSB ファーストかは操作に依存します。

図 5-8 命令レジスタのアクセスタイミング

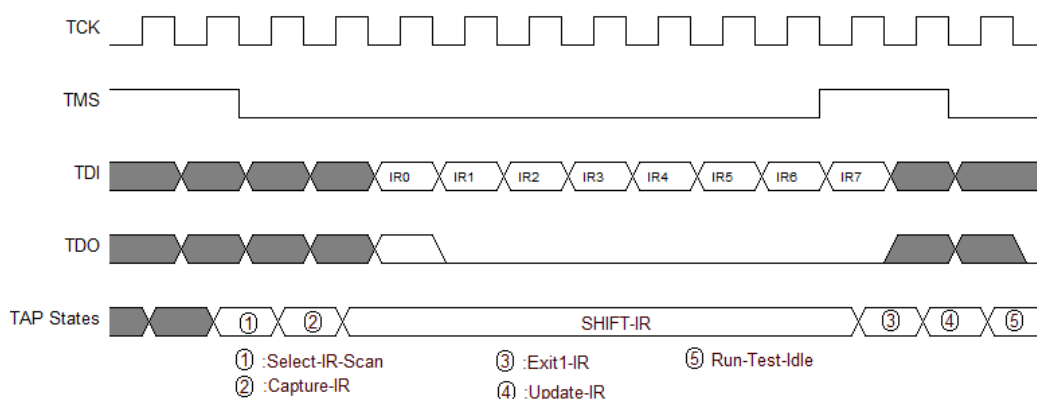
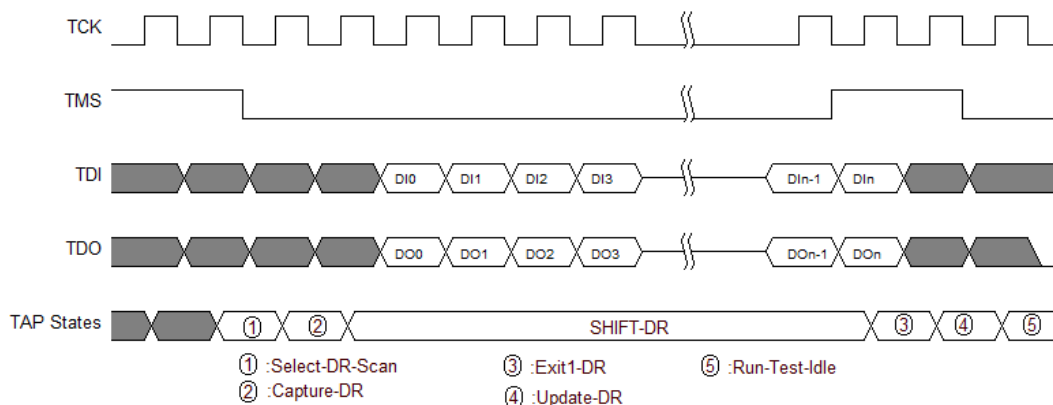


図 5-9 データレジスタのアクセスタイミング



注記：

- 命令レジスタの長さは 8 ビットです。
- 選択したレジスタによって、データレジスタの長さは異なります。

### ID CODE 読み出し実例

ID Code(即ち JEDEC ID Code)は、FPGA デバイスの基本的な識別情報です。

GOWIN FPGA ID Code の長さは 32 ビットで、下表は GOWIN FPGA の ID Code の一部です。

表 5-4 Gowin の一部の FPGA 製品の IDCODE

Gowin FPGA Device Family IDCODE			
Device Family	Device Part	Manufacturer ID	IDCODE
	Bits 31-12	Bits 11-0	
		h81B	
GW2AN-18X	h00004	h81B	h0000481B
GW2AN-9X	h00005	h81B	h0000581B

GOWIN FPGA の読み出し命令は 0x11 です。以下は、GW2AN-9X ID Code を読み出すことを例に、JTAG の動作を説明します。

1. TAP リセット：TMS を High にし、5 クロックサイクル以上を連続して送信します。
2. 状態機械を Test-Logic-Reset から Run-Test-Idle に遷移させます。
3. 状態機械を Shift-IR に遷移させ、最下位ビットから Read ID 命令 0x11 を送信し、最上位ビット(最後のビット)が送信すると同時に、状態機械を Exit1-IR に遷移させます。すなわち、最上位ビットの送信前に TMS は High になる必要があります。表 5-5 では、8 回のクロックサイクル内に 0x11 を送信する過程における TDI と TMS の値の変化を示しています。タイミングは図 5-11 に示すとおりです。

表 5-5 命令送信中の TDI と TMS 値の変化

	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
TDI value (0x11)	1	0	0	0	1	0	0	0
TMS value	0	0	0	0	0	0	0	1

4. 状態機械を遷移させ、Exit1-IR から Update-IR を経由して Run-Test-Idle に戻し、Run-Test-Idle で 3 つ以上のクロックサイクルを実行します。
5. 状態機械を Shift-DR に遷移させ、32 クロックサイクルを送信し、32 クロックサイクル目の送信前に、TMS を High にし、32 クロックサイクルの完了と同時に Shift-DR から Exit1-DR にジャンプします。32 クロックサイクルを送信するうちに 32 ビットのデータ(0x1100381B)が読み出されます(図 5-12)。

6. 状態機械を Run-Test-Idle に戻します。

図 5-10 ID Code 読み出し状態機械プロセスチャート

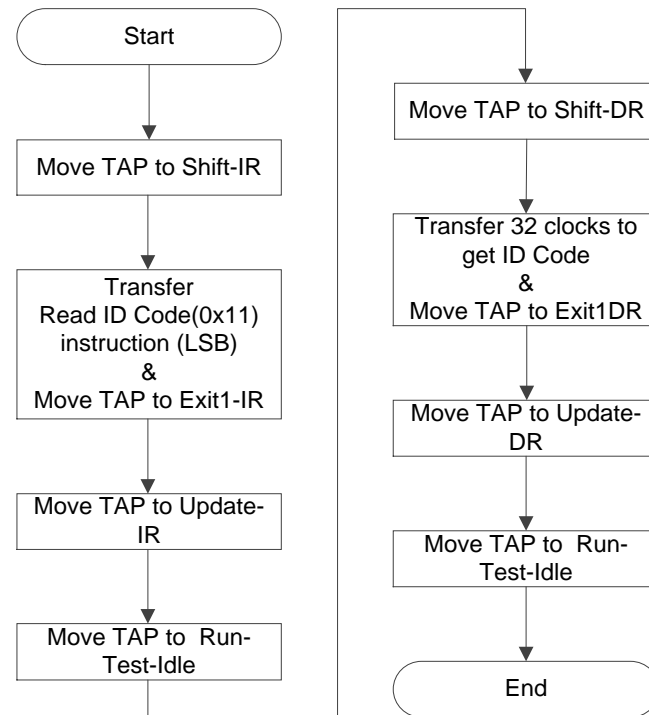


図 5-11 ID Code 読み出し命令-0x11 のアクセスタイミング

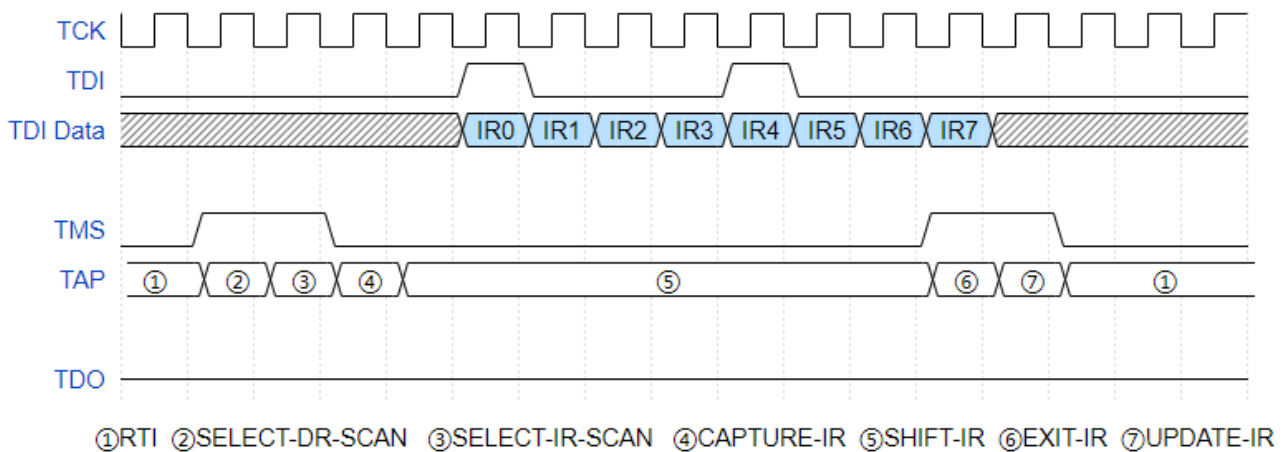
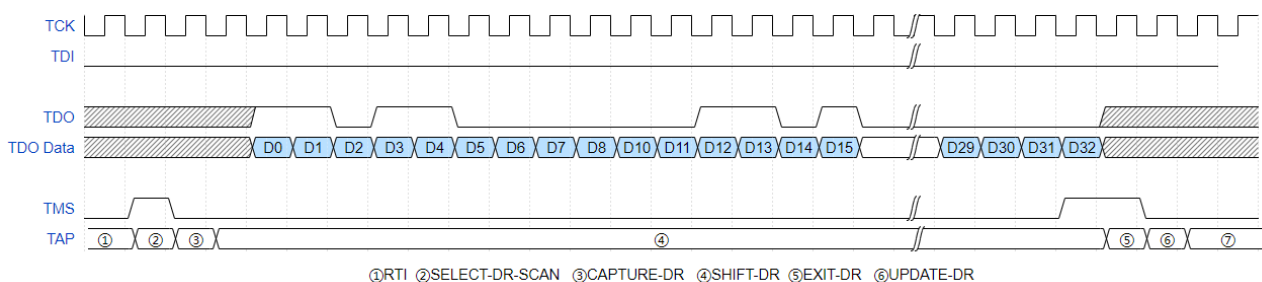


図 5-12 ID Code(0x0000581B)読み出し際のデータレジスタのアクセスタイミング



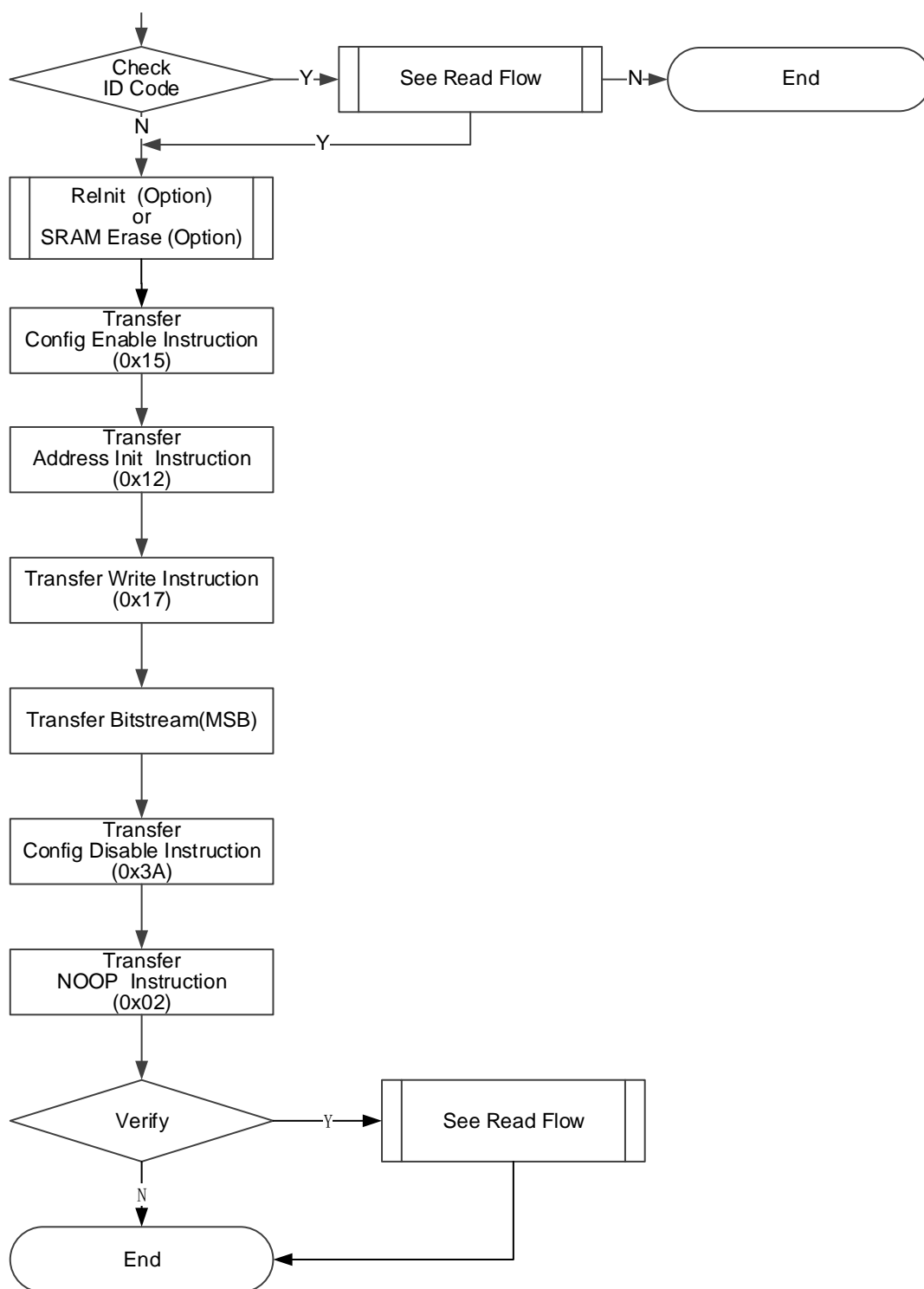
### SRAM コンフィギュレーションの手順

外部 Host を通じて FPGA SRAM をコンフィギュレーションします。JTAG を介した SRAM コンフィギュレーションは Configuration Mode Pins の影響を受けません。

Gowin ソフトウェアでデータストリームファイルを生成します。JTAG を介してして SRAM のコンフィギュレーションを完了します。以下に外部 Host による SRAM コンフィギュレーションのプロセスを紹介します(図 5-13)。

1. JTAG リンクを作成し、TAP をリセットします。
2. デバイスの ID CODE を読み出し、マッチするかチェックします。
3. デバイスの Status Code を読み出し、Ready ビットが 0 の場合は、Reinit 命令 0x3F を送信します。  
または、SRAM がコンフィギュレーションされた場合、SRAM を消去する必要があります。[SRAM を消去する手順](#)を参照してください。
4. ConfigEnable 命令 0x15 を送信します。
5. Address Initialize 命令 0x12 を送信します。
6. Transfer Configuration Data 命令 0x17 を送信します。
7. 状態機械を Shift-DR(データレジスタ)に遷移させ、すべての Bitstream Data を最上位ビット(MSB)から順に送信して Run-Test-Idle 状態に戻ります。
8. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、コンフィギュレーションプロセスが終了します。
8. Configuration Data をリードバックしたい場合、SRAM 読み出しプロセスを参照してください。

図 5-13SRAM コンフィギュレーションプロセス



### SRAM 読み出しプロセス

ご注意：SRAM データはデフォルトでリードバックできません。

FPGA の SRAM エリアから SRAM データを読み出します。まず、SRAM の書き込み時にセキュリティビット(Security Bit)がコンフィギュレーションされていないことを保証してください。セキュリティビットは実行時のデータを保護し、データセキュリティを守るために使用されます。セキュ

リティビットの設定が完了後、SRAM から取得するデータはすべて 1(High レベル)です。

ロード中に、FPGA は書き込まれたデータに対して CRC チェックを実行します

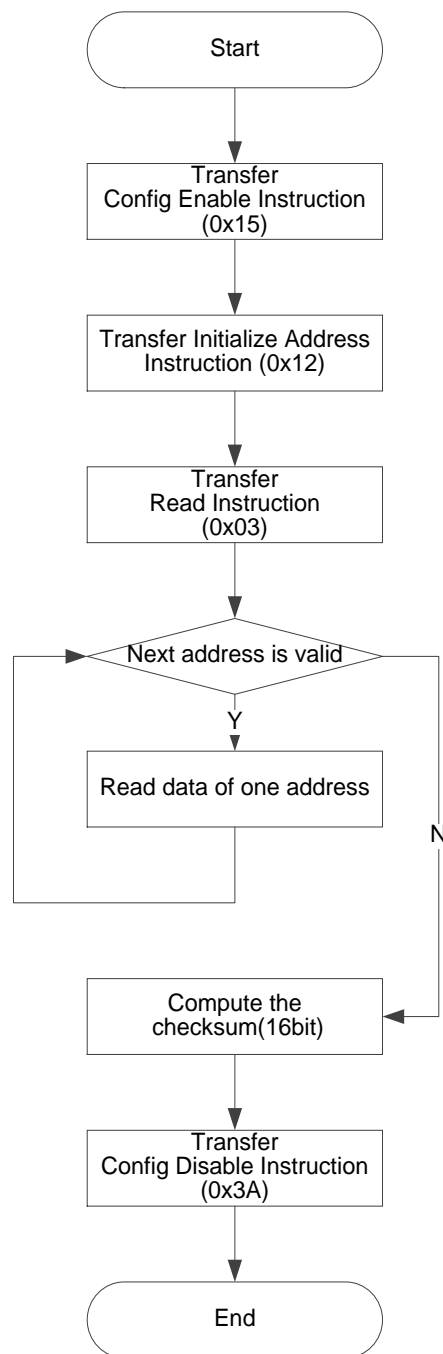
表 5-6 各デバイスの SRAM アドレス数とアドレス長さ

デバイス	アドレス長さ (ビット/アドレス)	アドレス数
GW2AN-18X/9X	3376	1342

図 5-14 は読み出しプロセスの詳しい紹介です。

1. ConfigEnable 命令 0x15 を送信します。
2. Address Initialize 命令 0x12 を送信します。
3. SRAM Read 命令 0x03 を送信します。
4. 状態機械を Shift-DR(データレジスタ)に遷移させ、アドレス長さに相当するクロック信号を送信します(表 5-6 参照)。最後のクロックを送信すると同時に、TMS を High にし、Exit1-DR にジャンプします。この場合、TDO 経由で対応する長さのデータを読み出します。最後に、Run-Test-Idle に戻します。
5. 手順 4 を繰り返し、毎回 1 つのアドレスのデータを読み出すと、このアドレスは自動的に累積されます。
6. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、読み出しプロセスが終了します。

図 5-14 SRAM 読み出しプロセス



### SRAM を消去する手順

SRAM を再コンフィギュレーションする場合、既存の SRAM を消去する必要があります。手順：

1. ConfigEnable 命令 0x15 を送信します。
2. SRAM Erase 命令 0x05 を送信します。
3. Noop 命令 0x02 を送信します。
4. 遅延するか、または Run Test 2~10ms。
5. SRAM Erase Done 命令 0x09 を送信します。

6. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、プロセスが終了します。

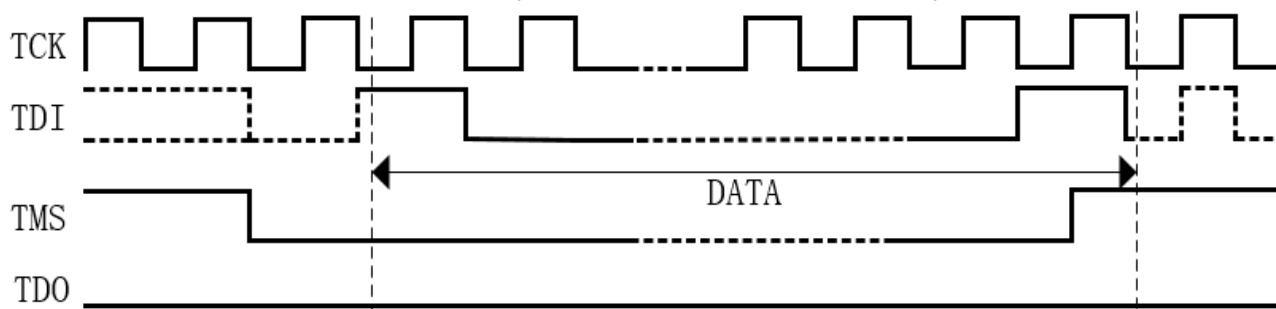
注記：

- EraseSram(0x05)命令、Noop(0x02)の送信後、消去完了まで十分な時間が必要です。
- GW2AN-18X/9X の参照時間は 6ms です。

### オンチップ Flash プログラミングモード

Gowin の GW2AN-18X/9X FPGA 製品には、16 M ビットのシリアル Flash メモリが組み込まれています。JTAG は、オンチップ Flash をプログラムするための類 SPI (SPI に似ている) プロトコルを提供し、その最大動作周波数は 65MHz です。

JTAG が提供する類 SPI プロトコルは、一般に標準の SPI ロジックと一致しています。TMS は Chip Select (CS) 信号に対応し、TDI は DI 信号に対応し、TCK は Serial Clock (CLK) 信号に対応し、TDO は DO 信号に対応します。そのタイミングも、標準 SPI のタイミングを参照可能であり、TDI データが 1 クロックサイクル後方にシフトされるだけです。TMS が Low にプルダウンされた後、1 クロックを送信した後のデータは有効なデータであり、データの最後のビットは TMS と一緒に High にプルアップされる必要があります。次の図を参照してください。



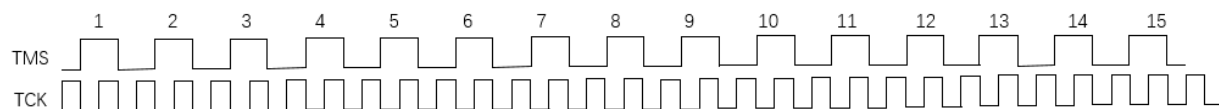
### Flash プログラミングモードの起動

Flash をプログラムする前に、JTAG インターフェースを内部 Flash コントローラに接続する必要があります。その後、標準の JTAG 命令 0x16 を送信してこのモードを起動します。起動した後、JTAG インターフェースは Flash コンフィギュレーションモードでのみ機能します。つまり、JTAG インターフェースは類 SPI モードになり、JTAG 命令がサポートされなくなります。

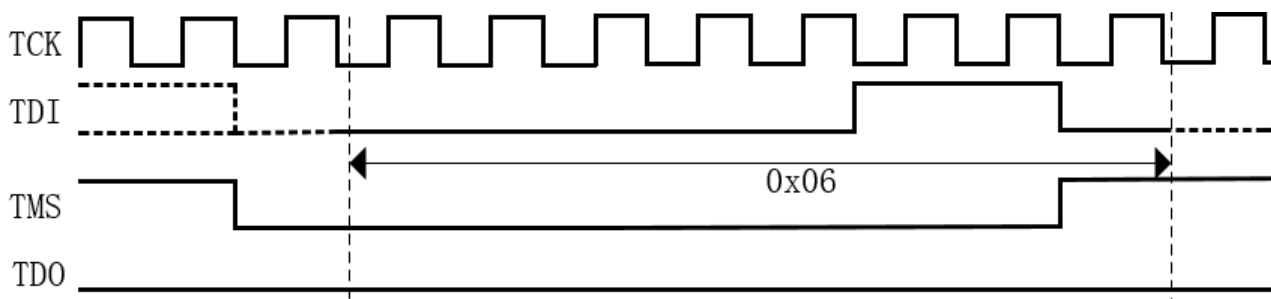
### Flash プログラミングモードの終了

TMS の High-Low レベルを 15 回連続して設定することにより、Flash プログラミングモードを終了できます。つまり、類 SPI インターフェースから標準 JTAG インターフェースに戻ります。標準 JTAG インターフェースに戻った後、JTAG プロトコルに従ってデバイスをコンフィギュレーションすることができます。以下に示すとおりです。





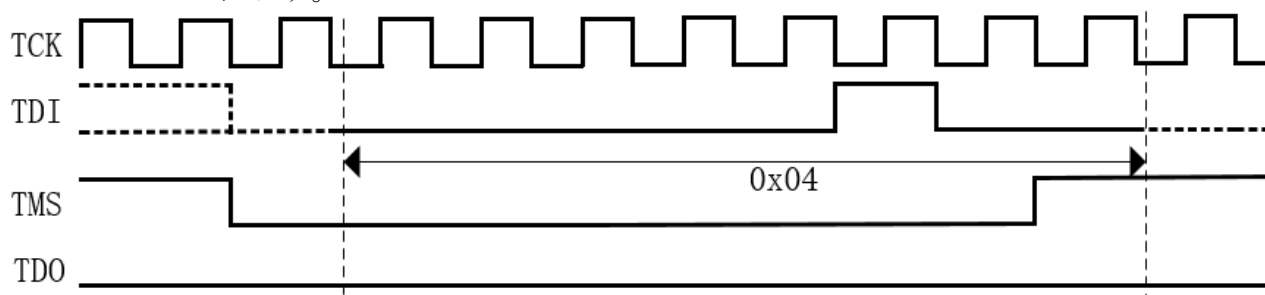
### オンチップ Flash 命令-WriteEnable (0x06)



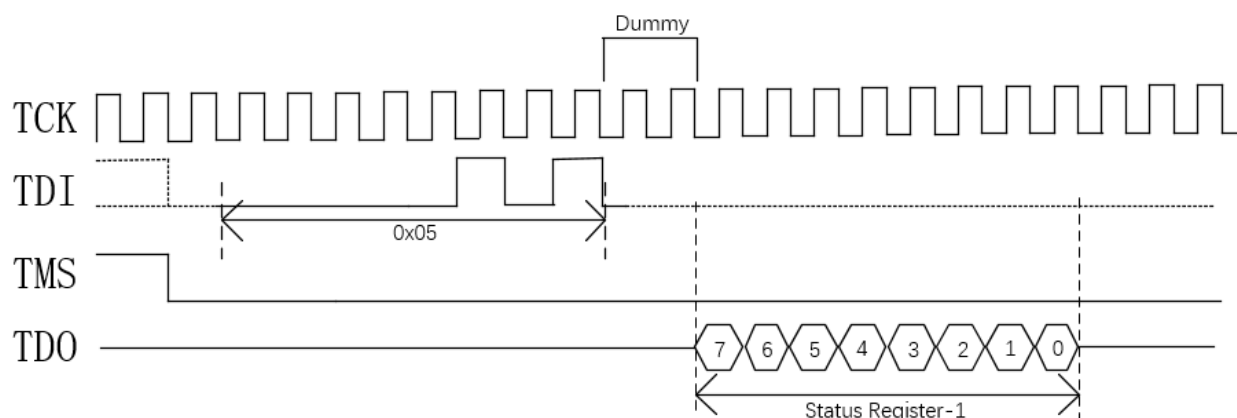
WriteEnable 命令は、Flash Status Register の Write Enable Latch (WEL) ビットを設定するために使用されます。WEL ビットは、各 Page-Program、Sector Erase、および Chip Erase の前に設定する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x06」をデータ入力 (TDI) ピンに入力し、0x06 の最後のビット「0」は TMS と同じクロックサイクルで転送されます。

### オンチップ Flash 命令-WriteDisable (0x04)

WriteDisable 命令は、Flash Status Register の Write Enable Latch (WEL) ビットをリセットするために使用されます。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x04」をデータ入力 (TDI) ピンに入力し、0x04 の最後のビット「0」は TMS と同じクロックサイクルで転送されます。



## オンチップ Flash 命令-Read Status Register-1 (0x05)

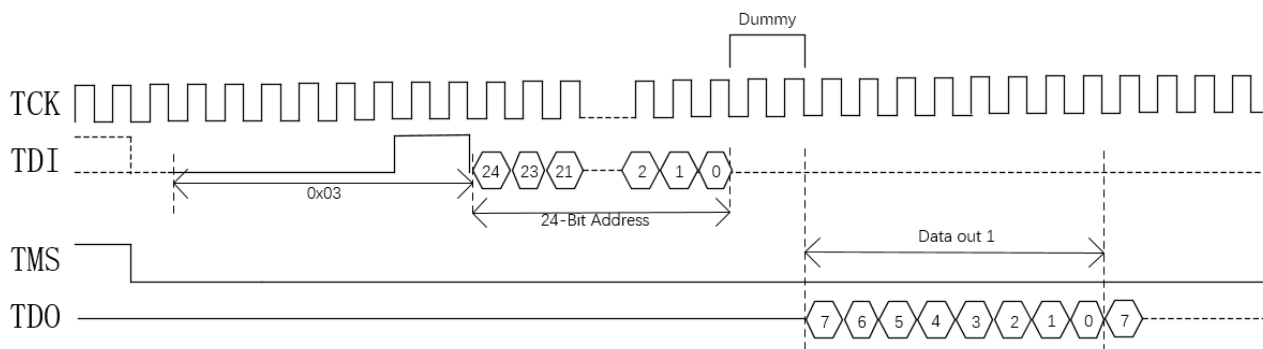


Read Status Register-1 命令は、8 ビットのステータスレジスタを読み出すために使用されます。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x05」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力します。さらなる 2 つのダミークロック (dummy clock) の後、Status Register-1 のデータが TCK の立ち下がりエッジで TDO ピンから送信され、最上位ビット (MSB) ファーストです。以下に示すとおりです。

Read Status Register-1 には、S [7 : 0] で表される合計 8 ビットがあり、S[0] は BUSY ビットです。Flash が Page-Program、Chip Erase、Sector Erase などの処理中の場合、S[0] は自動的にビット 1 に設定されます。この場合、Flash はビジー状態であり、他の命令に応答しません。操作が終了すると、S [0] は自動的に 0 にリセットされ、他の命令を送信し続けることができます。

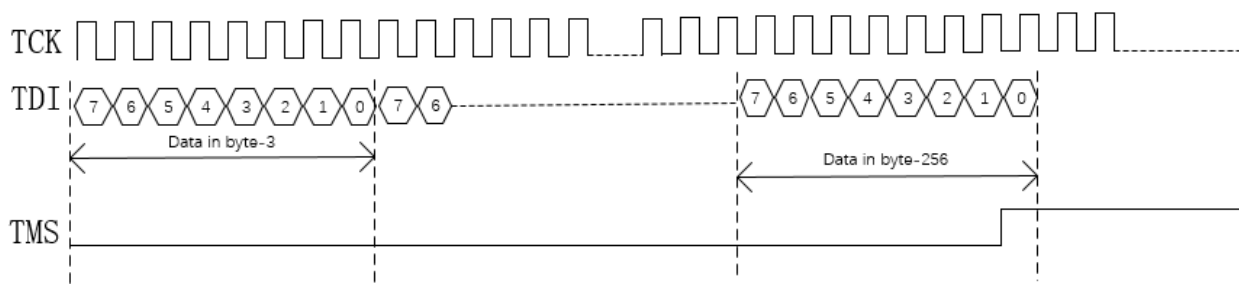
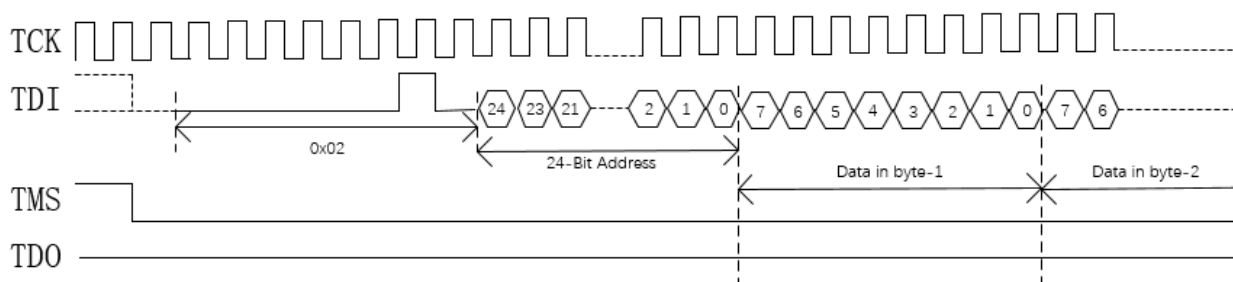
## オンチップ Flash 命令-Read Data (0x03)

Read Data 命令は、Flash からデータを連続して読み出すために使用されます。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x03」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、24 ビットのアドレスを DI ピンに入力します。さらなる 2 つのダミークロック (dummy clock) の後、当該アドレスにあるデータが TCK の立ち下がりエッジで TDO ピンから送信され、最上位ビット (MSB) ファーストです。リードバックされるデータが 1 つのアドレスを超えると、アドレスが自動的にインクリメントされ、連続したデータストリームをリードバックできるようになります。つまり、1 つの命令で Flash データ全体を読み出すことができます。以下に示すとおりです。



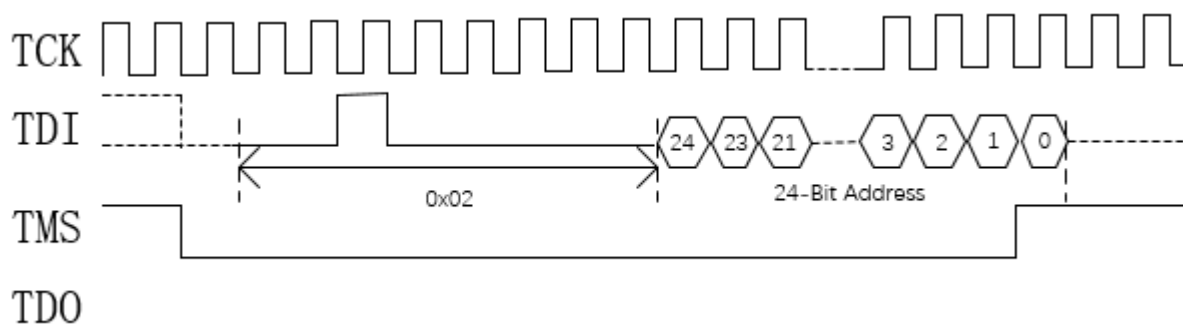
### オンチップ Flash 命令-Page Program (0x02)

Page Program 命令は、1 ページ上の 1 つ以上の消去 (0xFF) されたバイトをプログラムするために使用されます。この前は、WriteEnable 命令を完了する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x02」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、24 ビットのアドレスを DI ピンに入力します。その後、対応するデータを MSB First フォーマットで DI ピンに入力します。この期間中、TMS は Low のままであり、最後のバイトの最後のビットは、High になった TMS と同じクロックサイクルで DI ピンに入力されます。以下に示すとおりです。



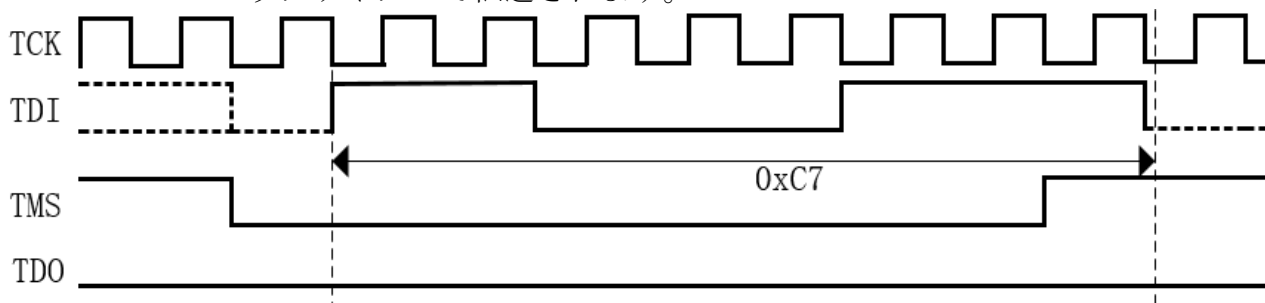
### オンチップ Flash 命令-Sector Erase (0x20)

**Sector Erase** 命令は、指定されたセクター (4K バイト) のすべてのデータを消去するために使用されます。消去が完了すると、Flash データは 0xFF 状態に復元されます。この命令を送信する前に、**WriteEnable** 命令を完了する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x20」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、24 ビットのアドレスを DI ピンに入力します。アドレスの最後のビットを転送するとともに、TMS を High に設定します。

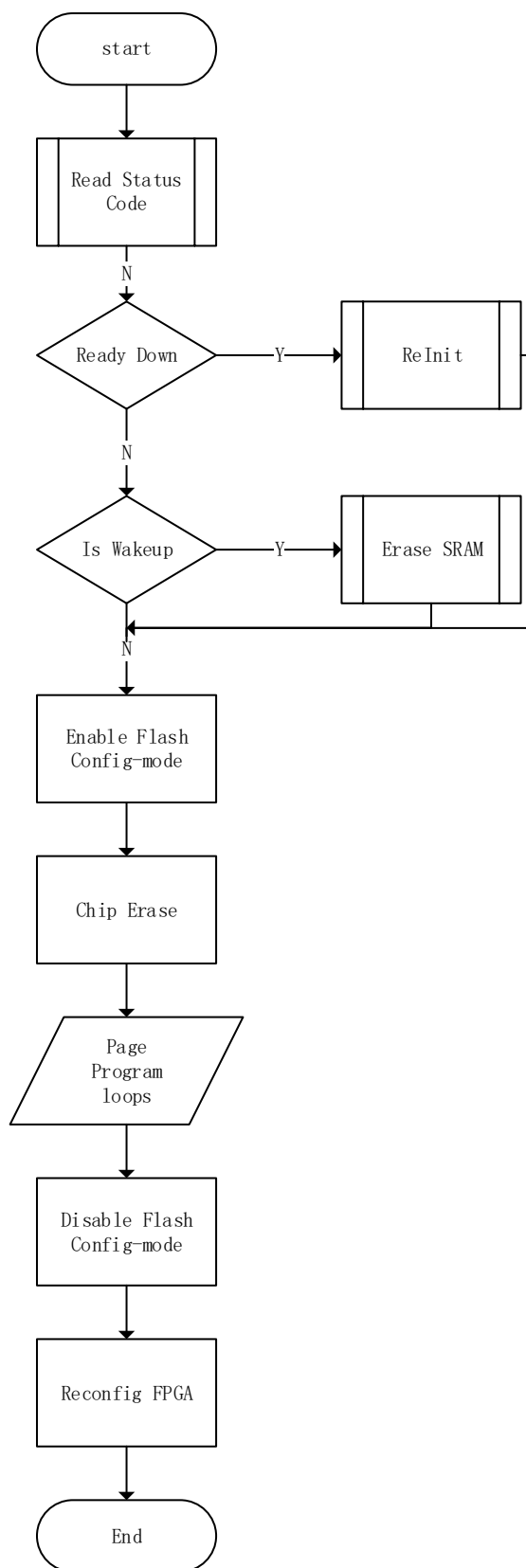


### オンチップ Flash 命令-Chip Erase (0xC7/0x60)

**Chip Erase** 命令は Flash 内のすべてのデータを消去し、消去後はすべてのデータが 1 (0xFF) になります。この命令を送信する前に、**WriteEnable** 命令を完了する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0xC7」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、0xC7 の最後のビット「1」は High になった TMS と同じクロックサイクルで転送されます。



## オンチップ Flash コンフィギュレーションのフローチャート



### JTAG Boundary Scan での SPI Flash プログラミング

このモードの原理は、Boundary Scan の方法を使用して SPI と接続するピンの状態を変更することで、SSPI タイミングを実現し、オンチップ Flash をプログラミングします。

このモードで採用する Boundary Scan Chain の長さは 8 ビットで、2 の組み合わせごとにピンの状態に対応します(表 5-7)。Boundary Scan Chain を 2 回送信するごとに、1 回の SCLK 駆動が完了します。

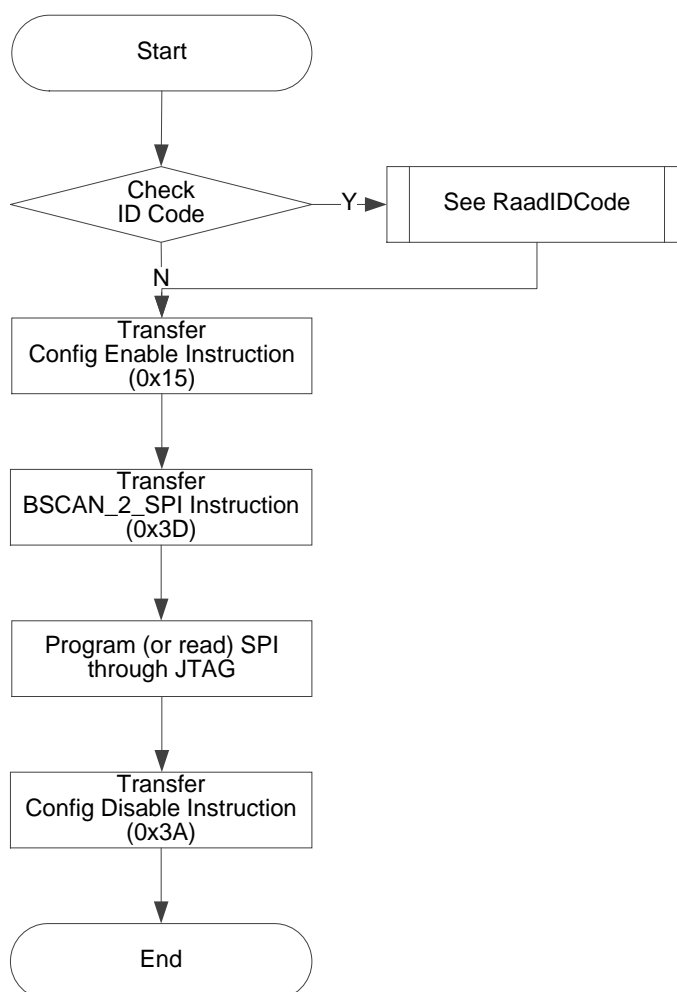
表 5-7 ピンの状態

SPI Flash のピン名	SCLK		CS		DI		DO	
Bscan Chain[7:0]	7	6	5	4	3	2	1	0
(ctrl & data)	0		0		0		1	

注記：

- ctrl:0 は出力、1 は入力を表します。
- data:0 は Low レベル、1 は High レベルを表します。

図 5-15 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート



## バックグラウンドプログラミング(Background Programming)

デバイスは、現在の機能に影響を与えずデータファイルをアップグレードし、Flash のプログラミングを行う場合があります。また、新しいデータストリームファイルをロードする時、IO 状態を保持できます

### Status Register の読み出し(0x41)

Status Register を読み出すことで、デバイスの状態を予備確認できます。例えば、wakeup の成功、読み込みエラーの有無などを確認できます。Status Register は合計 32 ビットあり、読み出し命令は 0x41 で、タイミングは Read ID Code と一致します。

Status Register の意味は、表 5-8 に示す通りです。

表 5-8 Status Register の意味

<div> <div>デバイス</div> <div>Status Register[31:0]</div> </div>	GW2AN-18X/9X
0	CRC Error (1 : エラーあり。0 : エラーなし)
1	Bad Command Error(1 : エラーあり。0 : エラーなし)
2	ID Verify Failed Error(1 : エラーあり。0 : エラーなし)
3	Timeout Error(1 : エラーあり。0 : エラーなし)
4	Autoboot2nd Failed Error(1 : エラーあり。0 : エラーなし)
5	
6	
7	
8	
9	Autoboot1st Failed Error(1 : エラーあり。0 : エラーなし)
10	
11	
12	
13	
14	
15	Encrypted Format(1 : 暗号化されたデータストリームファイルが使用されている)
16	Encrypted Key Is Right(1 : キーが正しい。0 : キーが間違っている)
17	sspi_mode,

デバイス Status Register[31:0]	GW2AN-18X/9X
18-31	

### User Code の読み出し(0x13)

User Code は合計 32 ビットあり、読み出し命令は 0x13 で、タイミングは Read ID Code と一致します。

User Code がデフォルトで使用するのは FS ファイルの checksum 値で、Gowin Designer において再定義できます。

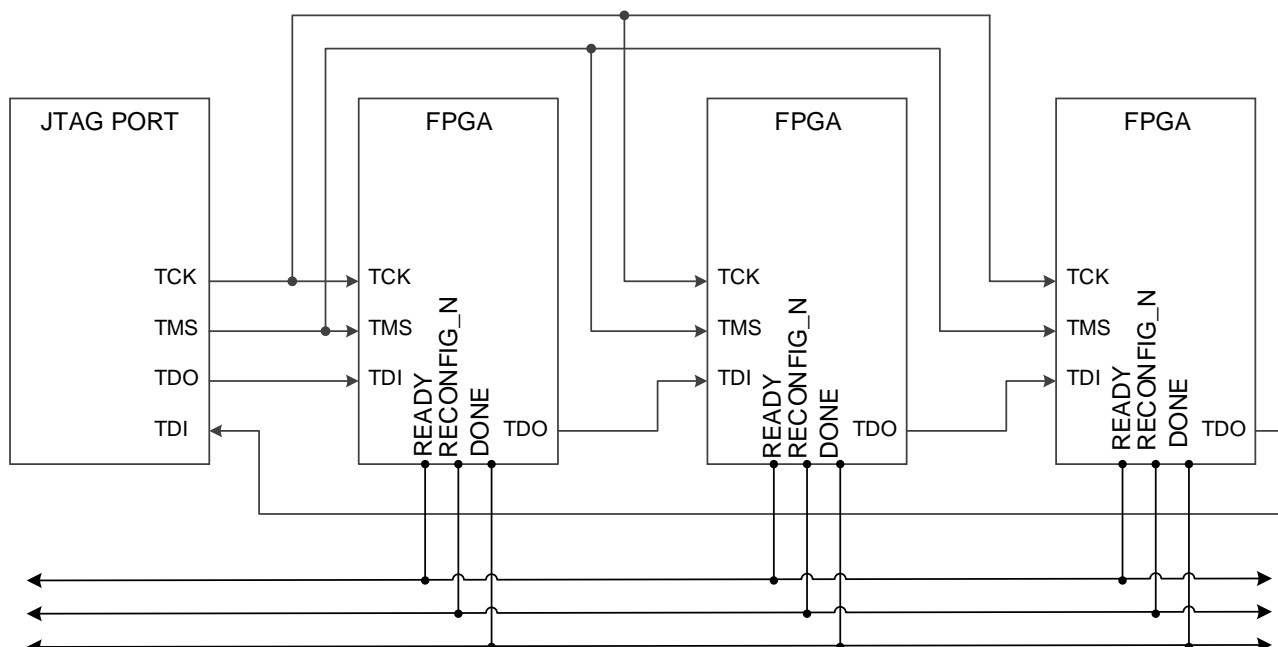
### リロード(0x3C)

この命令の役割は、FPGA が Flash からデータストリームファイルを読み出し、SRAM にコンフィギュレーションできるようにすることです。

JTAG が Reconfig(0x3C)命令、Noop(0x02)命令を送信することで、デバイスはリロードできます。その効果は、Reconfig\_N ピンのトリガと同じです。

### デイジーチェーンの接続図

図 5-16 デイジーチェーンの接続図



### ルーチンファイル

ルーチンファイルについては、当社のテクニカル・サポートにお問い合わせください。



## 5.4 SSPI コンフィギュレーションモード

SSPI(Slave SPI)では、FPGA をスレーブデバイスとして、外部 Host が SPI インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。

### 5.4.1 SSPI コンフィギュレーションモードのピン

SSPI コンフィギュレーションモードに関連するピンは表 5-9 に示しております。

表 5-9 SSPI コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I、 内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O、 内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O、 内部の弱いプルアップ	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[1:0]	I、内部の弱いプルダウン	コンフィギュレーションモードの選択用で、READY の立ち上がりエッジでサンプリング
SCLK	I、 内部の弱いプルアップ	クロック入力
CLKHOLD_N	I、 内部の弱いプルダウン	High レベル：SCLK に対応する SP 操作が有効 ローイレベル：SCLK に対応する SPI 操作が無効
SO	O、 内部の弱いプルダウン	FPGA が Host にデータを出力
SI	I、 内部の弱いプルダウン	Host が FPGA にデータを入力
SSPI_CS_N	I、 内部の弱いプルアップ	SSPI チップセレクト信号、アクティブ Low

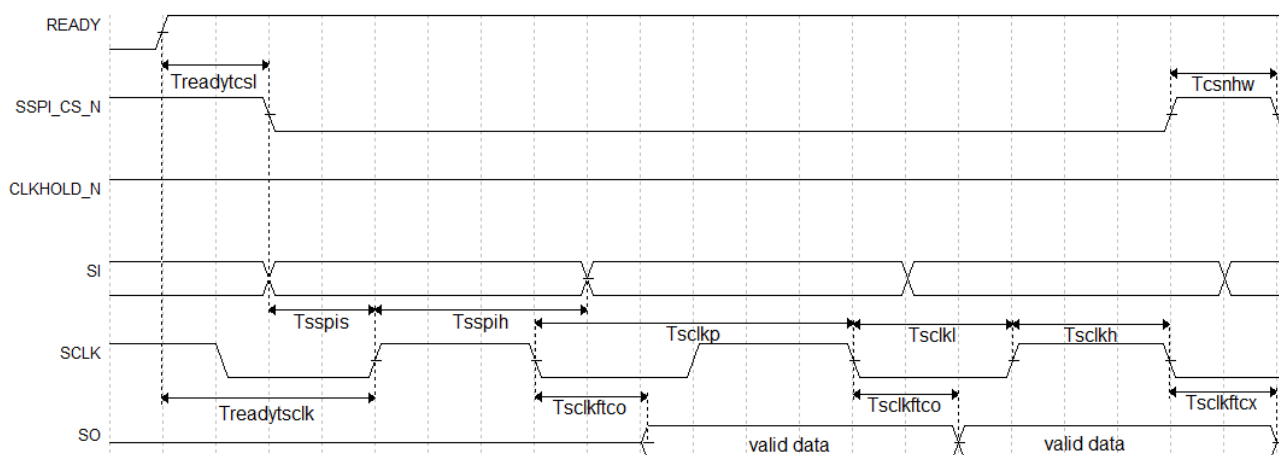
注記：

CLKHOLD\_N のデフォルト状態は、内部の弱いプルダウンです。SSPI モードを使用する場合は、CLKHOLD\_N を High に設定してください。

## 5.4.2 SSPI コンフィギュレーションモードのタイミング図

SSPI モードのタイミング図は、図 5-17 に示す通りです。

図 5-17 SSPI コンフィギュレーションモードのタイミング図



関連するタイミングパラメータは、表 5-10 に示す通りです。

表 5-10 SSPI コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{scclkp}$	SCLK クロックのサイクル(SCLK clock period)	15ns	-
$T_{scclkh}$	SCLK クロックの High レベル時間(SCLK clock high time)	7.5ns	-
$T_{scclki}$	SCLK クロックの Low レベル時間(SCLK clock low time)	7.5ns	-
$T_{sspis}$	SSPI PORT のセットアップ時間(SSPI PORT setup time)	2ns	-
$T_{sspih}$	SSPI PORT のホールド時間(SSPI PORT hold time)	0ns	-
$T_{scclftco}$	SCLK の立ち下がりエッジからデータ出力に至るまでの時間(Time from SCLK falling edge to output)	-	10ns
$T_{scclftcx}$	SCLK の立ち下がりエッジからハイインピーダンスまでの時間(Time from SCLK falling edge to high impedance)	-	10ns
$T_{csnhw}$	CSN の High レベルパルスの幅(CSN high time)	25ns	-
$T_{readytcsi}$	READY の立ち上がりエッジから CSN の Low レベルまでの時間(Time from READY rising edge to CSN low)	TBD	
$T_{readytsclk}$	READY の立ち上がりエッジから 1 つ目の SCLK エッジまでの時間(Time from READY rising	TBD	-

パラメータ名	パラメータの意味	最小値	最大値
	edge to first SCLK edge)		

上記の電源要件のほか、SSPI モードを使用するには、以下の条件を満たす必要があります。

- **SSPI インターフェースイネーブル**  
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき RECONFIG\_N を通常の I/O に設定していません。
- **新しいコンフィギュレーションの開始**  
再パワーアップするか、Low レベルで RECONFIG\_N ピンをトリガします。

### 5.4.3 SSPI コンフィギュレーション命令

SSPI モードの場合、SSPI を介して FPGA SRAM へのプログラミングや ID CODE ≠ USER CODE ≠ STATUS CODE などの読み出し、または外部記憶装置(SPI Flash など)へのプログラミングを実現できます。

FPGA 用の SSPI 命令は通常 1～4 バイトからなります。それには少なくとも 1 つの命令バイトと複数の冗長情報バイトが含まれます。情報バイトが指定されていない場合、冗長情報バイトは任意の数にすることができます(次の表では 0x00 で表されます)。

表 5-11 コンフィギュレーション命令

命令名	完全な命令(命令バイト+冗長情報バイト)
Read ID Code	0x11000000
Read User Code	0x13000000
Read Status Code	0x41000000
Reconfig/Reprogram	0x3C00
Write Enable	0x1500
Write Disable	0x3A00
Write Data	0x3B
Write Data with Quad SPI	0x6B
Program SPI Flash	0x1600
Init Address	0x1200
Erase SRAM	0x0500
Reinit	0x3F00

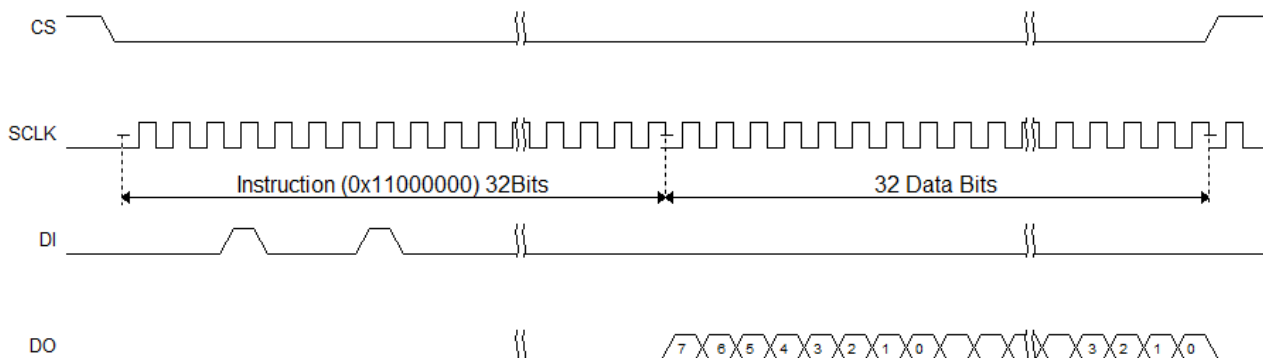
#### Read ID Code

FPGA の ID Code の長さは 32 ビットであり、ID を読み出すための命

令の長さは 32 ビット(0x11000000)です。命令が送信される前に、CS を High にし、FPGA が CS の状態を認識できるようにこの状態を 2 クロックサイクル以上維持します。

CS が Low にプルダウンされると、MSB フォーマットで命令 0x11000000 を書き込み、この 4 バイトの命令を書き込んだ後、32 クロックを生成する必要があります。このとき、ID Code データは DO から MSB の形式で順次シフトされます。

図 18 ID Code の読み出しのタイミング図

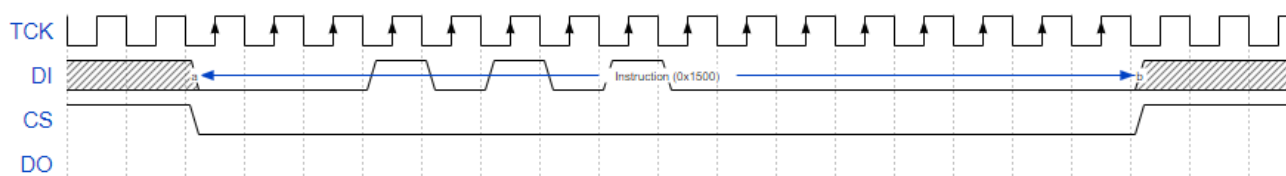


StatusCode/UserCode の読み出しも、ID Code の読み出しと同様です。

### Write Enable (0x1500)

SRAM をコンフィギュレーションする前、Write Enable(0x15)命令を使用してデバイス編集モードに入り、デバイスが Write Data(0x3B)命令を受信できるようにします。

図 5-19 Write Enable(0x15)タイミング説明図



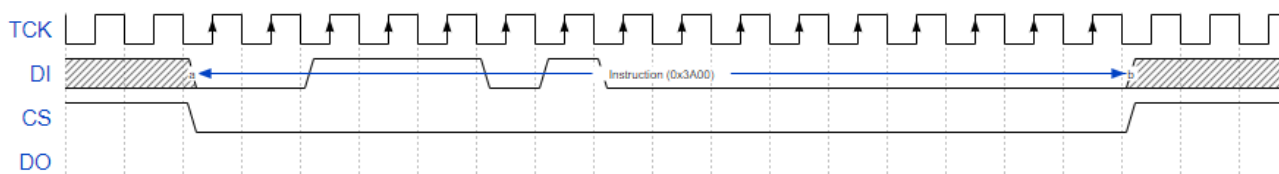
注記：

SCLK 駆動ルール：CS が High の場合、FPGA を駆動して CS 信号を認識させるために 2 サイクル以上の SCLK が必要です。他の命令の送信もこのルールに従います。

### Write Disable (0x3A00)

データ送信後、Write Disable を使用して編集モードを終了してください。終了後、デバイスを起動し、動作状態にすることができます。

図 5-20 Write Disable (0x3A00)のタイミング図



上記の 0x1500 と 0x3A00 命令のタイミングはほぼ同じです。CS が Low にプルダウンされた後、命令の送信が開始し、命令の送信が完了した後、CS が High にプルアップされます。0x3C00(Reconfig/Reprogram)、0x1500(Write Enable)、0x3A00(Write Disable)、0x1600(Program SPI Flash)、0x1200(Init Address)、0x0500(Erase SRAM)などの命令もこのようなタイミングです。

また、SSPI は外部クロックによって駆動されるため、これらの命令の前後で CS が High の場合、FPGA が CS 状態をキャプチャできるようになるまで 2 つ以上のクロックサイクルが必要です。

### Erase SRAM(0x0500)

この命令のタイミングは WriteEnable/WriteDisable と同じであり、命令の内容を 0x0500 に置き換えただけです。

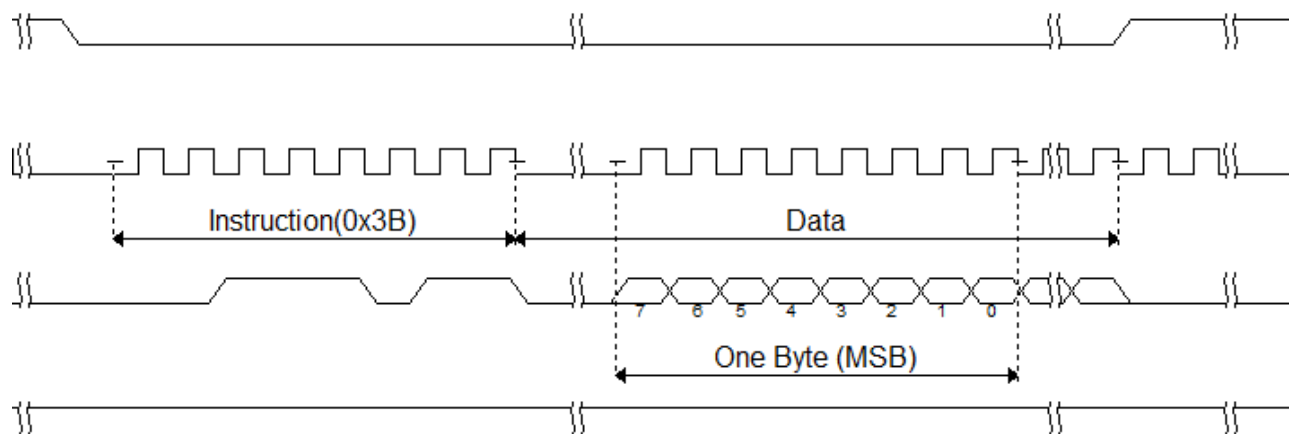
命令を送信した後、命令が実行されるまでに少なくとも 10ms の遅延が必要です。

### Write Data (0x3B)

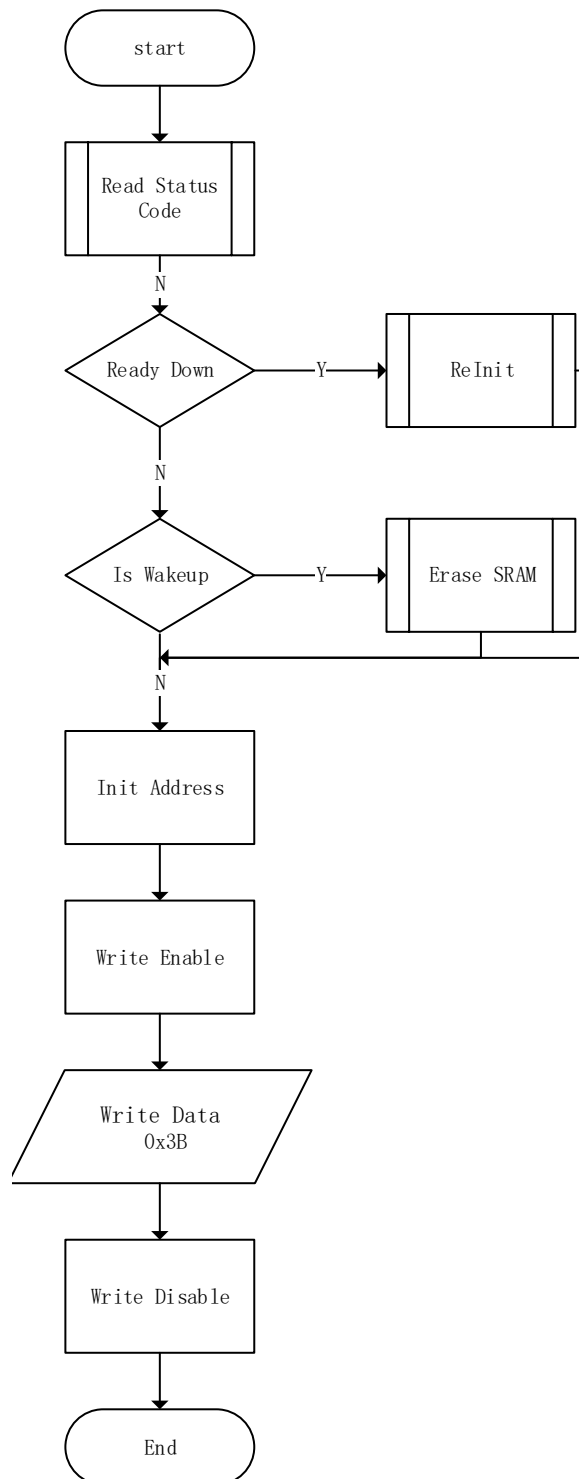
WriteData(0x3B)命令を使用して FPGA デバイスにデータストリームファイルを直接送信します。

データの書き込み中、CS は常に Low であることに注意してください。

図 5-21 Write Data(0x3B)のタイミング図



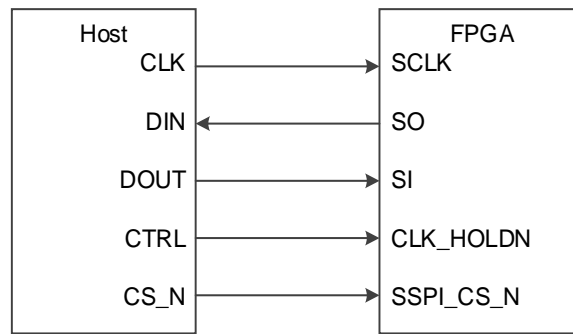
### 5.4.4 SSPI Configure SRAM のフローチャート



### 5.4.5 SSPI コンフィギュレーションモードの接続説明図

SSPI コンフィギュレーションモードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続説明図は図 5-22 に示すとおりです。

図 5-22 SSPI コンフィギュレーションモードの接続説明図



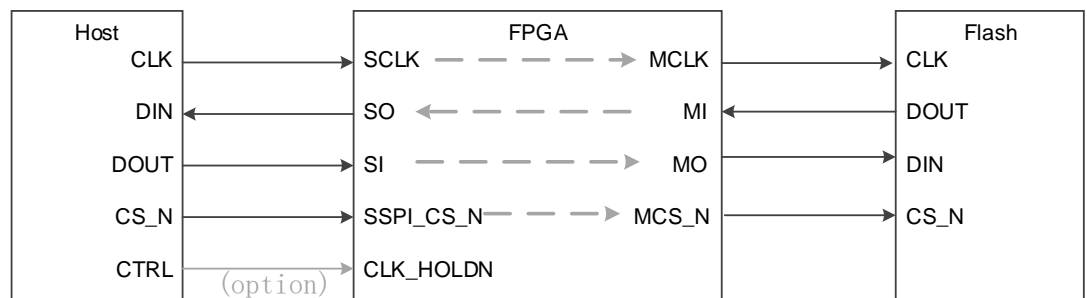
注記：

- この図は **SSPI** コンフィギュレーションモードの最小システム図を示しています。他の固定ピンの接続については図 5-1 を参照してください。
- CLKHOLD\_N のデフォルト状態は、内部の弱いプルダウンです。**SSPI** モードを使用する場合は、CLKHOLD\_N を High に設定してください。

通常の **SRAM** コンフィギュレーション操作に加えて、**SSPI** コンフィギュレーションピンは **FPGA** 外部の **SPI** フラッシュもプログラムでき、フラッシュプログラミングの **MODE** 値は **SSPI** コンフィギュレーションモードの **MODE** 値と同じです。ユーザーは **Gowin** プログラミングソフトウェアでコンフィギュレーションデータを **SRAM** またはオフチップ **Flash** に書き込むことができます。オフチップ **Flash** からロードする前に、**MODE** を **MSPI MODE** に調整してから、再パワーアップするか **RECONFIG\_N** をトリガーして **MSPI** ロードをトリガーする必要があります。

**SSPI** インターフェースを介したオフチップ **Flash** プログラミングの接続図は図 5-23 に示すとおりです。

図 5-23 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図

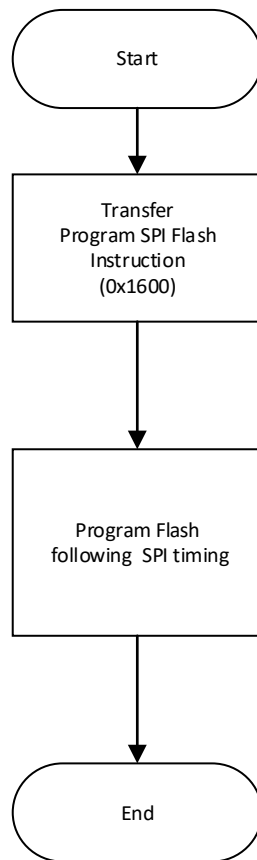


**Flash** プログラミングのフローチャートを図 5-24 に示します。まず、「Program SPI Flash」(0x1600)命令を **SSPI** を介して **FPGA** に送信します。その後、**FPGA** は **SSPI** を **Flash** に転送できます。これにより、Host は **SSPI** を介して **Flash** に直接アクセスできます。次に、**Flash** の関連するタイミングに従って **Flash** をプログラムできます。

**Flash** からデータを読み出す場合、データは 1 ビット遅延することに注意してください。たとえば、**SSPI** が **Flash** の ID Code を読み出すとき、最後のビットを取得するために追加の 1 クロックを送信する必要があります。

す。

図 5-24 SSPI モードでの Flash プログラミングのフローチャート



### 5.4.6 SSPI モードでの複数 FPGA 接続

図 5-25 複数 FPGA の接続図 1

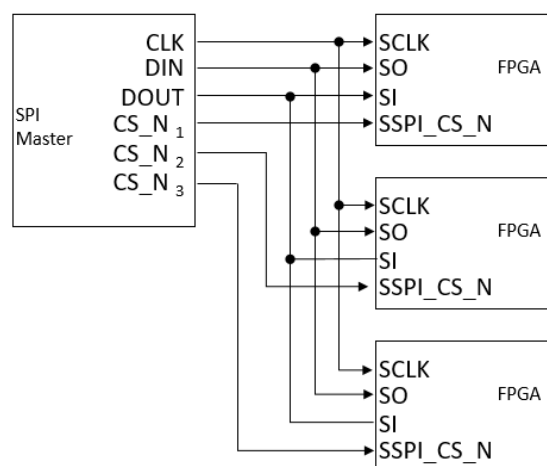
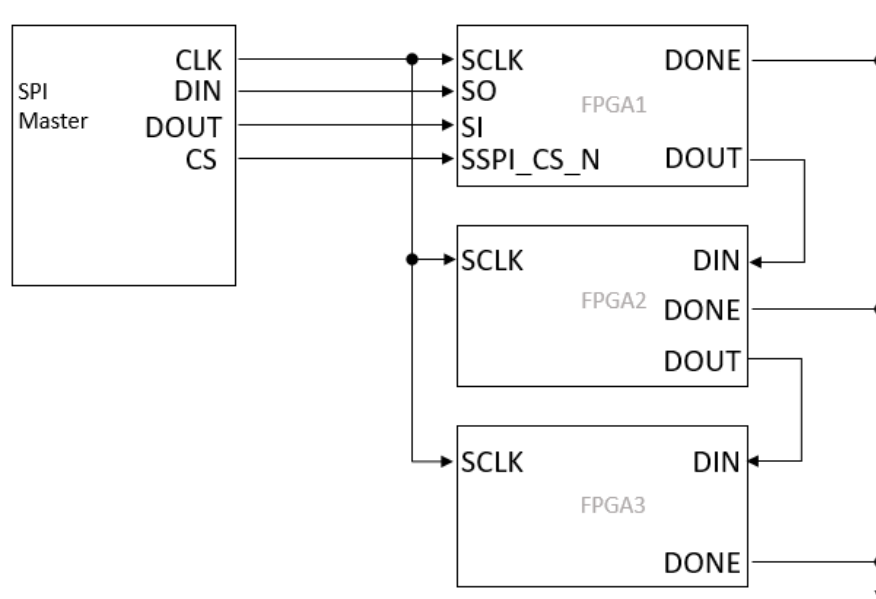




図 5-26 複数 FPGA の接続図 2



## 5.5 QSSPI コンフィギュレーションモード

Gowin のオンチップ Flash はデフォルトで Flash の Quad Enable Bit(QE) を有効にしており、Quad Slave SPI(QSSPI)を直接使用できます。QSSPI コンフィギュレーションモードに関連するピンは表 5-12 に示すとおりです。

表 5-12 QSSPI モードのピン

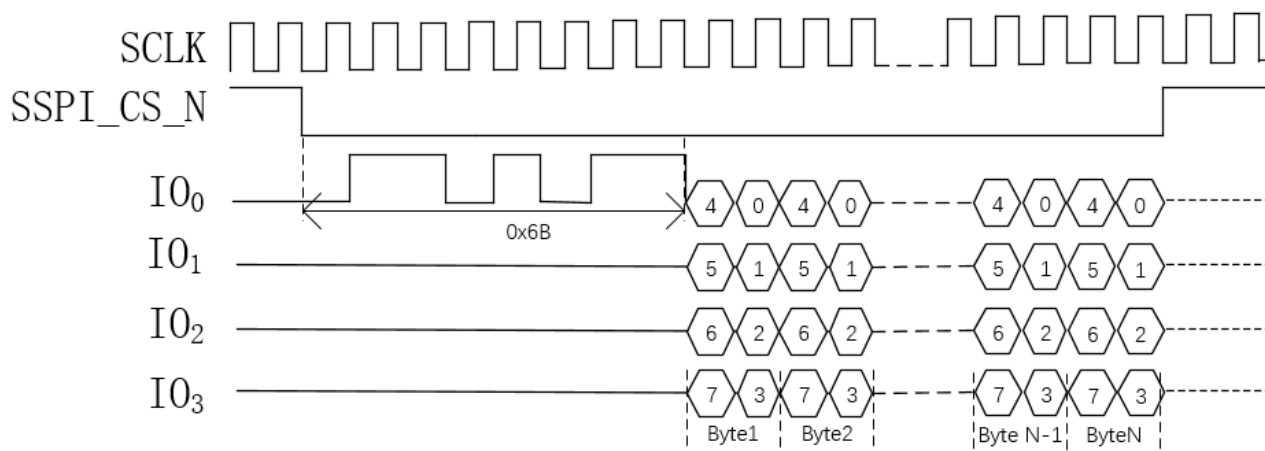
ピン名	I/O タイプ	説明
RECONFIG_N	I、 内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O、 内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O、 内部の弱いプルアップ	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[1:0]	I、 内部の弱いプルダウン	コンフィギュレーションモードの選択用で、READY の立ち上がりエッジでサンプリング
SCLK	I、 内部の弱いプルアップ	クロック入力

IO <sub>3</sub> (CLKHOLD_N)	I、 内部の弱いプルダウン	Qaud SPI の IO <sub>3</sub> として使用されます。
IO <sub>2</sub> (QSSPI_WPN)	I、 内部の弱いプルダウン	Qaud SPI の IO <sub>2</sub> として使用されます。
IO <sub>1</sub> (SO)	O、 内部の弱いプルダウン	Qaud SPI の IO <sub>1</sub> として使用されます。
IO <sub>0</sub> (SI)	I、 内部の弱いプルダウン	Qaud SPI の IO <sub>0</sub> として使用されます。
SSPI_CS_N	I、 内部の弱いプルアップ	QSSPI のチップセレクト信号、アクティブ Low

QSSPI モードでの SRAM のコンフィギュレーションプロセスは次のとおりです。ここで、Read Status、Reinit、Erase SRAM、InitAddress、Write Enable、Write Disable は引き続き SSPI 命令を使用し、Write Data のみが QSSPI 命令を使用します。

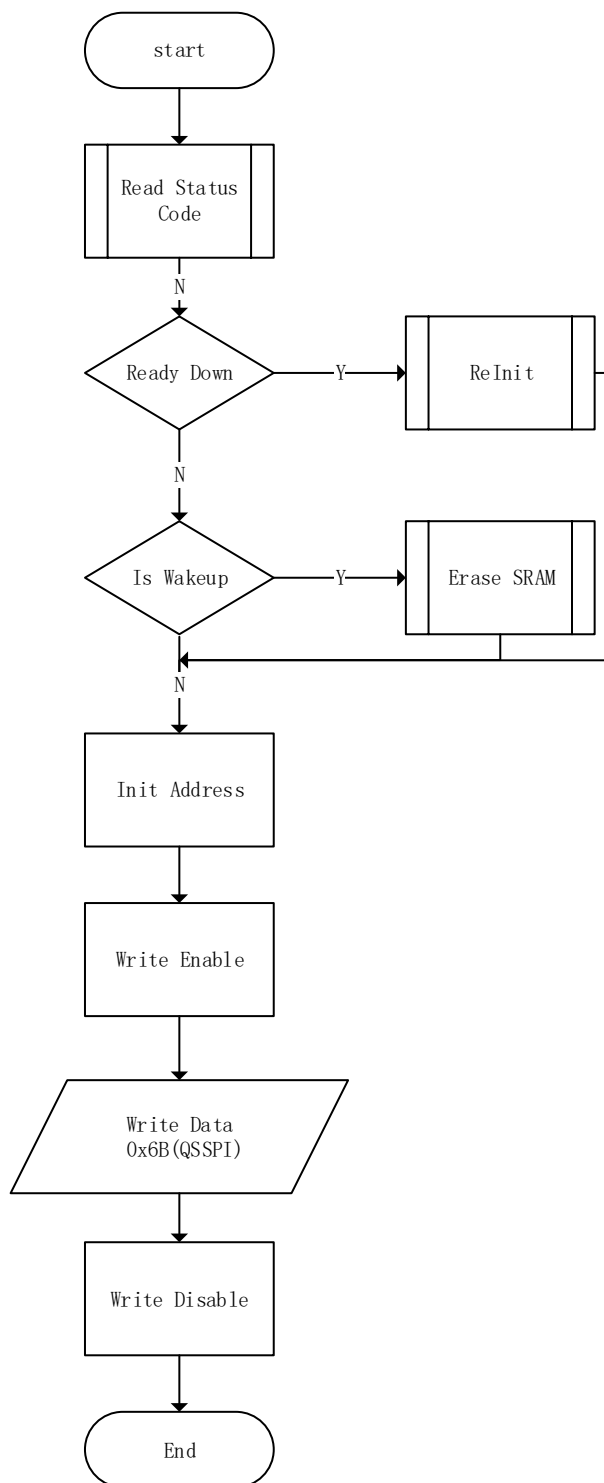
QSSPI Write Data (0x6B) のタイミングを図 5-27 に示します。

図 5-27 QSSPI Write Data (0x6B) のタイミング図



QSSPI モードでの SRAM のコンフィギュレーションプロセスを図 5-28 に示します。

図 5-28 QSSPI モードでの SRAM のコンフィギュレーションプロセス



## 5.6 CPU コンフィギュレーションモード

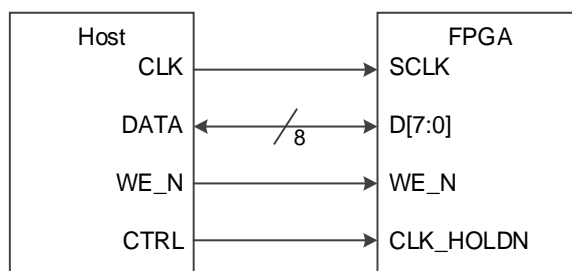
CPU コンフィギュレーションモードでは、ホストは 8 ビット幅のデータバスインターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。CPU コンフィギュレーションモードでのピンは表 5-13 に示すとおりです。

表 5-13 CPU モードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I、 内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O、 内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O、 内部の弱いプルアップ	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[1:0]	I、 内部の弱いプルダウン	コンフィギュレーションモードの選択信号、READY の立ち上がりエッジでサンプリング
SCLK	I、 内部の弱いプルアップ	クロック入力
CLKHOLD_N	I、内部の弱いプルダウン	High レベル：CPU 操作が有効 Low レベル：CPU 操作が無効
WE_N	I、 内部の弱いプルダウン	読み出し書き込みイネーブル 0：書き込み 1：読み出し
D[7:0]	I/O	データ入出力ポート：CPU コンフィギュレーションモードの入力ピンとして、コンフィギュレーション完了後に検証用の出力ピンに変換できます。

CPU コンフィギュレーションモードの接続図は図 5-29 に示すとおりです。

図 5-29 CPU コンフィギュレーションモードの接続説明図



注記：

この図は CPU コンフィギュレーションモードの最小システム図を示しています。モードの **MODE** 値は “111” で、他の固定ピンの接続については図 5-1 を参照してください。

上記の電源要件のほか、CPU モードを使用するには、以下の条件を満たす必要があります。

- **CPU インターフェースイネーブル**  
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき **RECONFIG\_N** を通常の I/O に設定していません。
- 新しいコンフィギュレーションを開始します

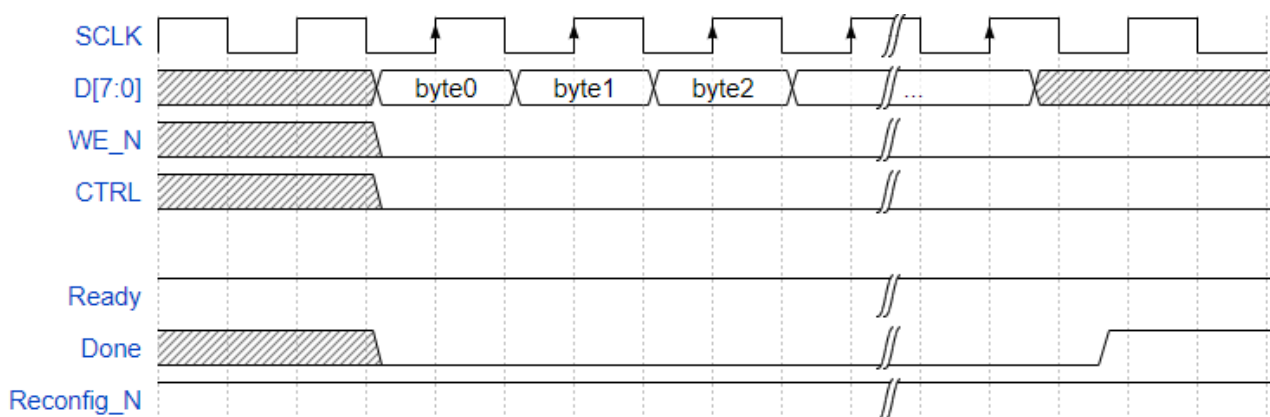
再パワーアップまたは **Low** レベルで **RECONFIG\_N** ピンをトリガします。

### 5.6.1 コンフィギュレーションタイミング

コンフィギュレーションする前に、**MODE[1:0]** が 11 に設定されていることを確認してください。コンフィギュレーションが完了すると、**DONE** が **High** にプルアップされます。**DONE** または **READY** が **Low** である場合、設定は失敗します。

コンフィギュレーションにおいて、データバス **D[7 : 0]** はビッグエンディアンモード(**MSB** ファースト)で処理され、FPGA は **SCLK** の立ち上がりエッジでデータを読み出します。

図 5-30 CPU モードのコンフィギュレーションタイミング



## 5.7 SERIAL コンフィギュレーションモード

SERIAL モードでは、Host はシリアルインターフェースを介して GOWIN セミコンダクター FPGA 製品をコンフィギュレーションします。SERIAL コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの 1 つです。SERIAL コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、SERIAL コンフィギュレーションモードでは ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことができません。SERIAL コンフィギュレーションモードのピンの定義は表 5-14 に示すとおりです。

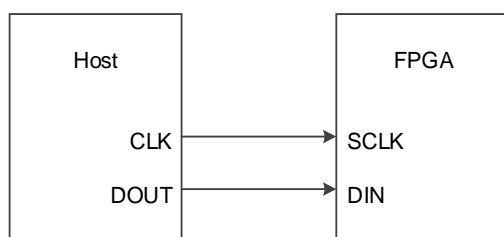
表 5-14 SERIAL コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
RECONFIG_N	I、 内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O、 内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O、 内部の弱いプルアップ	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[1:0]	I、 内部の弱いプルダウン	コンフィギュレーションモードの選択信号、READY の立ち上がりエッジでサンプリング
SCLK	I、 内部の弱いプルアップ	クロック入力
DIN	I、	入力データ

ピン名	I/O タイプ	説明
	内部の弱いプルダウン	
DOUT	O、内部の弱いプルダウン	データ出力。FPGA カスケード時の SERIAL コンフィギュレーションモードにのみ用います。

SERIAL コンフィギュレーションモードの接続説明図は、図 5-31 に示す通りです。

図 5-31 SERIAL コンフィギュレーションモードの接続説明図



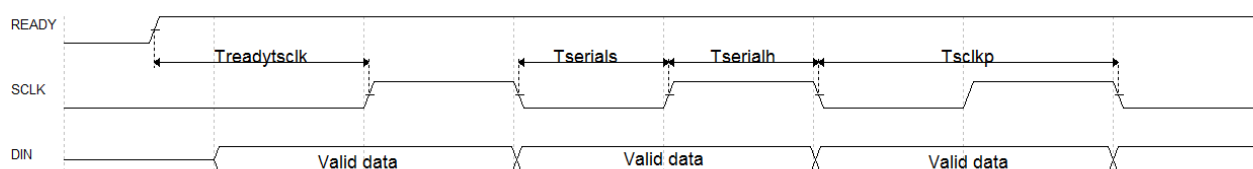
注記：

この図は SERIAL コンフィギュレーションモードの最小システム図を示しています。モードの MODE 値は “10” で、他の固定ピンの接続については図 5-1 を参照してください。

### SERIAL コンフィギュレーションモードのタイミング図

SERIAL コンフィギュレーションモードのタイミングを図 5-32 に示します。

図 5-32 SERIAL コンフィギュレーションモードのタイミング図



関連するタイミングパラメータは、表 5-15 に示す通りです。

表 5-15 SERIAL コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T <sub>sclkp</sub>	SCLK クロックのサイクル(SCLK clock period)	15ns	-
T <sub>serials</sub>	SERIAL PORT のセットアップ時間(SERIAL PORT setup time)	2ns	-
T <sub>serialh</sub>	SERIAL PORT のホールド時間(SERIAL PORT hold time)	0ns	-
T <sub>readytsclk</sub>	READY の立ち上がりエッジから 1 つ目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	TBD	-

上記の電源要件のほか、SERIAL モードを使用するには、以下の条件を満たす必要があります。

- **SERIAL** インターフェースイネーブル  
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき **RECONFIG\_N** を通常の I/O に設定していません。
- 新しいコンフィギュレーションを開始します

再パワーアップまたは **Low** レベルで **RECONFIG\_N** ピンをトリガします。

## 5.8 I<sup>2</sup>C コンフィギュレーションモード

I<sup>2</sup>C モードでは、Host は I<sup>2</sup>C インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。I<sup>2</sup>C コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの 1 つです。I<sup>2</sup>C コンフィギュレーションモードでは、ビットストリームデータを **FPGA** に書き込むことはできますが、**FPGA** デバイスからデータをリードバックすることはできません。よって、I<sup>2</sup>C コンフィギュレーションモードでは、**ID CODE**、**USER CODE**、およびステータスレジスタ情報を読み出すことや、リードバックすることができません。I<sup>2</sup>C コンフィギュレーションモードのピンの定義は表 5-16 に示すとおりです。

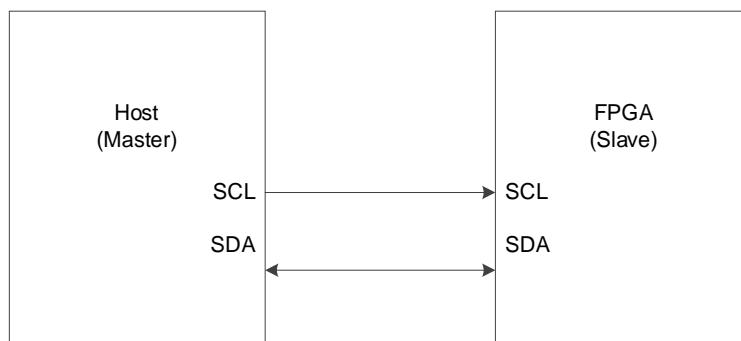
表 5-16 I<sup>2</sup>C コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
RECONFIG_N	I、 内部の弱いプルアップ	<b>Low</b> レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O、 内部の弱いプルアップ	<b>High</b> レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます <b>Low</b> レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O、 内部の弱いプルアップ	<b>High</b> レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 <b>Low</b> レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[1:0]	I、内部の弱いプルダウン	コンフィギュレーションモードの選択信号、 <b>READY</b> の立ち上がりエッジでサンプリング
SCL	I、 内部の弱いプルダウン	クロック入力
SDA	I/O、 内部の弱いプルダウン	データ入力、または <b>ACK</b> 出力。 I <sup>2</sup> C コンフィギュレーションモードをサポートする場合、 <b>SDA</b> ピンを外部でプルアップする必要があります



I<sup>2</sup>C コンフィギュレーションモードの接続説明図は、図 5-33 に示す通りです。

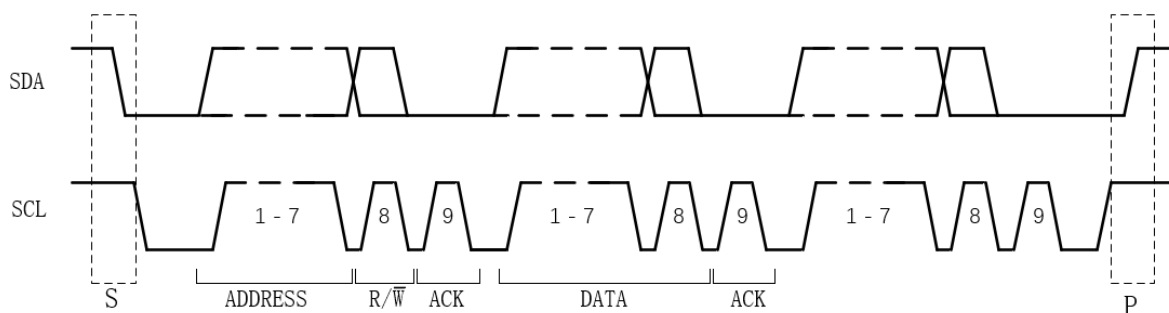
図 5-33 I<sup>2</sup>C コンフィギュレーションモードの接続図



注記：

この図は I<sup>2</sup>C コンフィギュレーションモードの最小システム図を示しています。他の固定ピンの接続については図 5-1 を参照してください。

図 5-34 I<sup>2</sup>C コンフィギュレーションモードのタイミング図

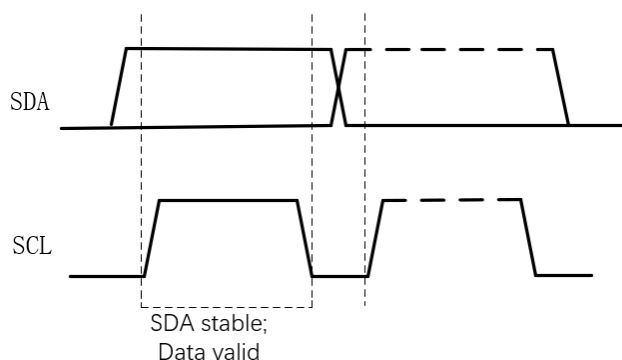


I<sup>2</sup>C はシリアル伝送バスであり、上図に示すプロトコルに従ってデータ伝送を実行します。アイドル状態では、SDA と SCL の両方が High レベルです。

表 5-17 I<sup>2</sup>C コンフィギュレーションモードのタイミングパラメータ

パラメータ	パラメータの意味	
S	開始条件	SCL が High の場合、SDA が High から Low になります。
P	停止条件	SCL が High の場合、SDA が Low から High になります。
ADDRESS	アドレスフレーム	各スレーブデバイスの一意の 7 ビットまたは 10 ビットのシーケンスであり、マスターデバイスがスレーブデバイスと通信するときにこのスレーブデバイスを識別するために使用されます。
R/W	読み出し/書き込みビット	マスターデバイスがスレーブデバイスにデータを送信するか (0)、スレーブデバイスからデータを読み出すか (1) を指定します。
ACK	ACK/NACK ビット	メッセージ内の各フレームの後に ACK/NACK ビットが続き、Gowin FPGA が正しい場合に 0 を返します。
DATA	データ	1 つのデータは 8 ビットで、MSB First フォーマットで送信されます。

I<sup>2</sup>C バス上のすべてのデータはバイト(8 ビット)で転送されます。送信機がバイトを送信するたびに、データラインはクロックパルス 9 の間に解放され、受信機は応答信号をフィードバックします。**Low** の応答信号は、肯定応答ビット (ACK) として定義されます。これは、受信機がバイトを正常に受信したことを意味します。**High** の応答信号、否定応答ビット (NACK) として定義されます。これは通常、受信機がバイトの受信に成功しなかったことを意味します。肯定応答ビット ACK のフィードバックの要件は、受信機が 9 番目のクロックパルスの前の **Low** レベル期間中に **SDA** ラインを **Low** にプルダウンし、それがクロックの **High** レベル期間中に安定した **Low** レベルであることを保証することです。受信機がマスターの場合、最後のバイトを受信した後、**NACK** 信号を送信して、制御された送信機にデータ送信を終了し、**SDA** ラインを解放して、マスター受信機が停止信号を送信するように通知します。I<sup>2</sup>C バスで転送されるデータの各ビットには、対応するクロックパルス（または同期制御）があります。つまり、**SCL** シリアルクロックの協力により、データの各ビットは **SDA** でビットずつにシリアルに転送されます。データ転送の際、**SCL** の **High** レベル期間中、**SDA** のレベルは安定している必要があります。**Low** レベルはデータ 0、**High** レベルはデータ 1 です。**SCL** が **Low** の場合にのみ、**SDA** ラインのレベルは状態を変更できます。次の図に示すとおりです。



Gowin デバイスでサポートされている I<sup>2</sup>C コンフィギュレーションモード情報を表 5-18 に示します。

表 5-18 I<sup>2</sup>C コンフィギュレーションモードの周波数およびアドレス

モード	デバイス	周波数	アドレス
SRAM	GW2AN-18X/9X シリーズ	100KHz~555K	7'b1010000 <sup>[1]</sup>
オンチップ Flash <sup>[2]</sup>			

注記：

- [1] I<sup>2</sup>C のスレーブアドレスは下位 2 ビット構成をサポートし、デフォルトアドレスは 7'b1010000 です。
- [2] I<sup>2</sup>C で Flash を操作するには、データストリームファイルを特定のデータストリームに変換する必要があります。変換ツールは **Programmer** に含まれており、変換されたファイル名の拡張子は「.i2c」です。「.i2c」はバイナリファイルです。

上記の電源要件のほか、I<sup>2</sup>C モードを使用するには、以下の条件を満たす必要があります。

- I<sup>2</sup>C インターフェースイネーブル  
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき RECONFIG\_N を通常の I/O に設定していません。
- 新しいコンフィギュレーションを開始します

再パワーアップまたは Low レベルで RECONFIG\_N ピンをトリガします。

### 5.8.1 コンフィギュレーション命令

I<sup>2</sup>C コンフィギュレーションモードでは、統一したアドレスが使用され、命令を通じて SRAM または Flash をコンフィギュレーションします。以下は、I<sup>2</sup>C コンフィギュレーション命令の一覧です。

表 5-19 I<sup>2</sup>C コンフィギュレーション命令

名称	完全な命令(命令バイト+冗長情報バイト)
Reinit	0x3F
Config-SRAM	0x33
Config-Flash	0x55

図 5-35 Reinit のタイミング図

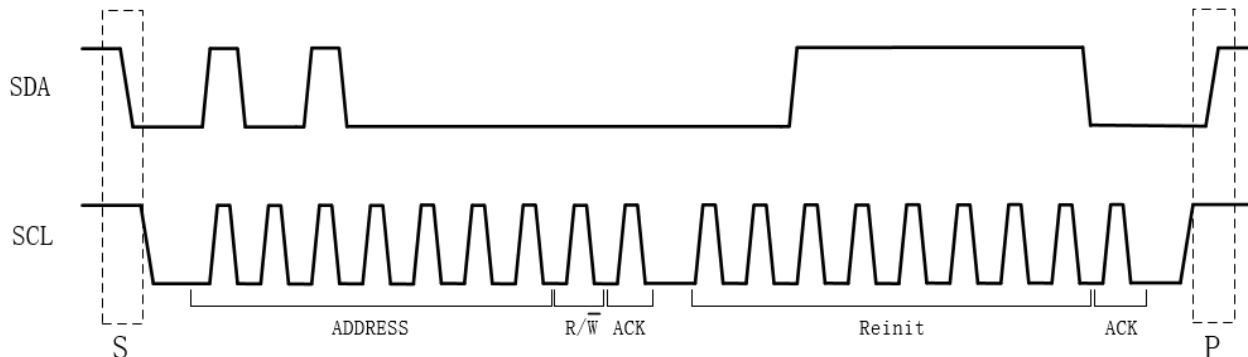


図 5-36 SRAM コンフィギュレーションのタイミング図

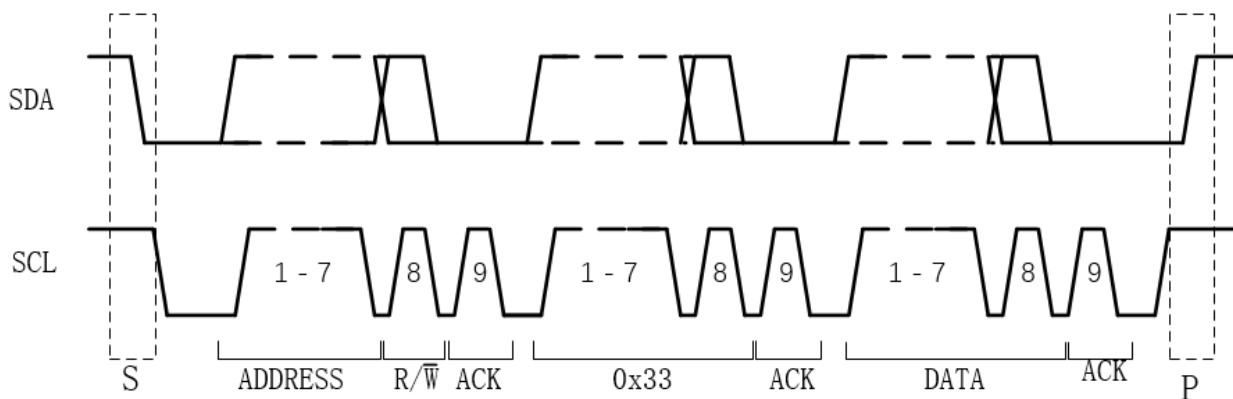
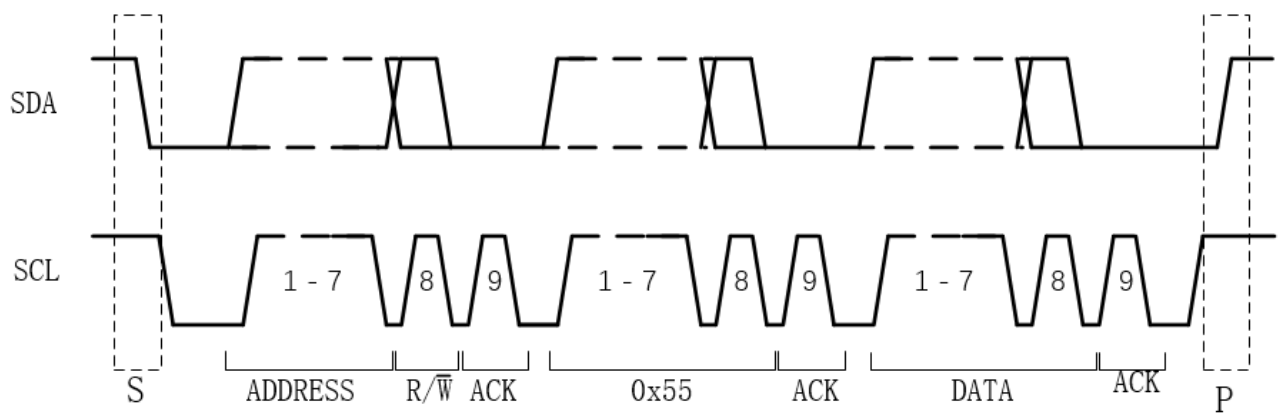


図 5-37 Flash コンフィギュレーションのタイミング図



# 6 ビットストリームファイルの構成

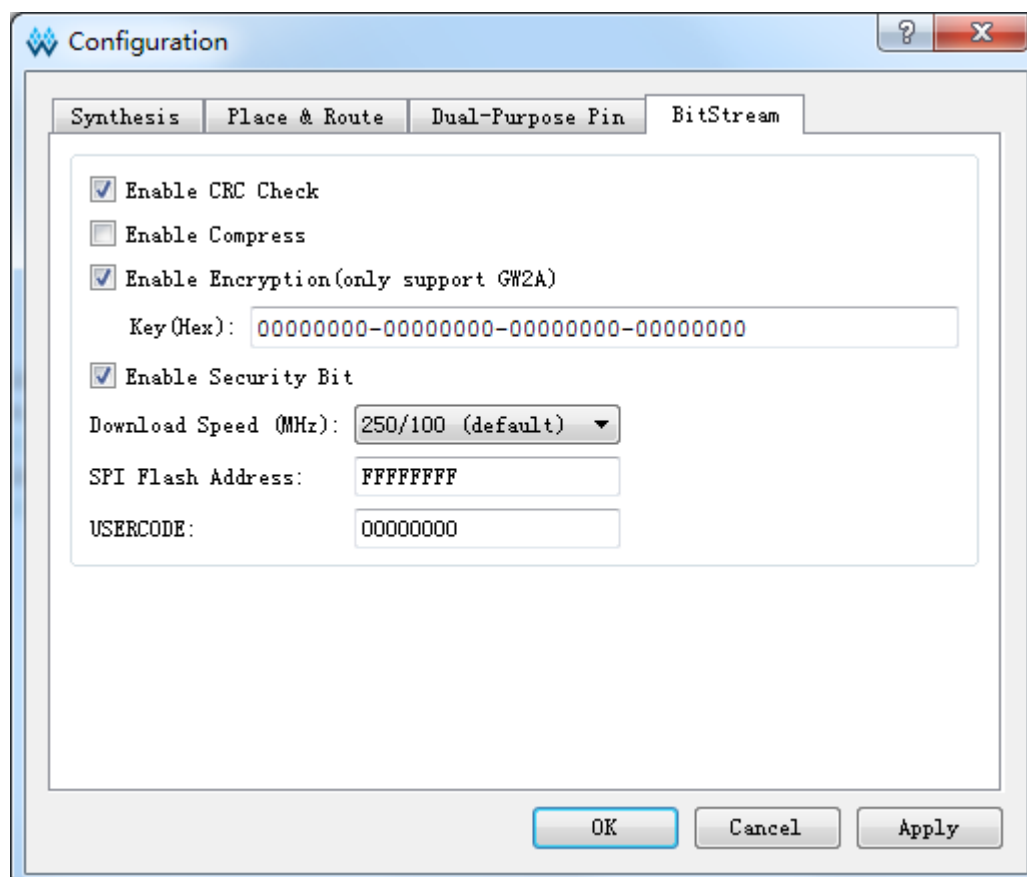
GOWIN セミコンダクターFPGA 製品のプログラミング・コンフィギュレーションの特性を実現するには、Gowin ソフトウェアで設定する必要があります。構成には主にコンフィギュレーションピンの多重化とビットストリームファイルの構成が含まれます。このセクションでは、主にビットストリームファイルの構成について説明します。コンフィギュレーションピンの多重化の詳細については、[4.1.2 ピンの多重化](#)を参照してください。

コンフィギュレーションデータの安全で正確な転送を保証するために、GOWIN セミコンダクターはFPGA 製品のビットストリームファイルにデフォルトでCRC アルゴリズムを追加してセキュリティビットを設定しています。データコンフィギュレーションの間、入力データはリアルタイムでチェックされ、誤ったデータがデバイスをウェイクアップさせることはできず、DONE 信号がプルダウンされます。セキュリティビットのあるビットストリームデータのコンフィギュレーションが完了した後、ユーザーはリードバックできません。

## 6.1 構成オプションの設定

CRC 設定、ビットストリームデータ圧縮、暗号化キー設定、セキュリティビット設定、MSPI コンフィギュレーション周波数選択、MULTI BOOT コンフィギュレーションモードでのSPI Flash 起動アドレス設定、USER CODE 設定などのビットストリームデータ関連設定インターフェースについては、[を参照してください](#)。SPI Flash の起動アドレスの下位 12 ビットが無効で、ユーザーはADDR [23:12]のアドレス空間を設定できます。

図 6-1 構成オプション



注記：

GOWIN セミコンダクターの Gowin ソフトウェアは暗号化キー設定オプションにチェックを入れてからセキュリティビット設定オプションにチェックを入れることを強制するので、このようなビットストリームデータをコンフィギュレーションに使用することによって、ユーザーはデータ送信中の安全性を確保し、いかなるリードバック動作も防ぐことができ、それによってユーザーデータの安全性を最大限に確保することができます。

## 6.2 コンフィギュレーションデータの暗号化

Gowin GW2AN-18X/9X FPGA 製品は、ビットストリームデータの暗号化をサポートし、128 ビットの AES 暗号化アルゴリズムを使用しています。暗号化されたビットストリームデータのコンフィギュレーション手順は次のとおりです。

1. Gowin ソフトウェアに暗号化キーを入力してビットストリームファイルを生成します。
2. Gowin プログラミングソフトウェアに復号化キーを入力して FPGA に保存します。
3. 暗号化されたビットストリームデータがデバイスにロードされた後、デバイスはデータ解析のために復号化キーを読み出します。データの解析に成功した後、デバイスは正常にコンフィギュレーションされて動作します。データ解析が失敗した後、デバイスは動作できず、READY および DONE 信号はプルダウンされます。

## 6.2.1 定義

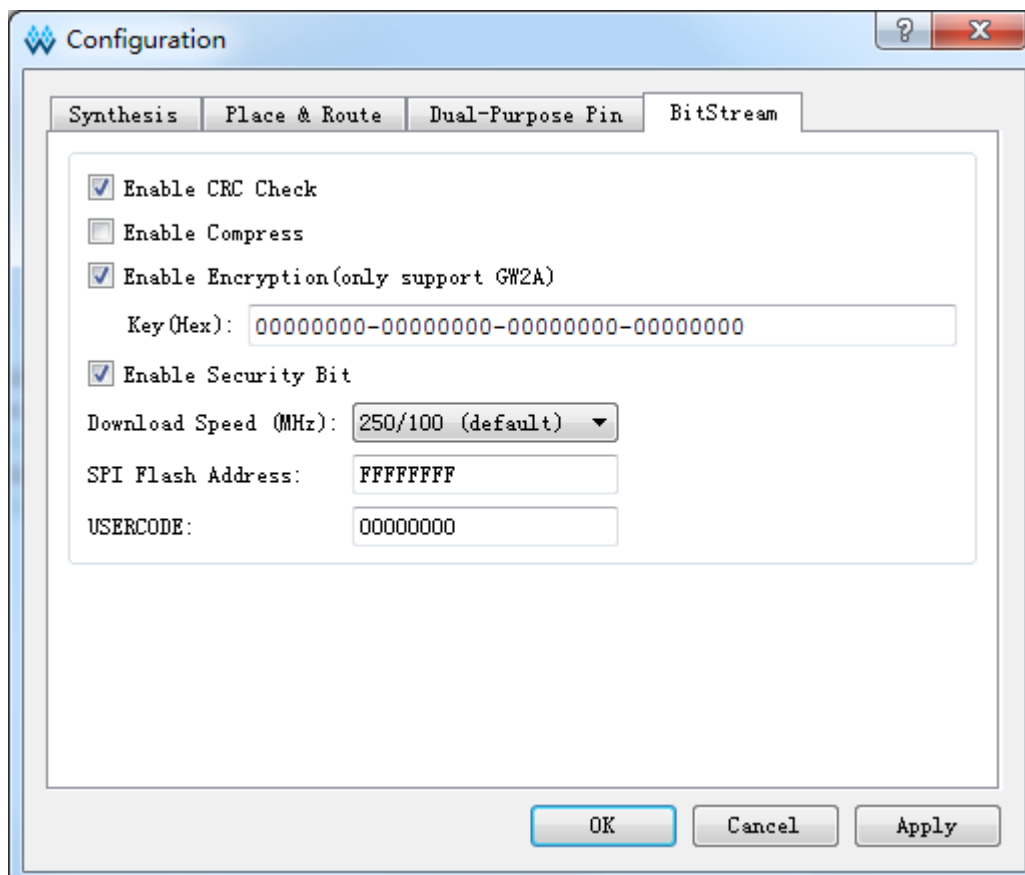
- **AES 暗号化キー** : AES プライベートキーとも呼び、AES 暗号アルゴリズムで使われるプライベートキーの部分です。アルゴリズム以外で指定され、本文では **key** と略称します。
- **AES 暗号化キーの長さ** : 128 ビット
- **Key** : AES 暗号化キーの略称。GW2A(R)シリーズ FPGA 製品では、128 ビット長さへのアドレスを **Key** の保存に使用します。
- **Lock** : AES 暗号化キーのセキュリティのため、この命令はキーの読み出し権限の制限に使用されます。本文では、このプロセスを **lock**(ロック)と略称します。ロック状態になると、リードバックされるデータはすべて 1 となります。

## 6.2.2 暗号化キーの入力

Gowin ソフトウェアに暗号化キーを入力する方法は次のとおりです。

1. Gowin ソフトウェアで対応するプロジェクトを開きます。
2. メニューバーで “Project>Configuration” を選択します。
3. “BitStream” タブをクリックし、“Enable Encryption(only support GW2A)” を選択して暗号化キーの値を入力します(図 6-2)。

図 6-2 暗号化キーの設定方法



デバイスは暗号化されたビットストリームデータを解析してコンフィギュレーションを完了するには、暗号化キーを正しく設定して復号化キーを

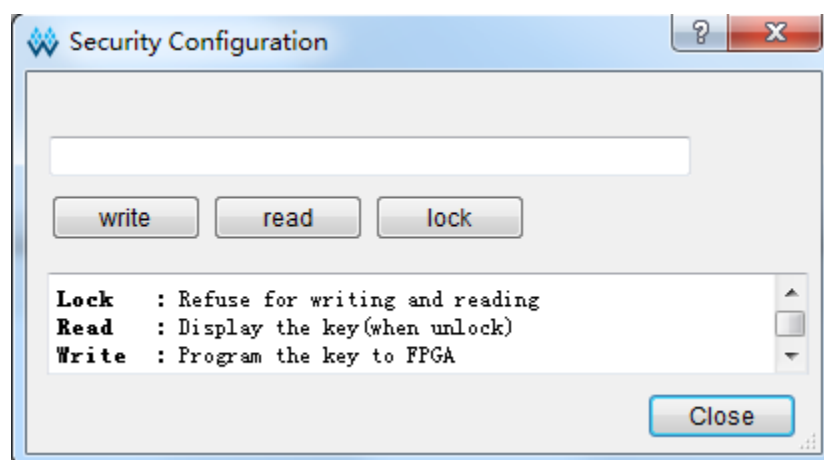
FPGA のキー格納領域に書き込む必要があります。

### 6.2.3 復号化キーの入力

復号化キーは次のように書き込まれます。

1. Gowin プログラミングソフトウェアを開きます。
2. FPGA デバイスをスキャンします。
3. デバイスを右クリックして **Configure Security** を選択します。
4. 図 6-3 のように、ポップアップしたインターフェースで以前に暗号化されたキー値を入力し、“write” をクリックして FPGA に書き込みます。

図 6-3 復号化キーの設定方法



復号化キーが首尾よく書き込まれた後、検証のためにインターフェース上の読み出し命令を選択して書き込まれた暗号化キーをリードバックすることができます。

暗号化キーが書き込まれたあと、ユーザーは **lock** 命令を選択して FPGA 内のキーをロックすることもできます。その後、キーの読み出しと書き込みはすべて無効になります。キー値は変更できず、読み出されたすべてのビットは "1" です。

復号化キーが設定された後、暗号化されたビットストリームデータは、復号化キーの照合に成功した後にのみ利用可能です。暗号化されていないビットストリームデータのコンフィギュレーションは、キーの影響を受けません。

注記：

GOWIN セミコンダクターFPGA のキーの初期値のすべてのビットは 0 です。キー値のビットを 1 に変更した場合、0 に戻すことはできません。たとえば、書き込まれたキー値が 00000000-00000000-00000000-00000001 の場合、このデバイスのキーの最下位ビットは常に 1 でなければなりません。

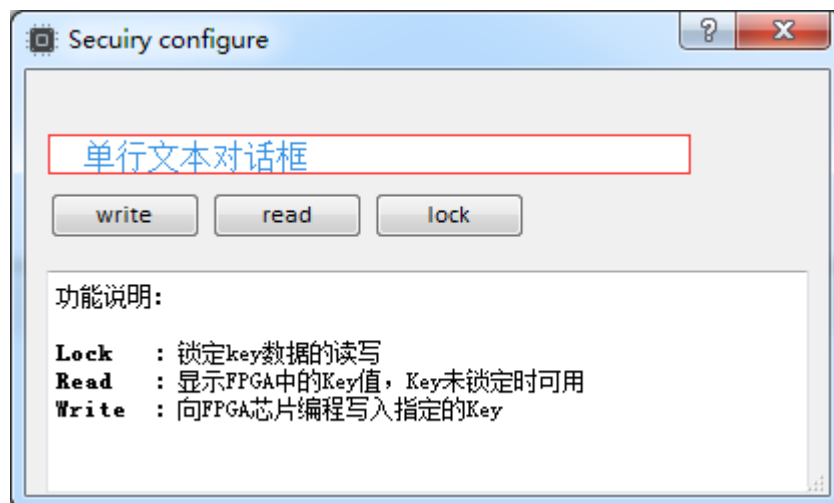
### 6.2.4 AES 暗号化キーのプログラミング操作

Gowin Programmer では、AES 暗号化キープログラミングツールを提供しています。Gowin ソフトウェアでメニューの “Tools” から “Security”



オプションをクリックすると、このツールが開きます(図 6-4)。

図 6-4 AES プログラミングのダイアログ



このプログラムには以下の 3 つの機能があります。

- Write : Key のプログラミング
- Read : Key の読み出し
- Lock : Key の読み出し書き込み権限のロック

#### Key のプログラミング(Write)

1. ユーザー定義の Key(AES 暗号化キー)を“单行文本对话框(一行テキストダイアログ)”に入力します。
2. “Write” ボタンをクリックします。
3. ツールの動作が終了し、チェック結果に戻ります。

#### Key の読み出し(Read)

“read” ボタンをクリックすると、書き込んだ AES 暗号化キーを再度チェックし、読み出した AES は“单行文本对话框(一行テキストダイアログ)”に表示されます。

#### Key のロック(Lock)

“lock” ボタンをクリックすると、Key データの読み出し書き込みがロックされ、AES 暗号化キーの読み出し書き込みができなくなります。

### 6.2.5 AES 暗号化キーのプログラミングプロセス

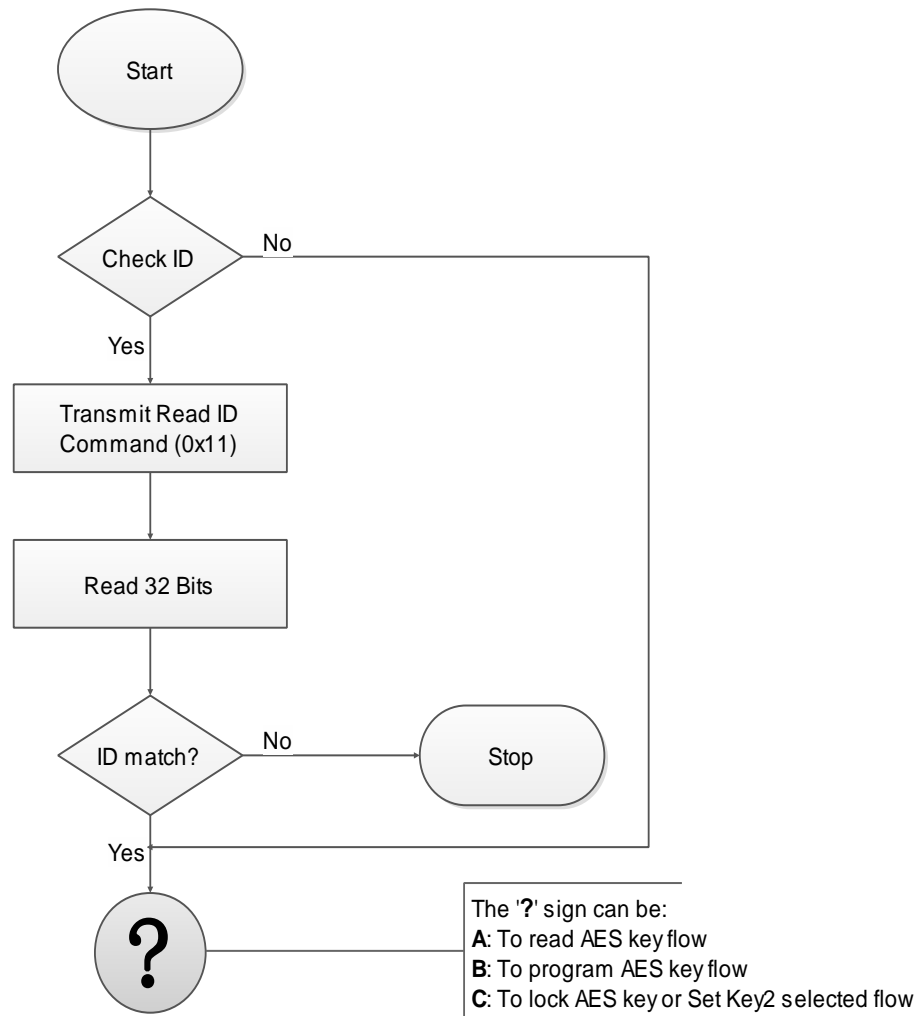
図 6-5 ～ は、AES 暗号化キーのプログラミングまたはロックのプロセスです。これらのプロセスは JTAG プロトコルに基づいています。

#### ID CODE のチェック

デバイス ID をチェックすることにより、JTAG プロトコルが正しく機能しているかどうかを判断できるとともに、プログラミングされるオブジェ

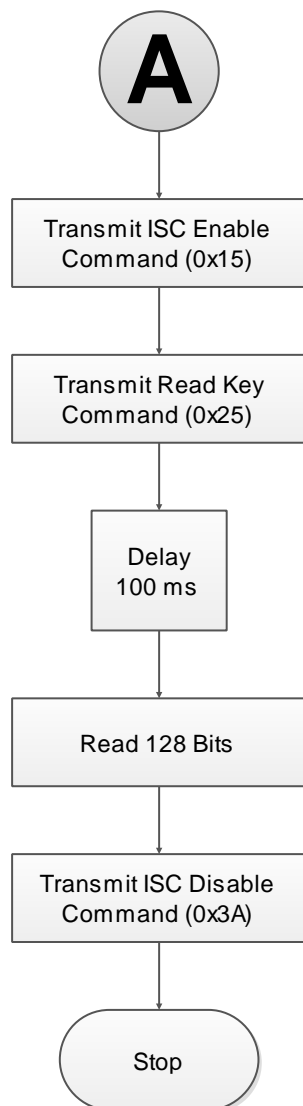
クトが正しいかどうかを確認できます。

図 6-5 Prepare



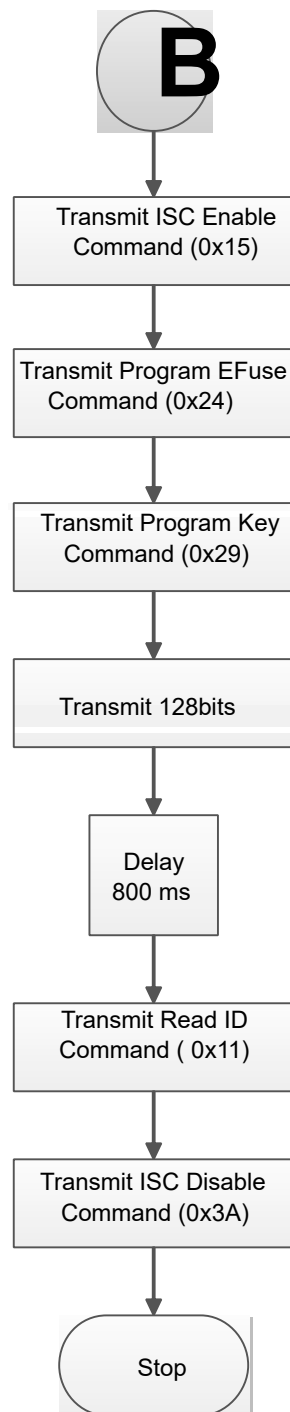
## AES Key の読み出し

図 6-6 Read AES Key Flow



## AES Key のプログラミング

図 6-7 Program AES Key Flow

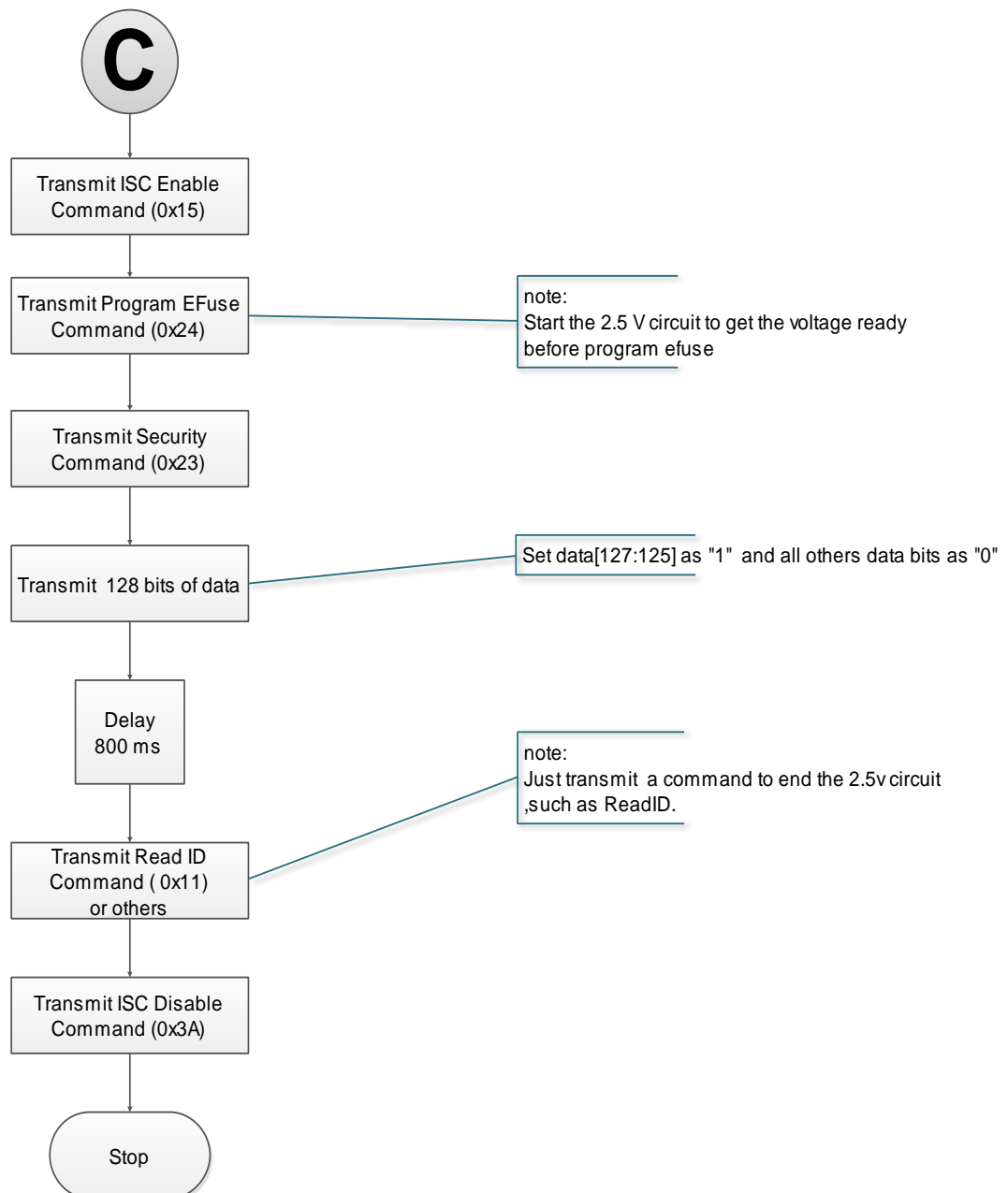


## AES Key のロック

AES Key をロックすることにより、キーの漏洩を防ぐことができます。  
AES Key がロックされた後、キーを読み出し/書き込みすることはできません。

ん。

図 6-8 Lock AES Key Flow



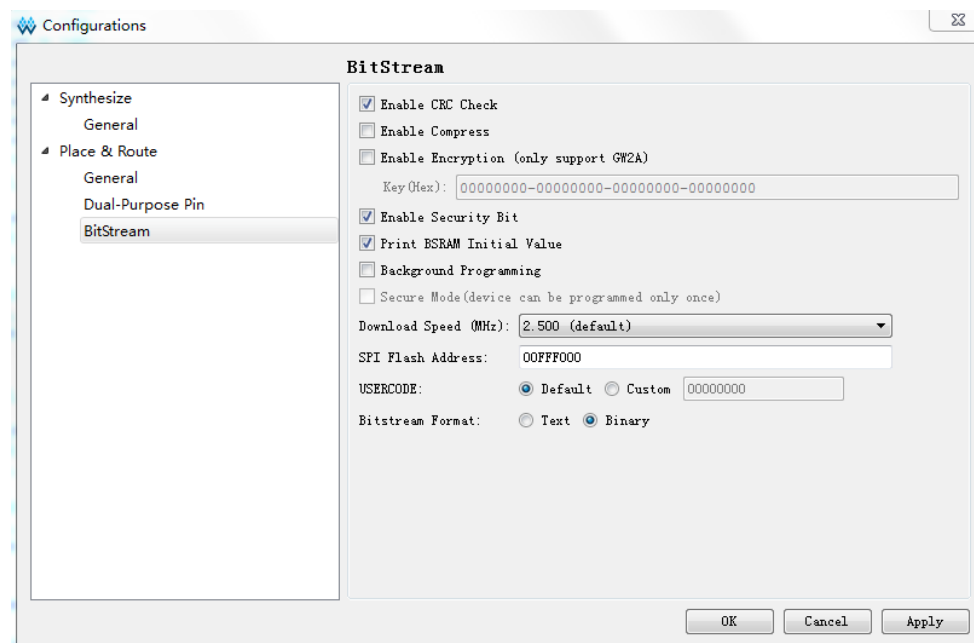
## 6.3 コンフィギュレーションファイルのサイズ

GOWIN セミコンダクターFPGA 製品のコンフィギュレーション用ビットストリームファイルのストレージ形式には、注釈情報を含むテキスト形式(ASCII)のファイルと、注釈情報のないバイナリ形式のファイルが含まれます。テキスト形式のファイル(拡張子は.fs)には、「//」で始まる行はコメントであり、その他の部分はビットストリームデータです。バイナリ形式のファイル(拡張子は.bin)には、コメントは含まれていません。このファイル形式は、通常、組み込みプログラミングで使用されます。ユーザーは Gowin ソフトウェアでストレージ形式を設定できます。

1. Gowin ソフトウェアを開きます。

2. **Process** タブの **Place&Route** を右クリックして、**Configuration** でビットストリームを選択します。
3. 図 6-9 に示すように、**Bitstream Format** オプションでテキスト形式またはバイナリ形式を選択します。

図 6-9 ビットストリーム形式の生成



GOWIN セミコンダクターは、ビットストリームデータの圧縮をサポートしています。圧縮率はユーザーの設計によって異なります。このドキュメントでは、圧縮されていないコンフィギュレーションファイルのサイズのみを示しています(表 6-1)。

表 6-1 Gowin GW2AN-18X/9X FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)

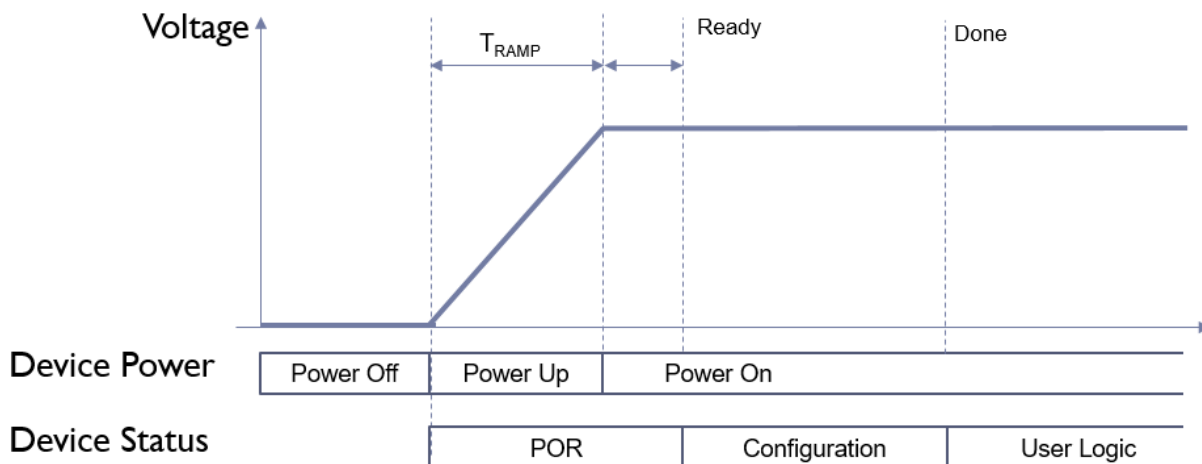
LUT 数	コンフィギュレーションファイルのサイズ(最大値)
8,640	435 KBytes
20,736	887 KBytes

注記：

表に記載のデータは、圧縮されていないバイナリ形式のファイルのサイズです。SPI Flash を使用してデータストリームファイルを保存する場合、余裕が必要です。

## 6.4 コンフィギュレーションファイルのロード時間

FPGA はマスターとして Flash からデータストリームファイルを読み出して SRAM に書き込むことができます。この場合、AUTO BOOT(オンチップ Flash の場合)と MSPI(オフチップ Flash の場合)の 2 つのモードがあります。下図に示すように、FPGA は Ready 後にコンフィギュレーションを開始します。その後、FPGA は User Logic 状態になります。



Gowin GW2AN-18X/9X FPGA 製品は、Quad SPI モードをサポートしています。つまり、デバイスはオンチップ Flash からデータを読み出してコンフィギュレーションします。コンフィギュレーションファイルの読み出しのデフォルトの周波数は 100MHz です。SPI クロックごとに 4 ビットが読み出されます。これにより、読み込みに必要な時間はファイルのサイズに応じて計算できます。MSPI モードでの SPI Flash 読み出しクロックの周波数は最大 125MHz です。また、Fast Read SPI(0x0B)を使用する場合、FastRead\_N ピンを接地する必要があります。

ロード時間は、コンフィギュレーションファイルのサイズ、ロードの周波数、およびクロックごとのロード数により異なります。

MSPI モードでのデータストリームファイルのロード時間は表 6-2 のとおりです。

表 6-2 AUTO BOOT モードでのデータストリームファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	ロード周波数=100MHz の場合のロード時間(ms) (Quad SPI)
10,368	252 KBytes	6.4
20,736	887 KBytes	22

上記のロード時間は参照用です。コンフィギュレーション時間に加えて、パワーアップ時間 Tramp とデバイスの初期化時間もあります。パワーアップ時間は、デバイスにより異なるので、自分で測定する必要があります。したがって、パワーアップから FPGA のロードが完了するまでのおおよそ

の時間は次のように計算できます。

**AUTO BOOT モード：**

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/4/\text{クロックサイク  
ル}$

**QMSPI モード：**

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/\text{クロックサイクル}$

GW2AN-18X および GW2AN-9X の POR 時間は約 6.3 ミリ秒です。



# 7 安全上の考慮事項

ユーザーが **FPGA** を使用して設計する場合、セキュリティの問題が重要な考慮事項となります。**GOWIN** セミコンダクターのプログラミングソフトウェアでは、デバイスの機能を考慮して一連のセキュリティ対策が開発され、ユーザーのビットストリームデータを確実に保護できます。

セキュリティ対策は、大きく **3** つのフェーズに分けられます。

- コンフィギュレーションが始まる前に、プログラミングソフトウェアは自動的にビットストリームデータの有効性をチェックします。
- コンフィギュレーション中に、デバイスはリアルタイムで送信データの正当性をチェックします。
- コンフィギュレーションが完了した後、デバイスは動作状態に入り、あらゆる形式のリードバック要求をブロックします。

**3** つのフェーズの詳細な説明は以下のとおりです。

## コンフィギュレーションが始まる前

**GOWIN** セミコンダクターのプログラミングソフトウェアを使用してコンフィギュレーションするには、以下の手順を参照してください。

1. コンフィギュレーション回路のハードウェア接続を実行します。
2. プログラミングソフトウェアを起動してデバイススキャンを実行し、接続されている **FPGA** 製品は自動的に識別されます。
3. ビットストリームデータとプログラミングコンフィギュレーションモードを選択してデバイスをプログラム・コンフィギュレーションします。

上記のプロセスでは、プログラミングソフトウェアは最初に接続されたデバイスの **ID** を読み出し、次にそれをユーザーによって選択されたビットストリームデータ内の **ID** と比較し、この **2** つの **ID** が一致した場合にのみプログラム/コンフィギュレーションし続けられます。そうでない場合、プログラム/コンフィギュレーションすることができません。

**注記：**

**GOWIN** セミコンダクターFPGA 製品には、他のシリーズと区別するための固有の **ID** があります。**Gowin** ソフトウェアによって生成されたビットストリームデータにはデバイスの **ID** 検証命令が自動的に追加されています。ユーザーは、プロジェクトを作成するときにデバイスを選択するだけで済みます。

**コンフィギュレーション中**

コンフィギュレーションが開始された後、デバイスは最初に検証のためにビットストリームデータの **ID** を読み出し、検証がパスした後にプログラミング・コンフィギュレーションを開始します。ビットストリームデータの改ざんや送信中に発生する可能性のあるエラーを防ぐために、**GOWIN** セミコンダクターデバイスは **CRC** 方法を使用して、ビットストリームファイル内のすべてのデータビットが **FPGA** に正しく書き込まれるようにします。

**Gowin** ソフトウェアによって生成されたビットストリームデータの各アドレスには、当該アドレスに対応するデータの **CRC** チェックコードが追加され、データを受信中にも **GOWIN** セミコンダクターデバイスは継続的にチェックコードを生成し、それを受信されたチェックコードと比較します。チェックエラーが発見されると、それ以降のデータは無視され、コンフィギュレーションが完了すると、**DONE** インジケータは点灯せず、**CRC** チェックエラーがプログラミングソフトウェア **GUI** に表示されます。

**コンフィギュレーション完了後**

コンフィギュレーションが完了すると、ユーザーが選択したプログラミング・コンフィギュレーションモードに従って、デバイスのビットストリームデータが **SRAM** にロードされて起動するか、オンチップ **Flash** に格納されます。

- **Gowin** ソフトウェアがビットストリームデータの生成中にセキュリティビットを自動的に設定したため、ユーザーは **SRAM** のデータを読み出すことができません。
- オンチップ **Flash** に格納されているデータの場合、**Flash** へのプログラミングが完了した後、**Flash** は **AUTO BOOT** モードに入り、すべての読み出しが禁止されます。
- **Gowin GW2AN-18X/9X FPGA** 製品を使用する場合は、ビットストリームデータを生成するとき、**AES** 暗号化を使用することをお勧めします。

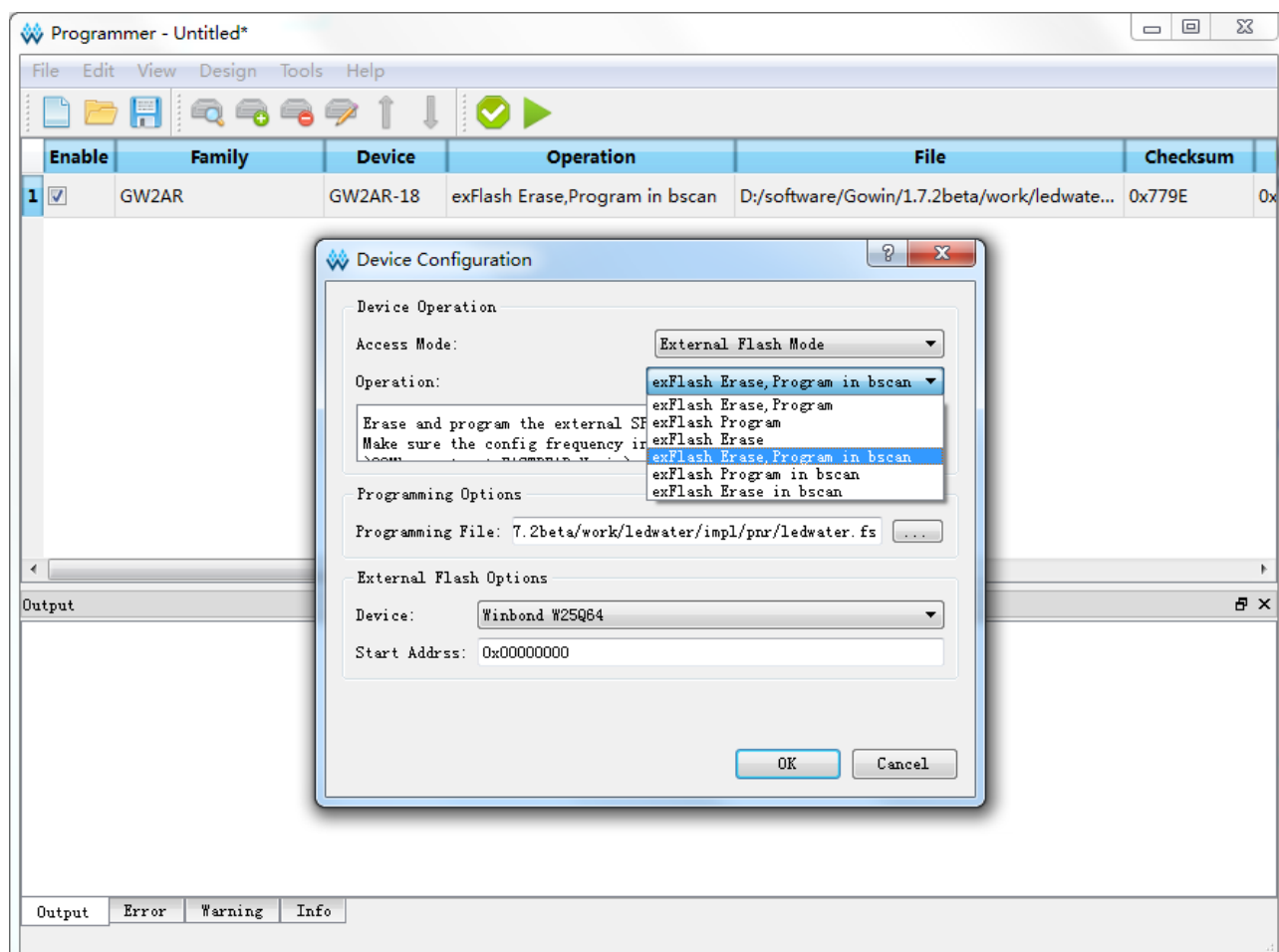
# 8 バウンダリスキャン

バウンダリスキャンは、**JTAG** コンフィギュレーションモードを拡張したもので、スキャンチェーンにはロングチェーンとショートチェーンにあります：ロングチェーンは主に **BSDL** ファイルを利用してデバイスのテストに使用され、ショートチェーンは主に **FPGA** チェーン上のオフチップ **Flash** の消去および読み出しと書き込みに使用されます。

バウンダリスキャンの操作手順は次のとおりです。

1. **FPGA** 開発ボードを **PC** に接続して電源を入れます。
2. 接続されているデバイスをスキャンするために **Gowin** プログラミングソフトウェアを開きます。
3. **Operation** の下をダブルクリックしてオフチップ **Flash** を選択し、関連する **bscan** 操作を選択します(図 8-1)。

図 8-1 バウンダリスキャンの操作説明図



バウンダリスキャンは **FPGA** のオフチップ **Flash** でのみ使用可能で、オンチップ **Flash** または **SRAM** はプログラムできません。バウンダリスキャンを使用する場合、オフチップ **Flash** をプログラムするときに **FPGA MODE** 値は任意ですが、バウンダリスキャン動作は **JTAG** を介してオフチップ **Flash** をプログラムする方法より遅くなります。

