

高云半导体软件培训

Gowin Semiconductor Overview

2018年06月



高云云源软件是高云半导体根据自有产品研发的新一代FPGA硬件开发环 境,支持通用的硬件描述语言(VHDL、Verilog HDL)帮助用户迅速实现FPGA开 发过程中的代码综合、布局布线和比特流文件下载等工作。 本次培训PPT教材是结合客户的需求以及客户在使用软件过程中遇到的实 际问题而编写,会重点关注客户的实际应用。通过此次培训,培训人员将能 快速掌握高云云源软件基本的使用方法。包括工程创建、文件设计、物理约 束以及时序约束的添加、IP核的调用、modelsim功能仿真、文件烧录、以及 内部逻辑分析仪高软件的使用等。由于时间仓促,若有不足之处,还望大家 批评指正。

软件的介绍



本次介绍主要从以下几个方面进行讲解:

1)软件的获取和安装

1)软件的获取

2)软件的安装

3)软件安装失败故障排查

2)软件功能使用介绍

1)工程的建立

2)modelsim功能仿真

3)约束文件的添加

4)布局布线使用

5)烧录

6)内部逻辑分析仪高的使用



1.软件的获取和安装

软件的获取

1.1软件的获取1)通过我司官网免费下载

1)登陆: <u>http://www.gowinsemi.com.cn</u>

2)选择: 支持与下载/软件下载





3) 提示会员登陆,用户可先网上注册,进行登陆4)进入云云源软件下载界面,选择需要下载的软件

💁 > 支持与下载> 软件下载



| 软件下载

- 云源软件 for linux
- 云源软件 for windows



5)用户可以进行软件下载,也可以进行软件license申请



软件的获取



2)通过各区域FAE获取

- 北方: <u>ningtai@gowinsemi.com</u>
- 华东: <u>weidong@gowinsemi.com</u>

wuchang@gowinsemi.com

alex.chen@gowinsemi.com jacky.wu@gowinsemi.com fighter.ye@gowinsemi.com

华南,中西南:

License申请



- 1.2 软件的安装
 - 1) license 申请
 - 1) 代理商的客户请直接联系各区域FAE申请 2) 非代理商客户在官网申请

注意: license申请需提供客户名、联系方式、以及电脑MAC地址。代理商只 需与其中一个FAE联系即可(后续该客户也由此FAE跟进),不要重复联系多个 FAE去申请同一个客户的license。



2)云源软件下载完毕后,点击.exe文件,准备安装





3)不断点击Next或I Agree

GOWIN 1.7 Setup			
nstalling Please wait while GOWIN 1.7 is being installed.			**
Extract: policymanager.dll 100%			
Extract: jtagserver.exe 100%			^
Extract: libeay32.dll 100%			
Extract: mi.dll 100%			
Extract: miutils.dll 100%			
Extract: msiso.dll 100%			
Extract: msvcp110_win.dll 100%			
Extract: msvcp90.dll 100%			
Extract: msvcp_win.dll 100%			
Extract: msvcr90.dll 100%			
Extract: policymanager.dll 100%			~
WINSEMI			
	< Back	Nevt >	Cancel
	< Dack	NEXU >	Cancer





4) 最后弹出界面如下(Install drivers 务必勾选):

🐝 GOWIN 1.7 Setup



Completing the GOWIN 1.7 Setup Wizard

GOWIN 1.7 has been installed on your computer.

Click Finish to dose this wizard.

Install drivers for downloader cable







5)上图中点击finish后,弹出设备驱动安装向导,点击下一步

设备驱动程序安装向导







6)安装设备驱动,最后点击完成,软件安装完毕。

备驱动程序安装向导





温馨小提示:软件安装注意事项

- 1)windows 支持win7/win8/win10 (64bit), 请确认安装的电脑为64bit
- 2)安装高云云源软件之前,请关闭360或金山毒霸等杀毒软件
- 3)软件安装路径不支持含有中文或空格的文件路径
- 4)在安装过程中, 若因电脑防火墙或安全控制弹出"阻止窗口", 请选择"允
 - 许控制"或"允许访问"等



打开软件界面,选择help/manage license,弹出窗口,选择use local license file,点击browse,选择之前已经申请到的云源软件license。界面示例如

🐝 License Configuration	\times
License Config Use Local License File O Use Floating License Server License File: C:/Gowin/gowin_license/gowin_104A7DB64315.lic Browse Tool Expired Date 1 gowin 2018/3/14	注:申请到的license有2个,其中文件名 中含有synplifypro的为synplify软件license, 另一个为高云云源软件license
Apply for License Can	cel



8)选择我的电脑/属性/高级系统设置/高级/环境变量,导入synplify软件license; 1)用户变量中新建变量名:LM_LICENSE_FILE 变量值为synplify软件license所在的位置 2)在系统变量中也增加变量名和变量值,与用户变量一致(推荐添加);

当2个license都导入后,高云云源软件即可以正常使用了。synplify软件license 导

入示例图如下页所示:

Synplify软件License的导入



\sim 环境变量 alexc 的用户变量(U) S 拖拽上传 値 变量 LM_LICENSE_FILE C:\Gowin\gowin_license\gowin_Synplifypro_104A7DB64315.lic;... OneDrive C:\Users\alexc\OneDrive C:\modeltech 10.0c\win32;C:\Users\alexc\AppData\Local\Mic... Path TEMP C:\Users\alexc\AppData\Local\Temp C:\Users\alexc\AppData\Local\Temp TMP 新建(N)... 编辑(E)... 删除(D) 系统变量(S) 佰 \sim 变量 C:\Gowin\gowin license\gowin Synplifypro 104A7DB64315.lic... LM LICENSE FILE C:\MentorGraphics\9.5PADS\MGC_HOME.ixn MGC_HOME C:\MentorGraphics\9.5PADS\SDD_HOME\IODesigner MGC_IO_DESIGNER_HOME c:\flexIm\License.dat;C:\ProgramData\mgc\win32\LICENSE.dat MGLS LICENSE FILE NUMBER_OF_PROCESSORS 8 OS Windows NT PADS PROGRAMS Programs \sim 新建(W)... 编辑(I)... 删除(L) 取消 确定



1)客户电脑非64bit系统

- 2)客户在安装过程中有防火墙或其它安全设置阻止
- 3)客户在安装过程中没有关闭杀毒软件
- 4)安装目录有中文或空格字符
- 5)客户环境变量设置错误
- 6)客户因RTL综合失败,误以为软件license问题(其实是客户代码问题)



2.软件功能使用介绍

© GOWIN Semiconductor-Confidential

软件设计流程



软件设计流程图如下:



软件案例工程简介



本PPT将以一个工程案例为主线(在2倍输入时钟频率下实现3位宽计数器 功能),穿插介绍高云云源软件,相信通过该例子后,大家将会很快熟悉高 云云源软件的基本使用。点击桌面高云云源软件图标,进入软件





🗱 GOWIN FPGA Designer - [Start Page]

💡 File Edit Tools Window Help

Recent Projects:	Quick Start		
osc_top			
E:\zsk\osc_exam\osc_top\osc_top.gprj			
pll_top			
E:\whf\pll_top\pll_top.gprj	New Project	Open Project	Open Example Project
MIPI_test			
E:\MIPI_SRC\MIPI_test\MIPI_test.gprj	T] -		
count	10015		
E:\test0\count\count.gprj			
fifo_test	5		XX
E:\zsk\fifo_test\fifo_test\fifo_test.gprj	Symplify Pro	FloorPlanner	Timing Constraints Editor
clk div			
E:\zsk\clk_div_test\clk_div\clk_div.gprj			
LVDS71 RX LVDS41 TX	User Manuals		
E:\yaoke\GW_LVDS71_RX_LVDS41_TX_RefDesign\GW_			
SDRAM Controller top			
E:\yaoke\GW SDRAM Controller gw2ar18 RefDsign\(>			
	Manual for GWZA	Maunal for GWIM	
Start B			X

1)新建工程 New project:新建工程; Open project:打开以前创建的工程 Open example project:打开软件自带的 工程(供参考学习用) Recent projects:最近使用的工程

我们选择New Project

Output Error Warning Info





2)目前客户都是基于RTL的设计 开发,我们选择RTL project; Post-synthesis project:支持综合 后的文件,需要添加网表文件 (现在客户很少)



关 New RTL Project Wizard

📄 Project Name

Select Device Summary

Project Name

Enter a name for your project, and specify a directory where the project will be stored. The directory will be created if it doesn't exist.

 \times

3)给工程命名
Name:工程名称
Create in:工程所在路径
注意:工程名,文件名,路径等
都不要用中文字符或空格等

Create in:	E:\softtraining\pll_cnt	
	Use as default project location	



Project Name	Select De Specify a targe Select Device	vice et device for your	project. Device Information		4) FPGA选型,配置FPGA芯片 Series: FPGA系列 Device: 具体器件
Summar y	Series: GW1N GW1NR GW2A GW2AR	Series: Device: GW1N GW1NR GW2A GW2AR GW1N-4 GW1N-6 GW1N-9	Available IO: 117 LUT: 4608 FF: 3456 S-SRAM: Ob B-SRAM: 180Kb B-SRAM: 10 User Flash: 256Kb 18x18 Multiplier: 16 PLL: 2 DLL: 2		Package: 器件封装 Speed: 速度等级 我们以小蜜蜂 GW1N-LV4LQ144C6/I5 为例,选择如左图所示
u	Package: L Speed: 6	QFP144 -	< Back	Next >	



👾 New RTL Project Wi	zard X				
	0	🐝 GOWIN FPGA Designer - [Design Summary] 🥅 File Edit Project Tools Window Help			
Project Name	Summary	🕒 🗁 🗔 🖷 🖶 🖛 🔺 🌾 🕩 🛍	H 5 🚷		
Select Device	Project Name: top	Design F × • Contraction - [E:\softtraining\pll_ont\top' GW1N-4-LQFP144-6	Project File:	E:\softtraining\pll_cn	Project Su t\top\top.gprj
🥪 Summary	Directory: E:\softtraining\pll_cnt\top Source Directory: E:\softtraining\pll_cnt\top\src Implementation Directory: E:\softtraining\pll_cnt\top\impl		Target Device: Device Part:	GW1N-4-LQFP144-6 GW1N-4	
	Device Series: GW1N Device: GW1N-4 Package: LQFP144 Speed: 6				
		Design Process	Start Page		Design S
		Output Open project: E:\softtraining\pll cnt\	top\top.gpri		
	< Back Finish	Outcut Rever Warring Tafa			

5) 点击finish, 完成RTL工程的创建



6) 设计文件的添加



我们选择New file

©GOWIN Semiconductor-Confidential





7) 文件名及路径
Name:新的.v文件名
Create in:文件路径
记住勾选add to current project(软件默认勾选)



GOWIN FPGA Designer - [E:\softtraining\pll_cnt\top\src\cnt_top.v]



用户可以在最右边编辑区编写自 己的代码,高云云源软件还提供了 丰富的IP资源,用户可依据自己的 设计需求来调用,本例中以调用一 PLL(2倍频)为例;

左下方实现Design,Process视图来回 切换; 修改设计文件,约束文件等都在 Design视图下; 软件运行进程在Process视图下;



8) IP核的调用



从菜单栏Tools下面选择IP Core Generator,接着窗口会弹出丰富的IP列表,我们选择PLL;(每个IP的使用和介绍在官网上都有相对应的文档说明)



	File	
ckin clkout	Target Device: GW1N-4-LQFP144 Create In: E:\softtraining\pll_ont Module Name: GW_PLL F Options General Mode © General Mode ○ Advanced Mode PLL Phase And Duty Cycle Adjustment ○ Dynamic ③ Static PLL Reset CLKIN Clock Frequency (3~450): 50.000 章 Divide Factor © Dynamic Initial Value(1~64): 1 章 Static (1~64): 1 章	Language: Veri

9)PLL设置输入时钟50MHZ;

倍频时钟输出100MHZ;



10) 模块例化

可以看到verilog Files

下面多了gw_pll模块;

cnt_top中;

将GW_PLL作为子模块例化到模

GOWIN FPGA Designer - [E:\softtraining\pll_cnt\top\src\cnt_top.v] Edit Project Tools Window Help File 晶 - S 🔒 4 module cnt_top(Design ₽× clk, 5 input top = [E:\softtraining\pll_cnt\top' <</p> 6 input rst n, GW1N-4-LQFP144-6 60 7 8 output reg [2:0] cnt 🔄 Verilog Files \sim 9 cnt_top.v 10); 11 gw_pll.v 12 wire sys clk; 13 wire lock o; 14 15 🚍 GW PLL ul(16 .clkout(sys clk), //output clkout 17 .lock(lock o), //output lock .clkin(clk) //input clkin 18 19); 20 21 22 23 always@(posedge sys_clk or negedge rst_n) begin if(~rst_n) cnt<=0; 24 25 else cnt<=cnt+1; < P Design Summary Start Page Design Process

©GOWIN Semiconductor-Confidential



11)执行综合

GOWIN FPGA Designer - [E:\softtraining\pll_cnt\top\src\cnt_top.v]						
📄 <u>F</u> ile <u>E</u> dit <u>P</u> roject <u>T</u> ools <u>W</u> in	dow <u>H</u> elp					
	» 🗈 🗈 👪 🗲 👶					
Process	₽ × 9					
Process Design Summary User Constraints FloorPlanner Timing Constraints Editor Synthesize (Synplify Pro) Synthesis Report Netlist File Flace & Route Place & Route Place & Route Report Friming Analysis Report Ports & Pins Report Power Analysis Report Program Device	<pre>9 x 9 10); 11 2 wire sys_clk; 13 wire lock_o; 14 15 GW_PLL ul(16 GW_PLL ul(16 Clkout(sys_ 100ck(lock_cclkin(clk)) Rerun All Stop Clean Configuration Z8 29 30 31 endmodule</pre>					
Design Process	Start Page					
Output						
<pre>@N: FX164 The option to pa @N: BW103 The default time @N: BW107 Synopsys Const @W: MT246 :"e:\softtraining Blackbox PLL is minsing a u @W: MT420 Found inferred c @N: MT320 Found timing repo @N: MT321 Clock constraint</pre>	ack registers in the IOB has not int for the Synopsys Constraint File capacitance units us: <pre>\pll_cnt\top\src\gw_pll\gw_pl: ser supplied timing model. Th: clock GW_PLL clkout_inferred_ci ort is an estimate of place and s include only register-to-reg</pre>					
Output Error Warning Info						

切换到process视图下,点击Run/Rerun/Rerun all, 软件执行综合; 在软件下方,信息栏会有详细信息输出; 执行综合可以检测出用户RTL设计错误,用户可 结合信息栏信息提示,修改RTL代码;



用户根据自己实际需要进行功能仿真,用户自行先熟悉modelsim,高云云源软件功能仿真需要结合modelsim 软件,具体步骤如下:

- 1) 用户自行安装modelsim软件;
- 2) 用户自建编译库,编译高云原语;

> 此电脑 > 本地磁盘(C:) > Gowin > 1.7 > Pnr > lib > gw1n



小蜜蜂系列原语:安装盘/Gowin/1.7/Pnr/lib/gw1n,如果是.v文件编译 prim_sim.v; 如果是.vhd文件编译prim_sim.vhd文件; 晨熙系列原语:安装盘/Gowin/1.7/Pnr/lib/gw2a;



- 3) 依据需要, 自行创建testbench文件;(本例中为cnt_top_tb.v); <u>在测试文件中, 需添加 GSR GSR (.GSRI(1'b1));</u>
 4) 打开modelsim软件, change directory E:\softtraining\pll_cnt;
- 5) Library mapping;





6)新建工程pll_cnt,并添加需要仿真的设计文件(包括测试激励文件),并进行编译如下:

ModelSim SE 10.0c	
File Edit View Compile Simulate Add Project Tool	s Layout Wir
] - 🚅 🎆 参
	9
Project - E:/softtraining/pll_cnt/pll_cnt	
Name Status Type Order Modified	
cnt_top.v Verilog 0 11/15/17 01:56:07 PM	
cnt_top_tb.v 🗸 Verilog 1 11/16/17 10:05:00 AM	
gw_pll.v 🖌 Verilog 2 11/16/17 10:43:17 AM	

编译均OK,全部通过



7)点击测试文件,右击鼠标选择simulate without optimization

ModelSim SE 10.0c

File	Edit	View	Compile	Simulate	Add	Library	Tools	Layout	Window	Help
								- 🚅 🔛	多 🏐	x 🖻 🏙 🏠 😂 📀 - 🖊
X∢	»X [[n 🔊	*							
Lay	out No	Design	n		olumnLa	yout Allo	Columns			
Lib	orary =									
▼ Nan	ne		Туре	2				Path		
-	–M) BU	JFG	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
-	—М) ви	JFS	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
-	- <u>M</u> a	KDIV	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
-	- <u>M</u> on	t_top	Modu	ule				E:/softt	aining/pll_cn	t/top/src/cnt_top.v
-	-M cn	t_top_tb	Modu	ule				E:/softb	raining/pll_cn	t/top/src/cnt_top_tb.v
-	-M) D0	S	Modi	ile ———				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
-	-M DF	F	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
-	-M DF	FC	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_ sim.∨
-	-M DF	FCE	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
-	-M DF	FE	Modu	ule				C:/Gowi	n/1.7/Pnr/lib/	/gw1n/prim_sim.v
L	M DE	FN	Modi	de				C•/Gowi	n/1 7/Por/lib/	law1n/nrim_sim_v



8)选择u0/Add/To Wave/all items in region

ModelSim SE 10.0c File Edit View Compile Simulate Add Transcript Tools Layout Window Help 🗋 • 🚘 🔛 🤝 🚭 | 🥇 🐚 🏙 😂 😂 | 🕥 • 🖊 🖺 🦠 Help 🥝 🔁 - 🛧 <table-cell-rows> 🐝 ! Et [100 ns 븆 🖹 🖹 💱 🌋 🏐 🤁 🖓 🖓 🦓 🦓 - 🐹 🚹 🌇 🖑 X 🕅 🗈 🌾 ColumnLayout AllColumns Layout Simulate I O I/O İ ALL 🌽 <u>____</u> \mathbf{T} R R R R R Be | 🖓 🛺 sim - Default : + @ × 📰 Wave - Default Instance Design unit cnt_top_tb _⊢_ cnt_top_tb /cnt_top_tb/u0/dk 🛓 🗾 GSR GSR. /cnt_top_tb/u0/rst_n StX 😐 – 🚺 u0 cnt_top /cnt_top_tb/u0/cnt xxx + #INITIAL#13 cnt_top_tb /cnt_top_tb/u0/sys... StX ALWAYS#20 cnt top tb /cnt_top_tb/u0/lock_o StX 😤 #vsim_capacity# al 📰 💿 Now 0 ps 200 ps Cursor 1 0 ps 0 ps • • 👖 Library 🛗 Project 🛺 sim < > • ۲ • . Real Transcript

// Copyright 1991-2011 Mentor Graphics Corporation

// All Rights Reserved.



9)在 Transcript 敲 run 100000ns, 经分析仿真结果, 正确;

M ModelSim SE 10.0c									
<u>F</u> ile <u>E</u> dit <u>V</u> iew <u>C</u> ompile <u>S</u> imul	ate A <u>d</u> d W <u>a</u> ve T <u>o</u> ols Layo	o <u>u</u> t <u>W</u> indow <u>H</u> elp							
	_ □ • ۵	🛎 🖬 🎲 🚭 🧎 🐚	🛍 😂 🗋 🔕 - 🛤 [타 "타 Help	24	🧄 🎬 🚜 🛣			
] 🥑 🖫 - 🛧 <table-cell-rows> 🐝 📑 🗍 100</table-cell-rows>	ns 🜩 🚉 🚉 🚉 式 🕵 🤁	ው ው 🕲 - 🖾 🛅							
X 🗱 🖻 📓 🐐									
Layout Simulate	ColumnLayout AllColumns	*		ALL 🌽][N 🖪 🚸 🏦	🗗 🕹 🕞	1± → 🐁 🤅	. Ff
3+ # Q Q Q Q 🕅									
🖉 sim - Default		Wave - Default							
* Instance	Design unit		Msgs						
cnt_top_tb	cnt_top_tb		C+1						
	GSR		St1			↓			
🕂 🔟 u0	cnt_top	\sim /cnt top tb/u0/cnt	111 000	001 010	011 100	101 110 11	1 1000 100	1 1010 10	11 100
ALWAYS#20	cnt_top_tb	/cnt top tb/u0/svs	St1						
😤 #vsim_capacity#		/cnt top tb/u0/lock o	514						
		•							
	e-	💀 💿 Now	100000000 ps 000 p	IIIII IS	50000000 ps		50004000 ps		50008000
4	_	Cursor 1	50003000 ps			5000300	0 ps		
👖 Library 🛗 Project 🛺 sim	*	<u> </u>							
A Transcript									
# Loading work.GSR									
# Loading work.cnt_top									
<pre># Loading work.GW_PLL</pre>									
# Loading work.PLL									
VSIM 3> run 1000000ns									
VSIM 4>									





1)返回高云云源软件界面,添加物理约束



点击FloorPlanner,鼠标右键,选择Run,生成界面如下页所示:

2.3增加约束



🐳 FloorPlanner

File Tools View Help C Q H List ₽× Chip Array 🖂 Package View 区 Netlist 🔺 🕨 hot cnt_top Ports (5) clk ₩. rst_n ÷ cnt [2: \sim ÷ cn 🖤 cn 🖤 cn > 📄 Primitives Nets (16) > Module > 🧰 > 🚞 Timing Pa < >

设置输入输出管脚的物理 约束,同时设置管脚电压 标准(IO Type),并保存

I/O Constraints

		Location	Bank	Exclusive	IO Type	Drive
input		6	3	False	LVCMOS33	N/A
output		44	2	False	LVCMOS33	8
output		45	2	False	LVCMOS33	8
output		46	2	False	LVCMO533	8
input		92	1	False	LVCMOS33	N/A
	output output output input	output output output input	inputboutput44output45output46input92	input63output442output452output462input921	input63Falseoutput442Falseoutput452Falseoutput462Falseinput921False	inputb3FalseLVCMOS33output442FalseLVCMOS33output452FalseLVCMOS33output462FalseLVCMOS33input921FalseLVCMOS33



GOWIN FPGA Designer - [E:\softtraining\pll_cnt\top\src\top.cst]



软件将自动添加了.cst文件

2.3增加约束





2)添加时序约束 点击Timing Constraints Editor/Run





Gowin Timing Constraints Editor - E:/softtraining/pll_cnt/top/src/top.sdc

File Constraints Reports View Help

Netlist Tree	× Timing Constraints	Clock Name	Type Pe
	Clocks		
•	Clock Latency		
✓ 100 cnt_top	Clock Uncertainty		
I/O Ports (5)	Clock Group		
> 🔗 cnt[2:0] (Output)	I/O Delay		
💉 clk (Input)	A Dath		
💇 rst_n (Input)	🐝 Create Clock		? ×
Nets (23)			
> 🀚 cnt[2:0]	Clock name: clk_in		
> 🍋 cnt_RNO[2:1]	Waveform		
> 🀚 cnt_c[2:0]	Puris la CO		
> 🐚 cnt_c_i[0:0]	reriod. 20 hs		
🗭 GND	Frequency: 50 MHz		
l⇒ ∧cc			
🏲 clk	Rising: ns		
₽ clk_c			
l⇔ rst_n	Falling: ns 0	10	20
l⇔ rst_n_c			
l⇔rstnci	Objects: [get_ports {clk}]		🗹 Add
Console		0K	Cancel

点击clk,鼠标右键选择 Add Clock 时钟约束为50MHZ,点击OK











点击Place & Route 右击选择: Run:运行布局布线 Rerun:重新运行布局布线 Rerun All:重新运行综合和布局布线

2.4布局布线



Configuration	? ×	
Synthesis Place & Route Dual-Purpose Pin BitStream Download Mode: JTAG • Use JTAG as regular IO • • Use SSPI as regular IO • • Use MSPI as regular IO • • Use READY as regular IO • • Use DONE as regular IO • • Use READY as regular IO • • Use RECONFIG_N as regular IO • •		Place & Route/configuration/ Dual-Purpose Pin 如果勾选:则表示该多功能管脚在配置 毕之后,可做为普通IO口使用; 注意:RECONFIG_N脚当作为GPIO时, 能作为输入管脚;
OK Cancel	Apply	







Place & Route/configuration/ Dual-Purpose Pin Enable Security Bit:安全位保护机制

其它采用默认设置,具体含义见高云云源 软件使用指南;

注意:如果是采用SRAM Erase program and verify,需要去掉 Enable Security Bit,否则verify failed









🐝 Prog	rammer -	Untitled*					_	
File Ed	lit View	Design To	ools Help					
📄 🖻	- 🔚		a 🥪 👔 🚶	l 🕑 🕨				
Enable	P	Family	Device	Operation		File		Checksum
1 🗹	GW1N		GW1N-4	SRAM Program	*			
		🕠 Device (Configuration		z x			
		- Device Op	eration					
		Access Mo	de:	SRAM Mode				
		Operation	:	SRAM Prog Embedded Flash	Mode			
		Configur	e SRAM from Prog	External Flash rammer(external host).	Mode			
<	_	- Programmi	ng Options					
Output		Programmi	ng File: :/soft	training/pll_ont/top/impl/	'pnr/top.fs 🛛			
Info	: Scannin							
Info	: Scan fir	-						
Warning	: The dev			0	K Cancel			
							_	

2)点击Operation下方, 弹出配置 窗口 SRAM mode:烧录SRAM Embedded Flash Mode:烧录到内 部Flash; External Flash Mode:烧录到外部 Flash; 我们选择SRAM mode

选择需要烧录的.fs文件





	Enable	Family		Device	c	Operation	n
1		GW1N	GW	/1N-4	SRAM Progr	am	
	🗼 Devic	e Configuration				?	\times
	Device	Operation					
	Access	Mode:		SRAM Mode		-	•
	Operati	ion:	SRAM Pros	gram		-	-
	Confi g	gure SRAM from Prog	Bypass Read ID C Read USEF Read Stat Reprogram SRAM Eras SRAM Prog SRAM Prog	Code & Code tus Registe se gram gram and Ve	r rify		
	Progra	nming Options					
	Program	nming File: :/softt	raining/p	ll_cnt/top/	/impl/prr/top	. fs	
					OK	Cancel	-

3)Operation:下面选择SRAM Program (软件默认设置也是 SRAM Program)



🐝 Progi	rammer - Untitled*					-
File Edi	it View Design To	ols Help				
) 🔚 🗖 🧠 🖷	a 🧇 🏌 🌡	S 🔁 💺			
Enable	Family	Device	Operation	File	Checksum	
	GW1N	GW1N-4	SRAM Program	E:/softtraining/pll_cnt/top/impl/pnr/top.fs	0x017C	
						方箭头所示)烧录文作 始下载,当下方信息机 示"Finished",即表示 完成
tput						
nfo	: Scanning					1
nfo	: Scan finished					
Varning	: The device on row 1	may be GW1N-4	,GW1NR_4. Please manually sele	ect the device.		
Info	: Finished	ine -				
Output	Error Warning	Info				





1)添加高配置文件返回软件界面 File/New /GAO Config File





2) 给高配置文件命名, 点击OK

软件自动添加test0.gao





3) 触发设置 1.双击test0.gao; 2.勾选触发端口 3.选择触发信号





4) 匹配设置 1.勾选匹配单元 2.选择匹配数值 3.填写匹配表达式

此含义表示:当cnt[2:0] 数为"001"时信号触发







GOWIN FPGA Designer - [Design Summary] 🔄 File Edit Project Tools Window Help 目喻 w Programmer - Untitled* \times Process File Edit View Design Tools Help 📗 Design Summary F ✓ I User Constraints 📕 FloorPlanner File Enable Family Chec Device Operation M Timing Constraints 1 🖂 E:/softtraining/pll_cnt/top/impl/pnr/ao_0.fs SRAM Program GW1N GW1N-4 0x08C0 ✓ ⊘ Synthesize (Synplify Prc Synthesis Report Netlist File ✓ Ø Place & Route Place & Route Repc Timing Analysis Rep -Ports & Pins Report Power Analysis Rep < > 👭 Program Device ₽× Output : Scanning Info Info : Scan finished Warning : The device on row 1 may be GW1N-4,GW1NR_4. Please manually select the device. Design Process Output Info (FS0002) : Bit (PW0001) : Pow Info

6) 高文件烧录 保存好高文件后,重新综 合,布局布线,选择工程 目录下ao_0.fs文件(是含 有高配置的烧录文件),烧 录到芯片中





7) 打开逻辑分析仪 烧录完毕,返回软件主界面,选择 Tools/Gowin Analyzer Oscilloscope,打开内 部分析仪界面



Gowin Analyzer Oscilloscope



8)打开高配置文件 点击文件夹图标,现在之 前创建的test0.gao文件





	Gowin	Analyzer	Oscilloscope
	0000	Analyzer	Oscilloscope

nfiguration						
apture						
torage Size: 10	024 Wind	dow Number: 1	▼ Capture Amount	1024 🔻 Trigger	Position: 32	-
rigger Expressi	ons	~				
atch Unit						1
atch Unit Match Unit	Trigger Port	Match Type	Function	Value		Counter

9) 点击start,内部逻辑分析仪开始运行



Gowin Analyzer Oscilloscope



10) 触发显示,最后显示如下,经分析结果,与设计一致,设计正确

注意:在使用内部逻辑分析仪抓取信号的过程中,电路板不能断电





- 1: DS100-1.10_GW1N系列FPGA产品数据手册.pdf
- 2: DS102-1.01_GW2A系列FPGA产品数据手册.pdf
- 3: Modelsim使用指南.pdf
- 4: SUG100-1.09_Gowin云源软件用户指南.pdf
- 5: SUG101-1.09_Gowin设计约束指南.pdf
- 6: SUG114-1.1_GAO在线逻辑分析仪用户指南.pdf

