



高云半导体软件培训

Gowin Semiconductor Overview

2018年06月

高云云源软件是高云半导体根据自有产品研发的新一代FPGA硬件开发环境，支持通用的硬件描述语言(VHDL、Verilog HDL)帮助用户迅速实现FPGA开发过程中的代码综合、布局布线和比特流文件下载等工作。

本次培训PPT教材是结合客户的需求以及客户在使用软件过程中遇到的实际问题而编写，会重点关注客户的实际应用。通过此次培训，培训人员将能快速掌握高云云源软件基本的使用方法，包括工程创建、文件设计、物理约束以及时序约束的添加、IP核的调用、modelsim功能仿真、文件烧录、以及内部逻辑分析仪高软件的使用等。由于时间仓促，若有不足之处，还望大家批评指正。

本次介绍主要从以下几个方面进行讲解：

1)软件的获取和安装

1)软件的获取

2)软件的安装

3)软件安装失败故障排查

2)软件功能使用介绍

1)工程的建立

2)modelsim功能仿真

3)约束文件的添加

4)布局布线使用

5)烧录

6)内部逻辑分析仪高的使用

1 .软件的获取和安装

1.1软件的获取

1) 通过我司官网免费下载

1) 登陆: <http://www.gowinsemi.com.cn>

2) 选择: 支持与下载/软件下载



3) 提示会员登陆，用户可先网上注册，进行登陆

4) 进入云云源软件下载界面，选择需要下载的软件

 > 支持与下载 > 软件下载

云源软件 Download

软件下载

- 云源软件 for linux
- 云源软件 for windows



5) 用户可以进行软件下载，也可以进行软件license申请

软件下载 Download

| 云源软件 for windows

- Gowin Yunyuan for win(V1.7.10Beta)

附件下载

- Gowin Yunyuan for win(V1.7.9Beta)

附件下载

- SCL and gowin license server

附件下载

| License 申请

- 云源软件License申请

| 相关文档

- 云源软件使用手册

- 云源软件发布说明(V1.7.10Beta)

- 云源软件发布说明(V1.7.9Beta)

- 设计约束指南



2)通过各区域FAE获取

北方: ningtai@gowinsemi.com

华东: weidong@gowinsemi.com

wuchang@gowinsemi.com

华南, 中西南:

alex.chen@gowinsemi.com

jacky.wu@gowinsemi.com

fighter.ye@gowinsemi.com

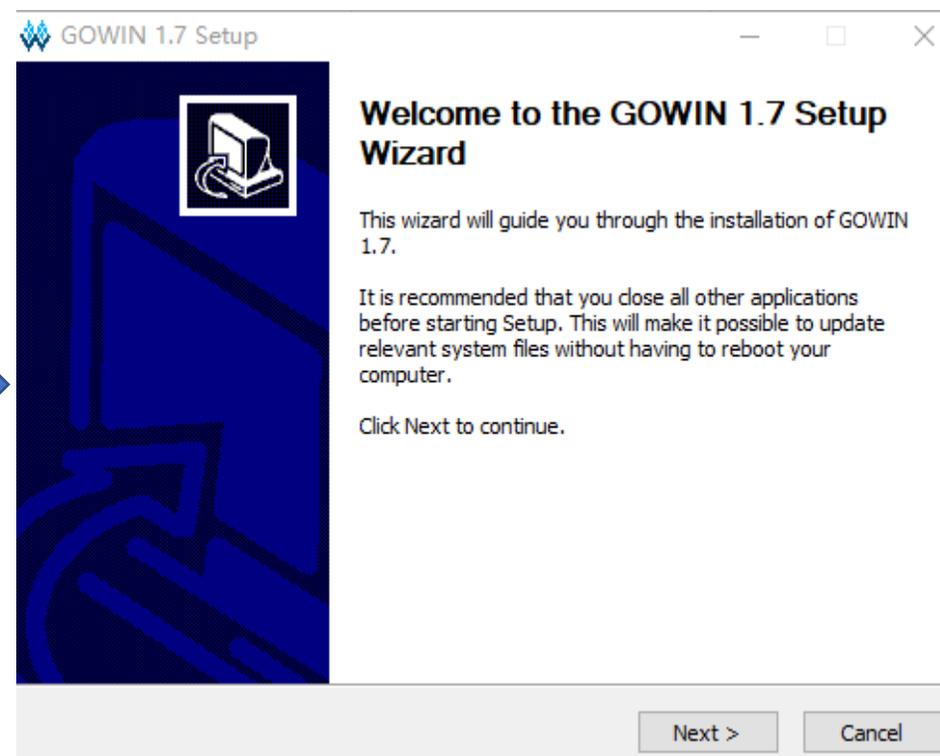
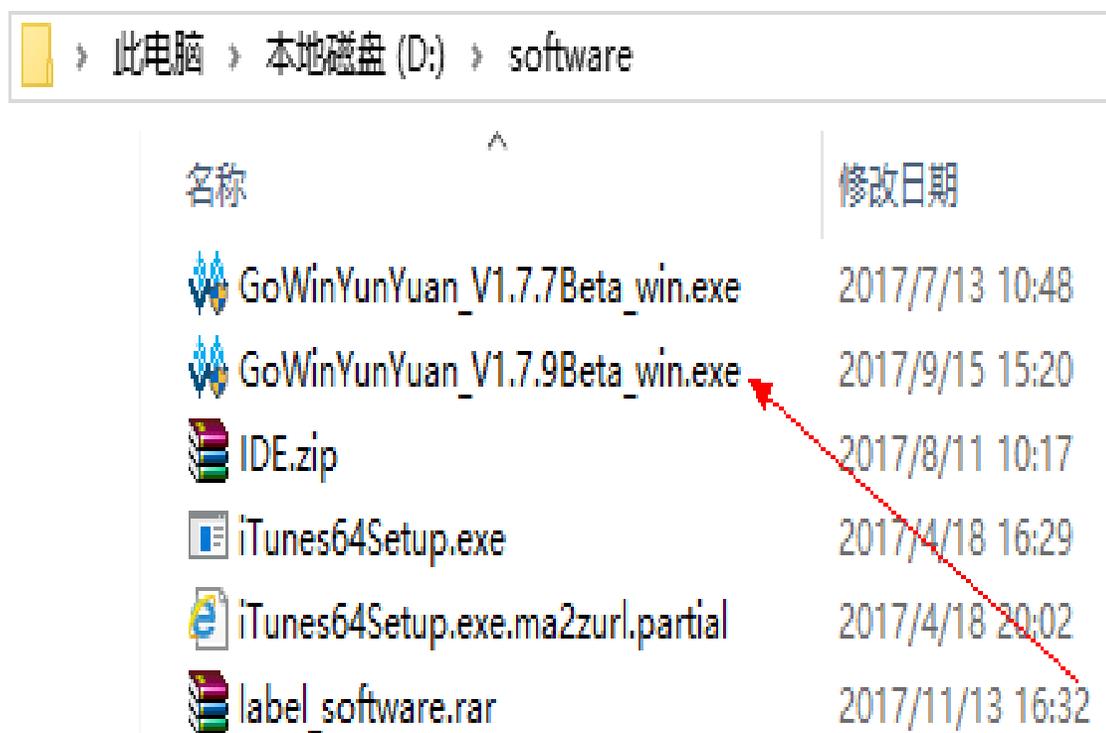
1.2 软件的安装

1) license 申请

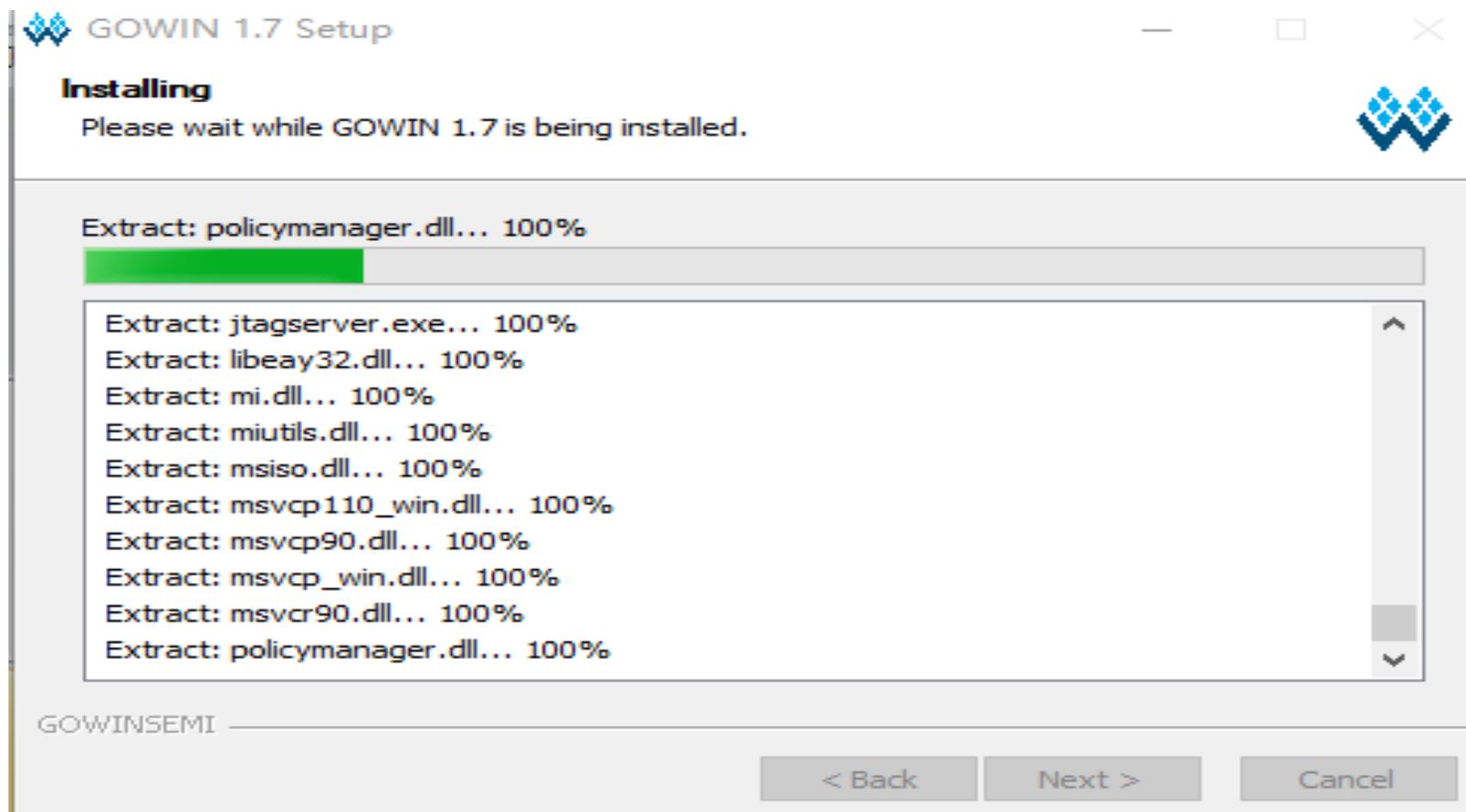
- 1) 代理商的客户请直接联系各区域FAE申请
- 2) 非代理商客户在官网申请

注意： license申请需提供客户名、联系方式、以及电脑MAC地址。代理商只需与其中一个FAE联系即可(后续该客户也由此FAE跟进)，不要重复联系多个FAE去申请同一个客户的license。

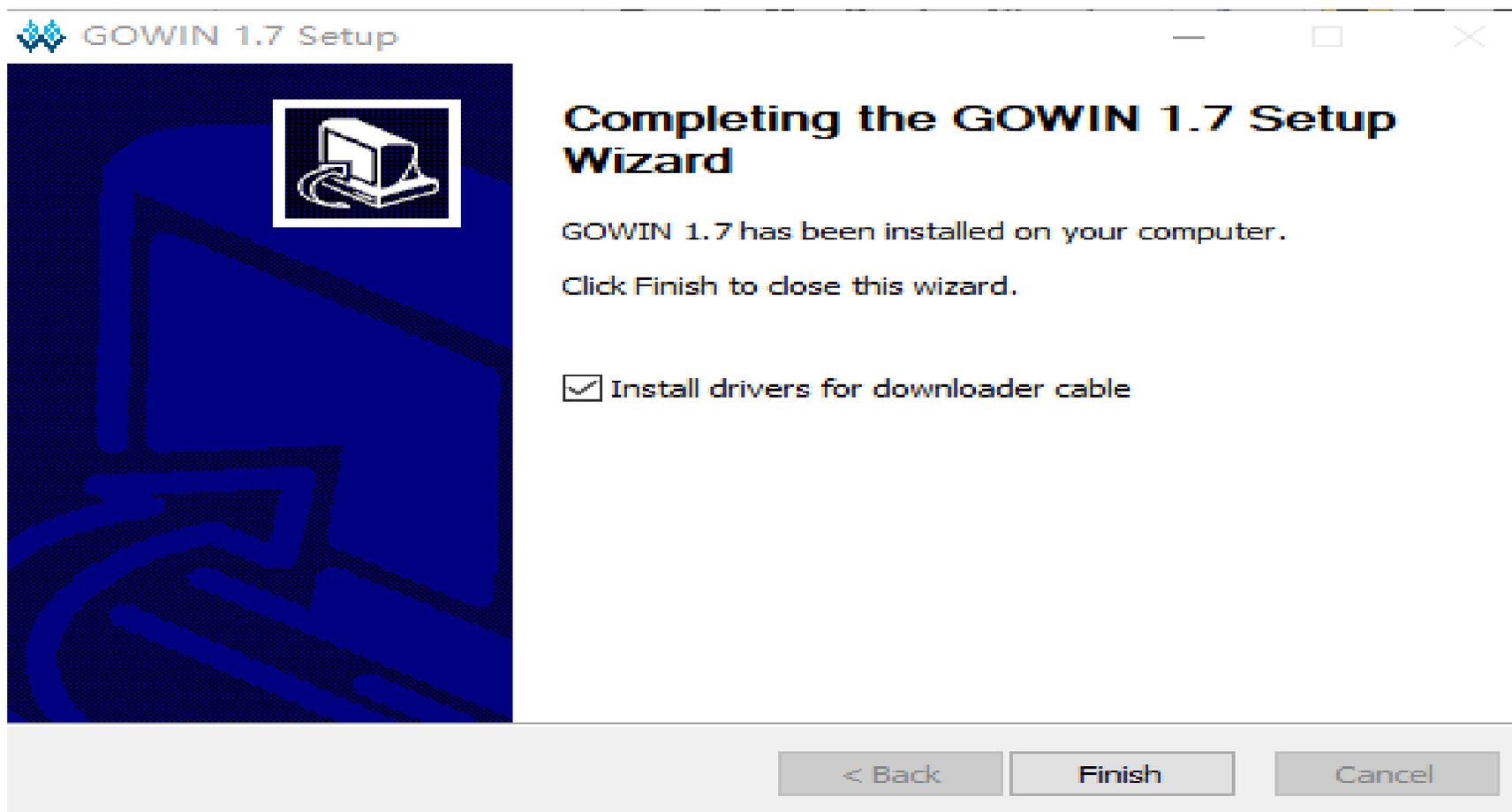
2)云源软件下载完毕后,点击.exe文件, 准备安装



3)不断点击Next或I Agree



4) 最后弹出界面如下(Install drivers 务必勾选):



5)上图中点击finish后，弹出设备驱动安装向导，点击下一步

设备驱动程序安装向导



6)安装设备驱动，最后点击完成，软件安装完毕。

设备驱动程序安装向导

许可协议



要继续，请接受以下许可协议。要阅读全部协议，请使用滚动条或按 Page Down 键。

IMPORTANT NOTICE: PLEASE READ CAREFULLY BEFORE
INSTALLING THE RELEVANT SOFTWARE:
This licence agreement (Licence) is a legal agreement
between you (Licensee or you) and Future Technology
Devices International Limited of 2 Seaward Place,
Centurion Business Park, Glasgow G41 1HH, Scotland (UK
Company Number SC136640) (Licensor or we) for use of
driver software provided by the Licensor (Software).

- 我接受这个协议(A)
 我不接受这个协议(D)

另存为(S)

打印(P)

< 上一步(B)

下一步(N) >

取消

设备驱动程序安装向导



正在完成设备驱动程序安装向导

此计算机上成功地安装了此驱动程序。

现在您可以将设备连接到此计算机。如果此设备附有说明，请先阅读。

驱动程序名	状态
✓ FTDI CDM Driver Pa...	可以使用了
✓ FTDI CDM Driver Pa...	可以使用了

< 上一步(B)

完成

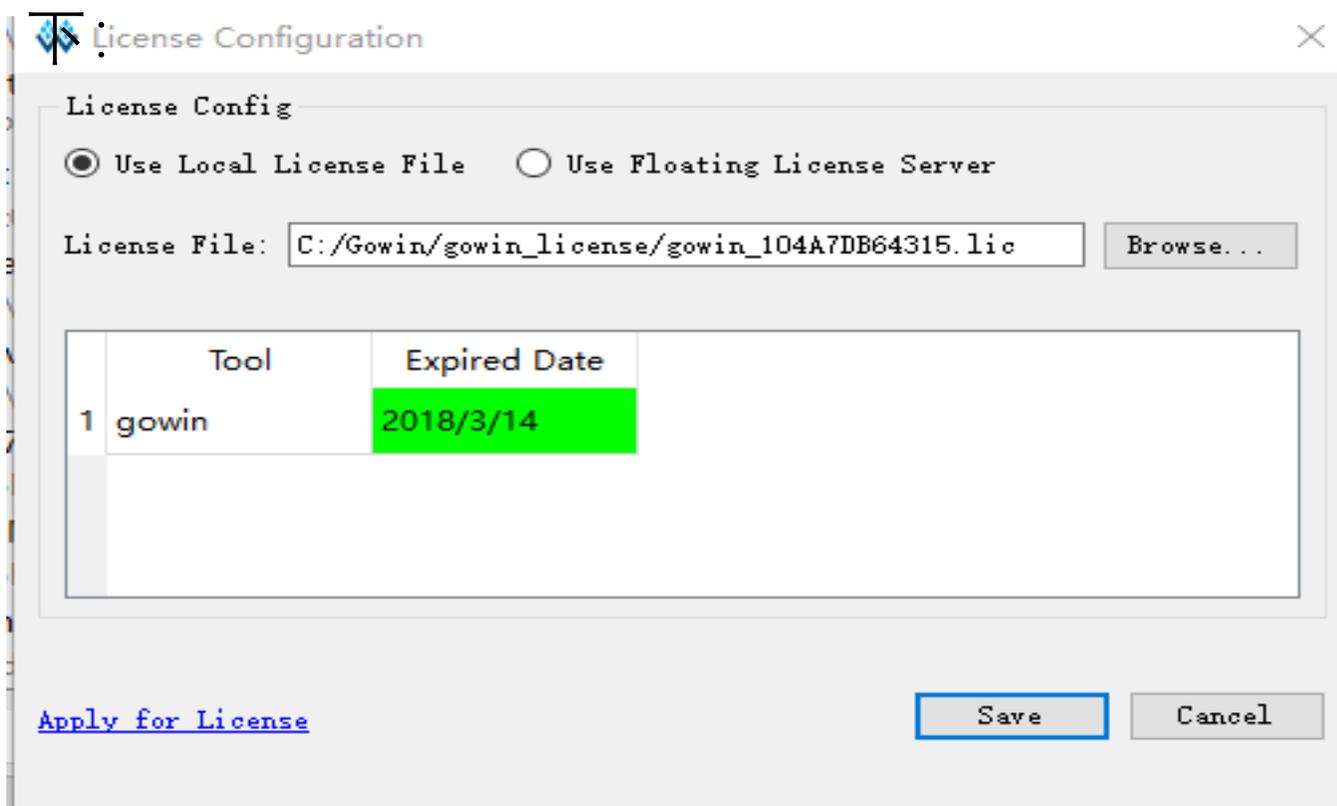
取消



温馨小提示：软件安装注意事项

- 1) windows 支持win7/win8/win10 (64bit), 请确认安装的电脑为64bit
- 2) 安装高云云源软件之前, 请关闭360或金山毒霸等杀毒软件
- 3) 软件安装路径不支持含有中文或空格的文件路径
- 4) 在安装过程中, 若因电脑防火墙或安全控制弹出“阻止窗口”, 请选择“允许控制”或“允许访问”等

打开软件界面，选择help/manage license，弹出窗口，选择use local license file,点击browse，选择之前已经申请到的云源软件license。界面示例如



注：申请到的license有2个，其中文件名中含有synplifypro的为synplify软件license，另一个为高云云源软件license

8)选择我的电脑/属性/高级系统设置/高级/环境变量，导入synplify软件license;

1)用户变量中新建变量名：LM_LICENSE_FILE

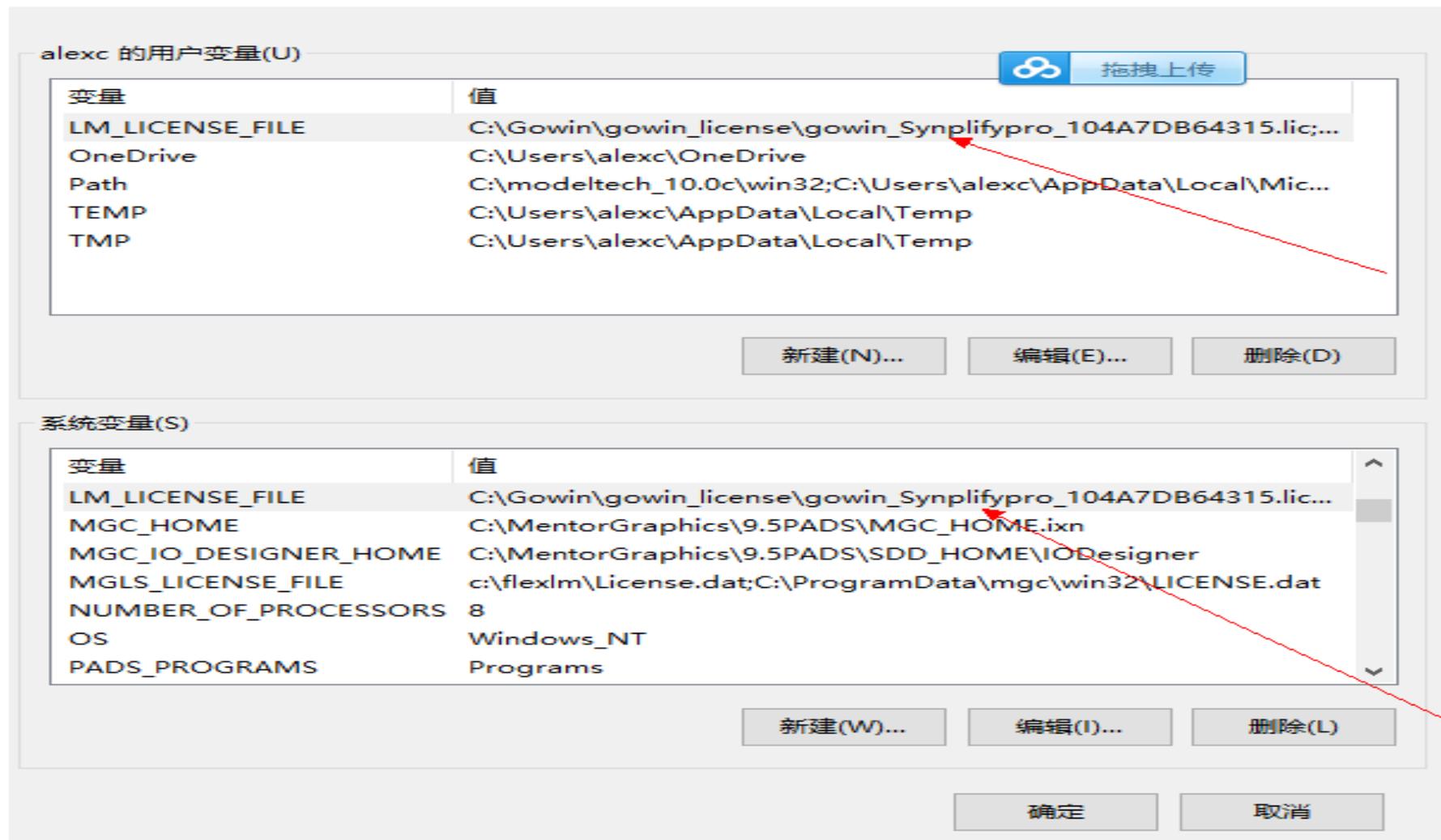
变量值为synplify软件license所在的位置

2)在系统变量中也增加变量名和变量值，与用户变量一致(推荐添加);

当2个license都导入后，高云云源软件即可以正常使用了。synplify软件license
导

入示例图如下页所示：

环境变量



The screenshot shows the Windows Environment Variables dialog box for the user 'alexc'. It is divided into two sections: 'alexc 的用户变量(U)' (User Variables) and '系统变量(S)' (System Variables). Both sections contain a table of variables and their values. A red arrow points from the 'LM_LICENSE_FILE' value in the system variables section to the 'LM_LICENSE_FILE' value in the user variables section.

alexc 的用户变量(U)

变量	值
LM_LICENSE_FILE	C:\Gowin\gowin_license\gowin_Synplifypro_104A7DB64315.lic;...
OneDrive	C:\Users\alexc\OneDrive
Path	C:\modeltech_10.0c\win32;C:\Users\alexc\AppData\Local\Mic...
TEMP	C:\Users\alexc\AppData\Local\Temp
TMP	C:\Users\alexc\AppData\Local\Temp

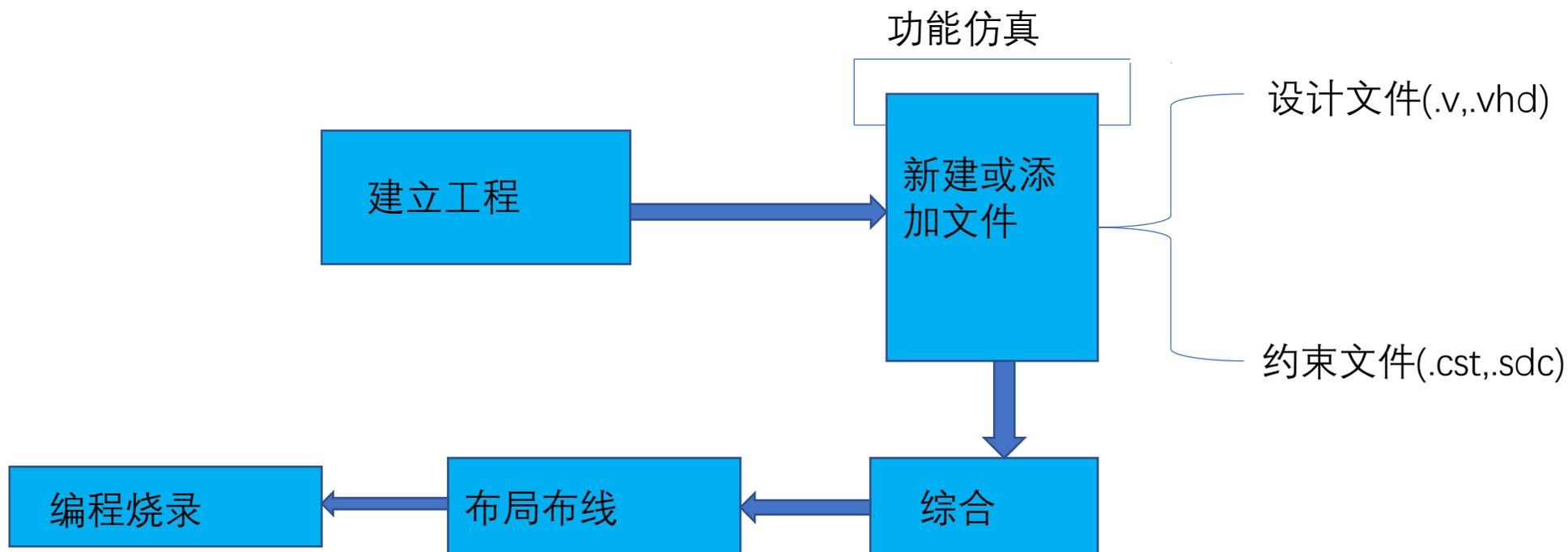
系统变量(S)

变量	值
LM_LICENSE_FILE	C:\Gowin\gowin_license\gowin_Synplifypro_104A7DB64315.lic...
MGC_HOME	C:\MentorGraphics\9.5PADS\MGC_HOME.ixn
MGC_IO_DESIGNER_HOME	C:\MentorGraphics\9.5PADS\SDD_HOME\IODesigner
MGLS_LICENSE_FILE	c:\flexlm\License.dat;C:\ProgramData\mgc\win32\LICENSE.dat
NUMBER_OF_PROCESSORS	8
OS	Windows_NT
PADS_PROGRAMS	Programs

- 1)客户电脑非64bit系统
- 2)客户在安装过程中有防火墙或其它安全设置阻止
- 3)客户在安装过程中没有关闭杀毒软件
- 4)安装目录有中文或空格字符
- 5)客户环境变量设置错误
- 6)客户因RTL综合失败，误以为软件license问题(其实是客户代码问题)

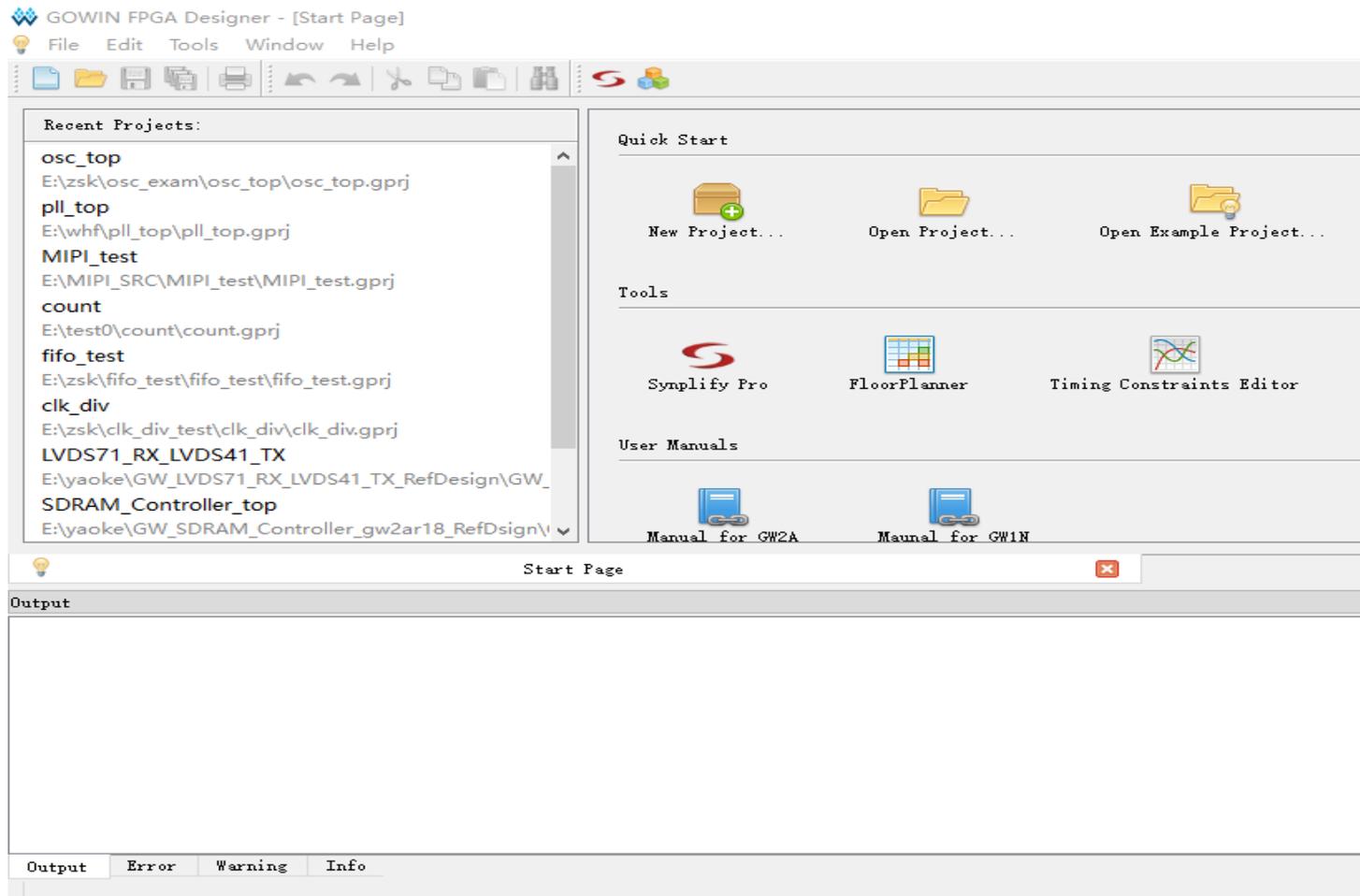
2.软件功能使用介绍

软件设计流程图如下：



本PPT将以一个工程案例为主线（在2倍输入时钟频率下实现3位宽计数器功能），穿插介绍高云云源软件，相信通过该例子后，大家将会很快熟悉高云云源软件的基本使用。点击桌面高云云源软件图标，进入软件





1) 新建工程

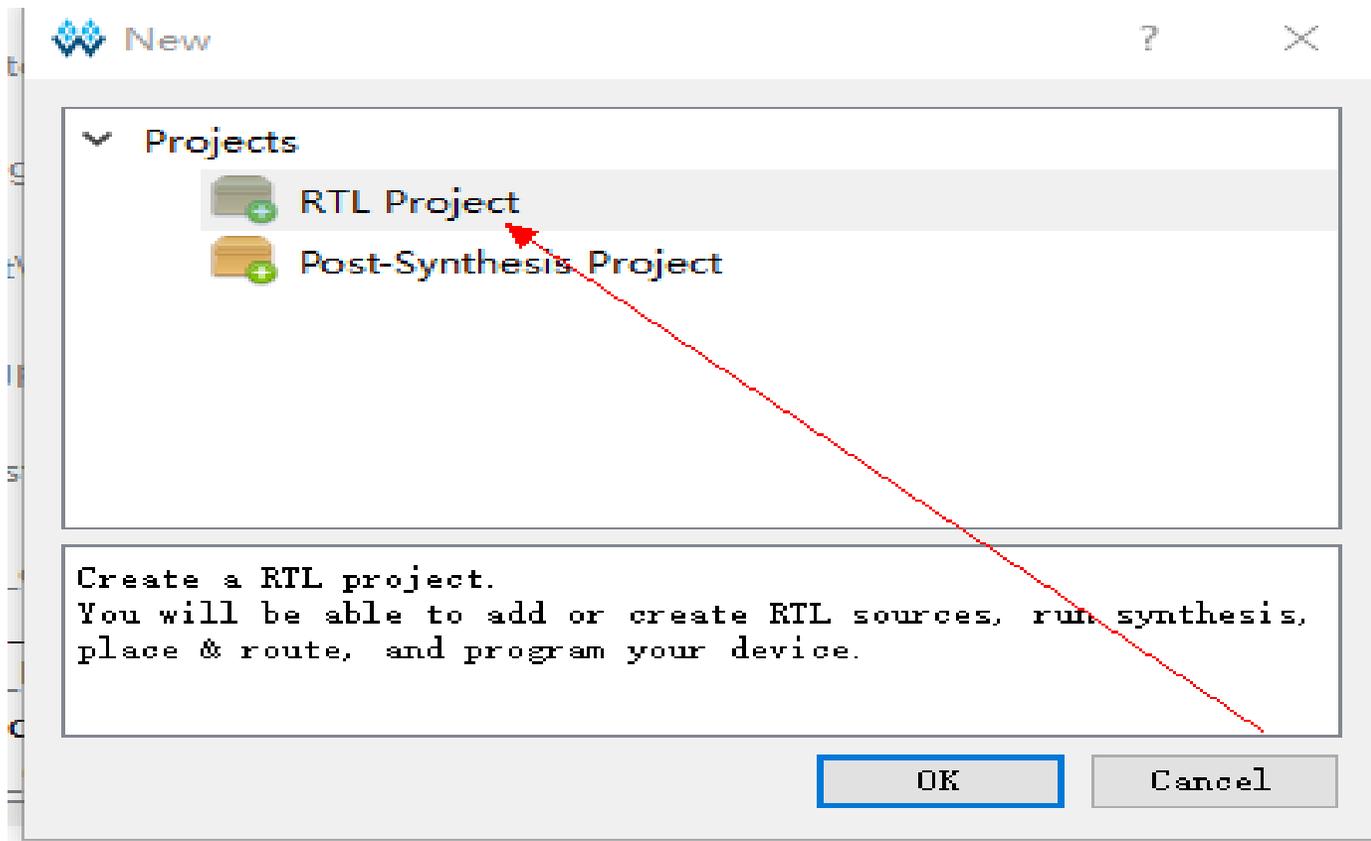
New project:新建工程;

Open project:打开以前创建的工程

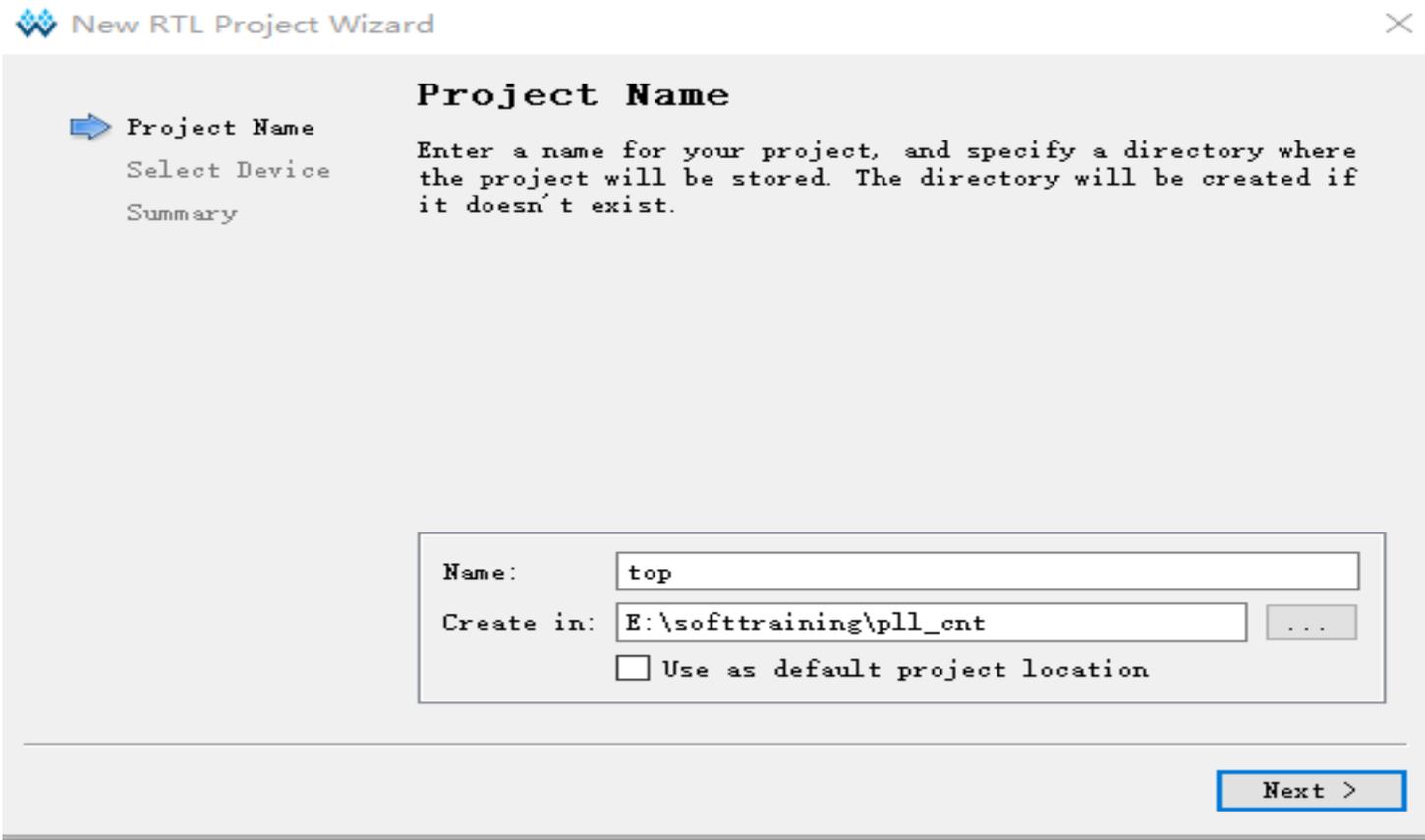
Open example project:打开软件自带的工程(供参考学习用)

Recent projects:最近使用的工程

我们选择New Project



2) 目前客户都是基于RTL的设计开发，我们选择RTL project；
Post-synthesis project:支持综合后的文件，需要添加网表文件（现在客户很少）

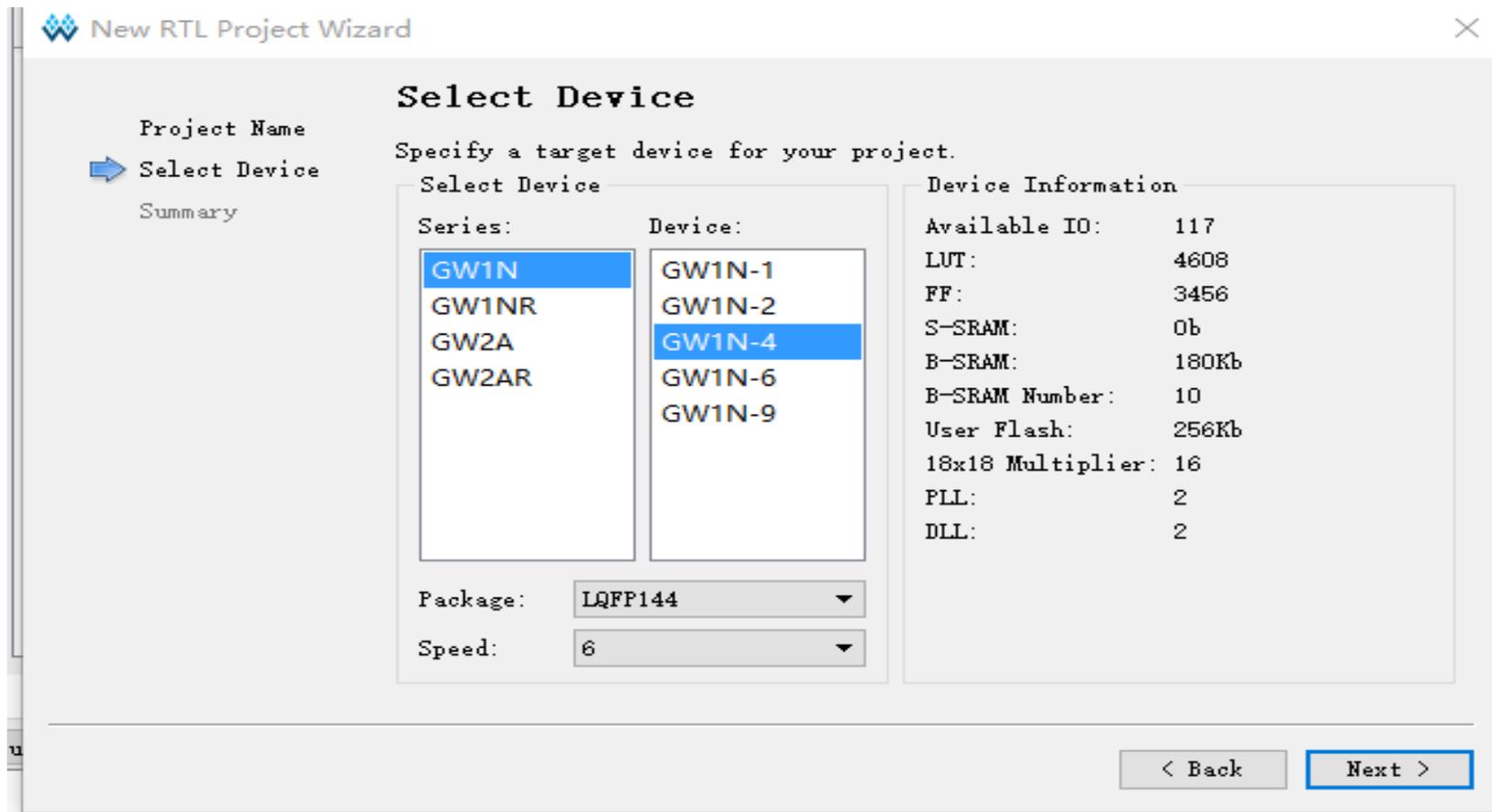


3) 给工程命名

Name: 工程名称

Create in: 工程所在路径

注意：工程名，文件名，路径等
都不要用中文字符或空格等



4) FPGA选型，配置FPGA芯片

Series: FPGA系列

Device: 具体器件

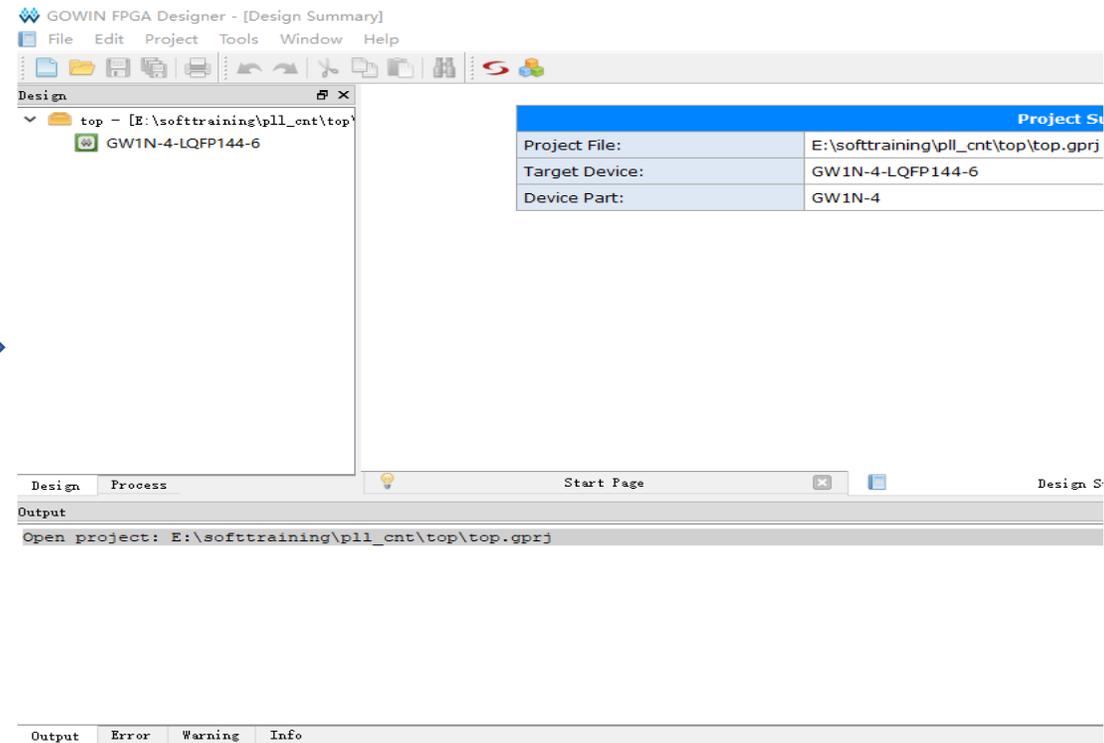
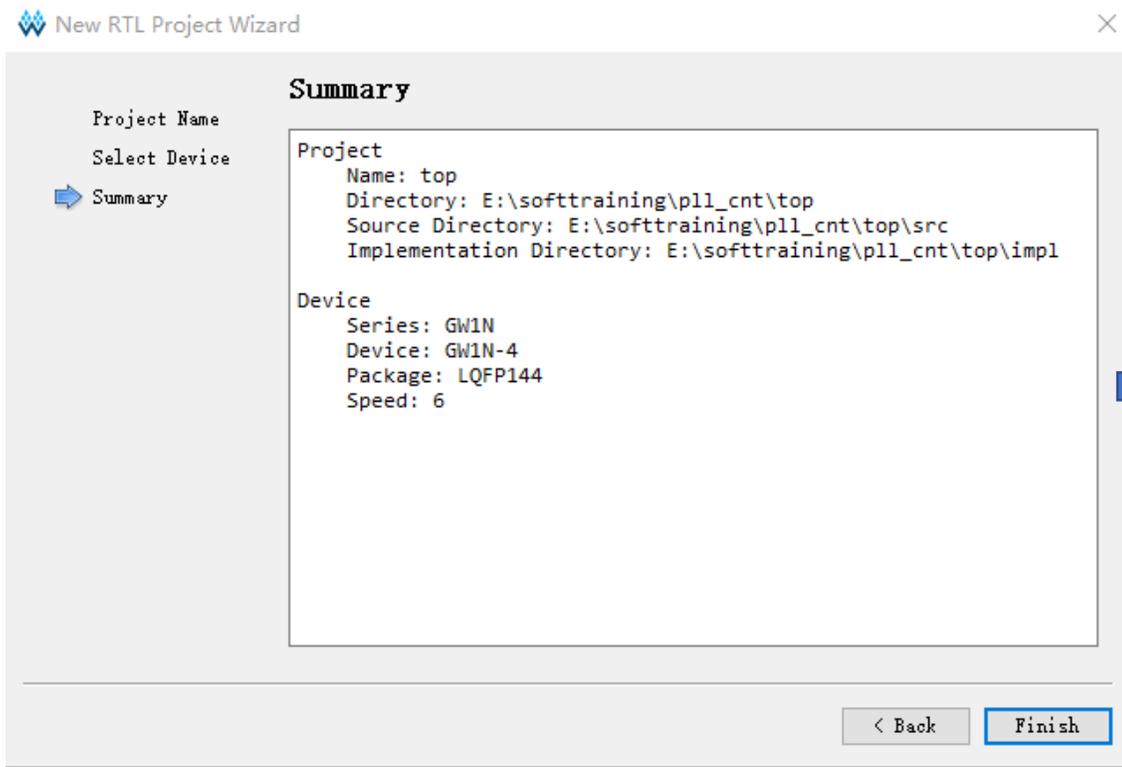
Package: 器件封装

Speed: 速度等级

我们以小蜜蜂

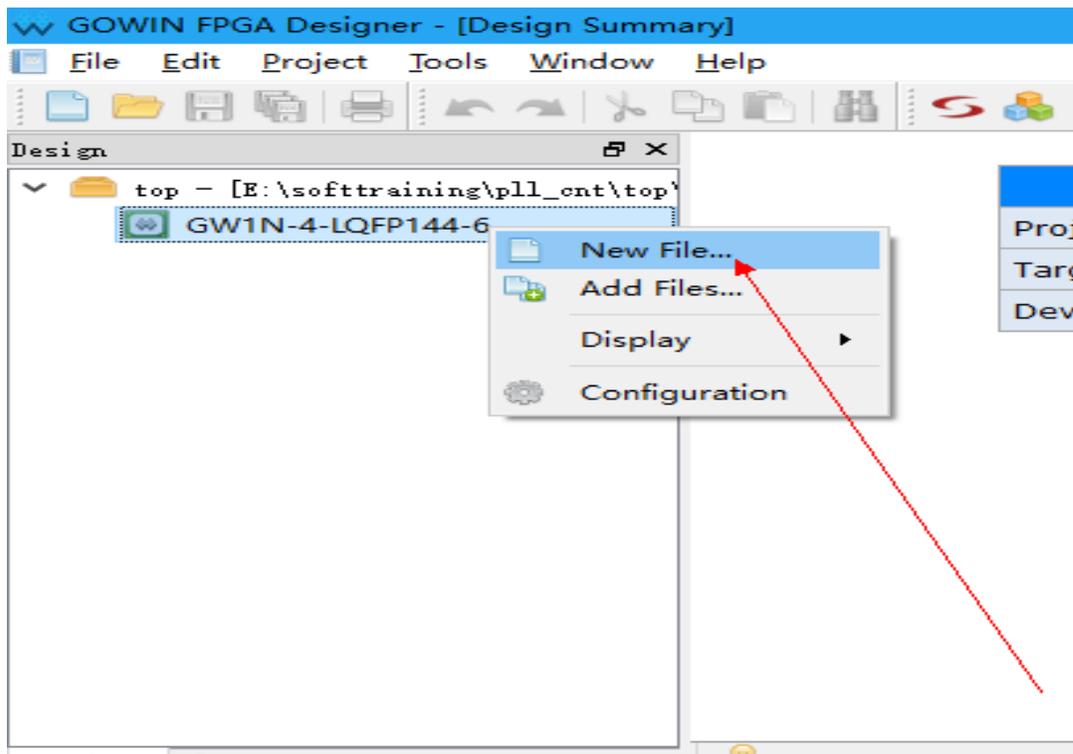
GW1N-LV4LQ144C6/I5

为例，选择如左图所示

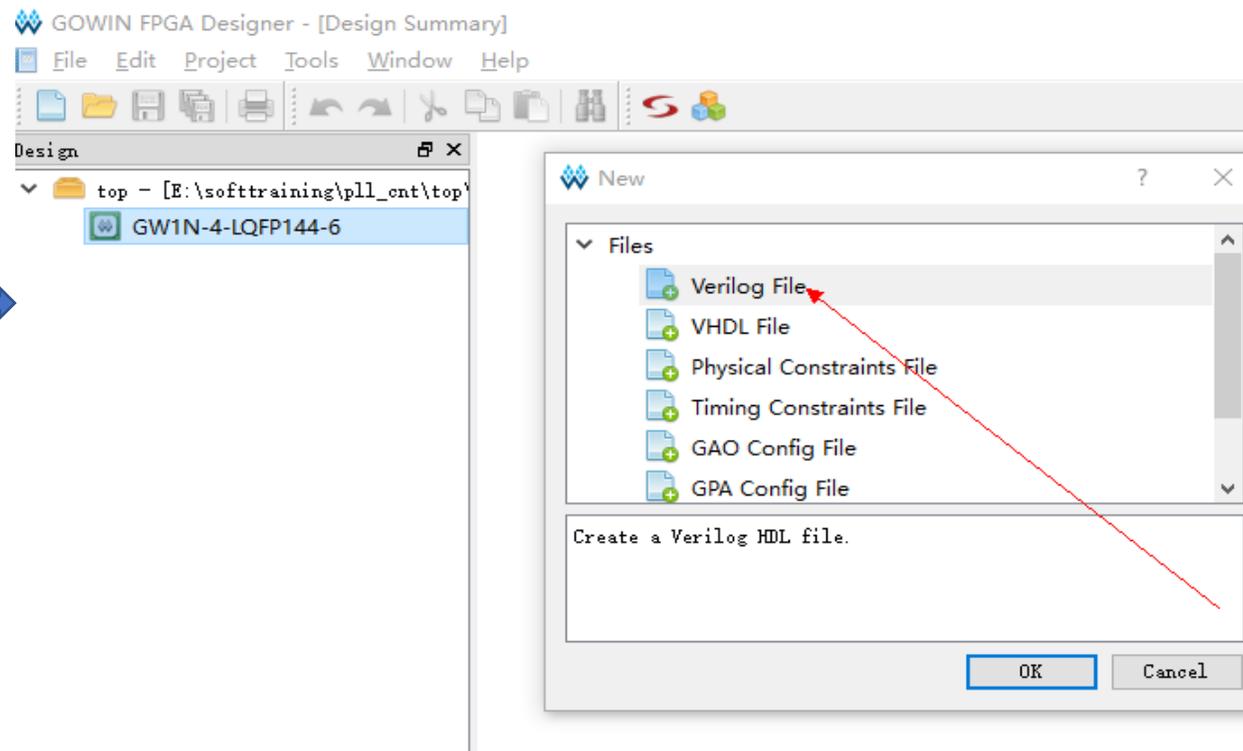


5) 点击finish, 完成RTL工程的创建

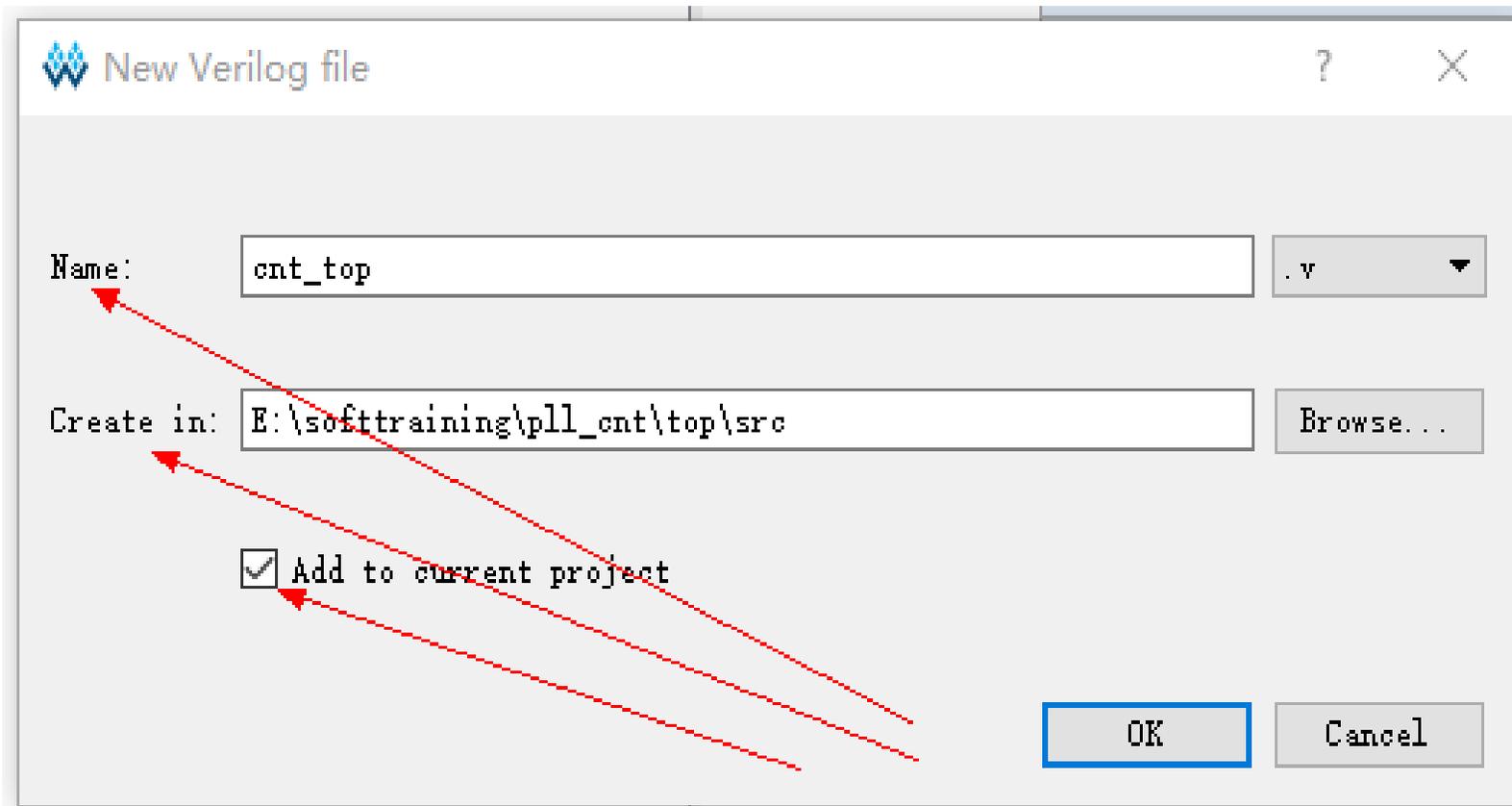
6) 设计文件的添加



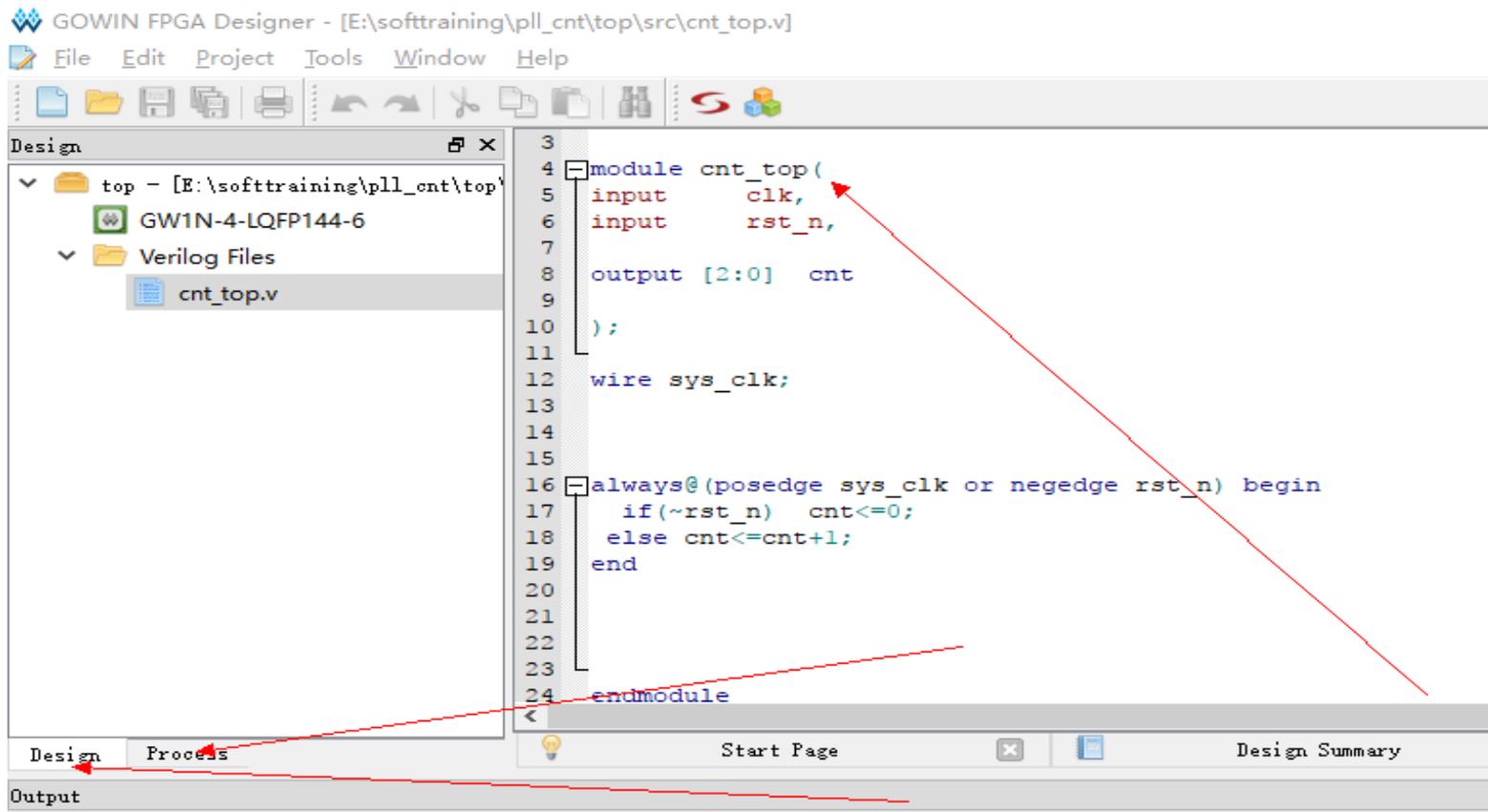
New file:新的设计文件
Add files:添加之前已有的文件
我们选择New file



Verilog file: 新建.v文件
VHDL File: 新建.vhd文件
我们选择 verilog file文件



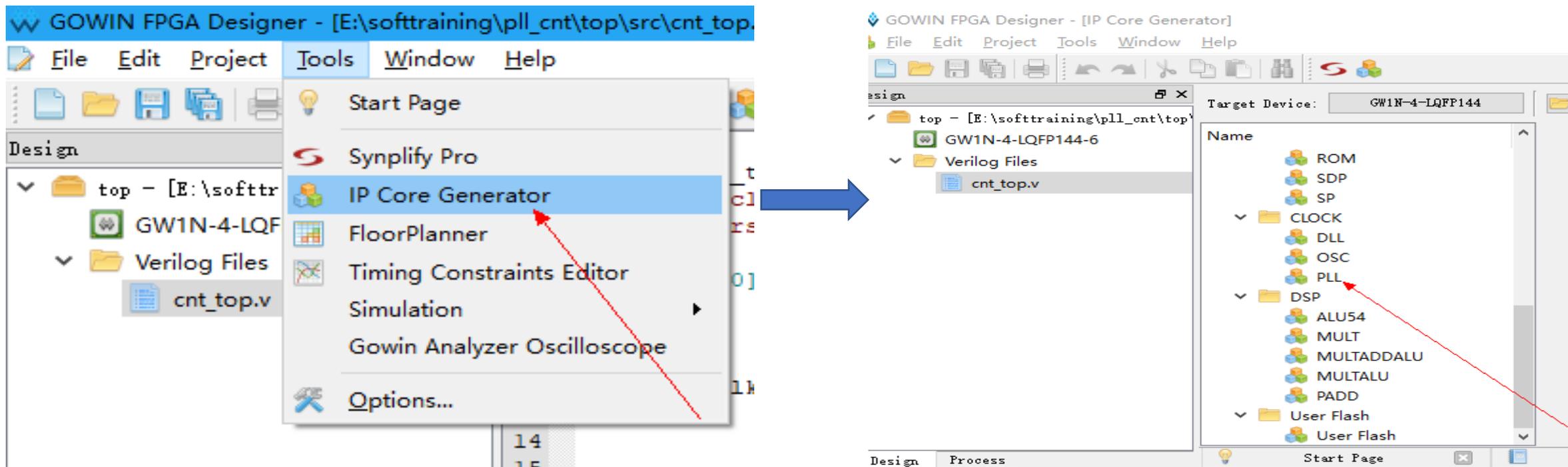
- 7) 文件名及路径
- Name:新的.v文件名
- Create in:文件路径
- 记住勾选add to current project(软件默认勾选)



用户可以在最右边编辑区编写自己的代码，高云云源软件还提供了丰富的IP资源，用户可依据自己的设计需求来调用，本例中以调用一PLL(2倍频)为例；

左下方实现Design,Process视图来回切换；
修改设计文件，约束文件等都在Design视图下；
软件运行进程在Process视图下；

8) IP核的调用



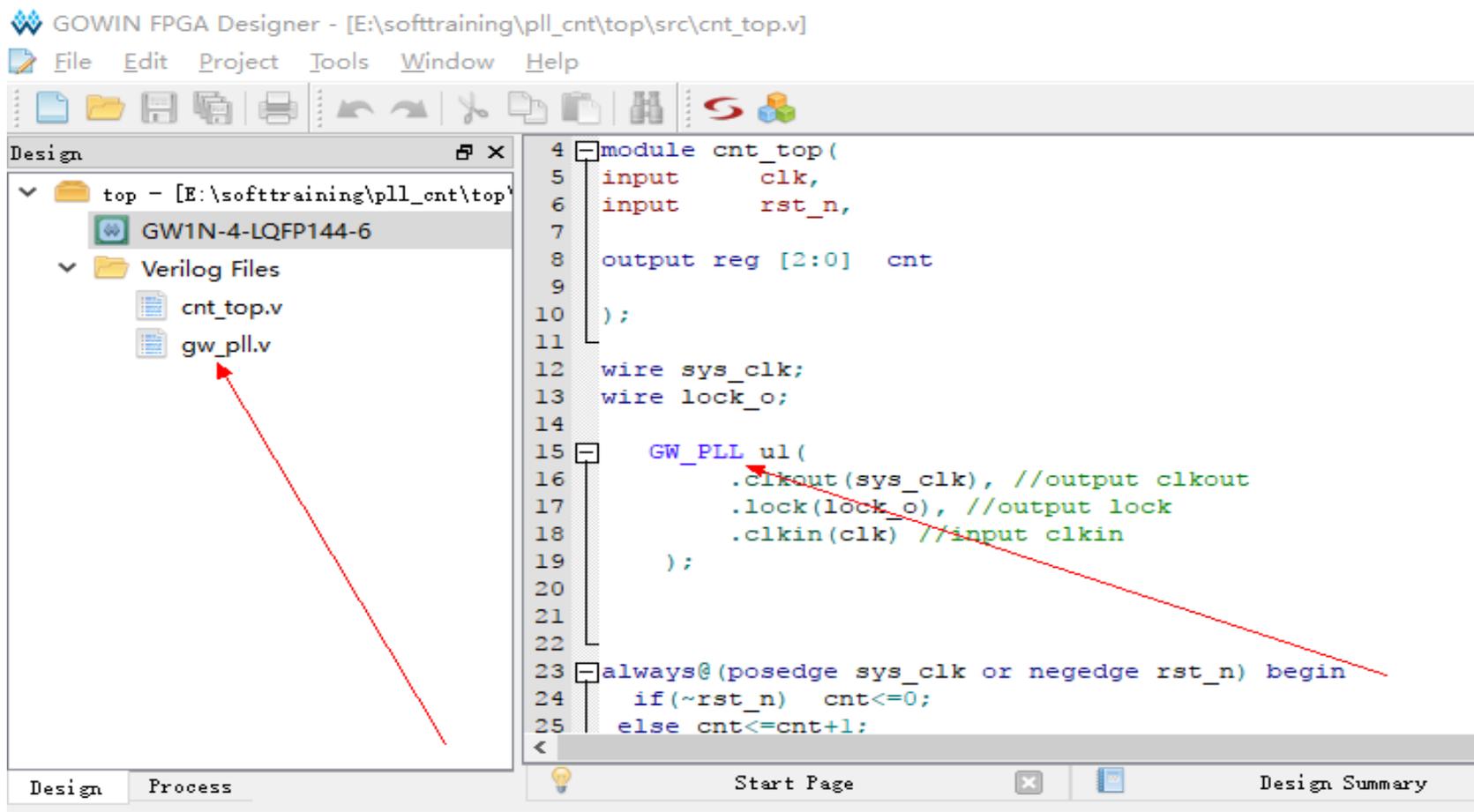
从菜单栏Tools下面选择IP Core Generator，接着窗口会弹出丰富的IP列表，我们选择PLL；（每个IP的使用和介绍在官网上都有相对应的文档说明）

The screenshot shows the 'Customize IP' window for a PLL component. On the left, a block diagram shows an input 'ckin' and two outputs 'lock' and 'clkout'. The main configuration area is divided into several sections:

- File:** Target Device: GW1N-4-LQFP144, Language: Verilog, Create In: E:\softtraining\pll_cnt\top\src\gw_pll, Module Name: GW_PLL, File Name: gw_pll, Add to Current Project:
- Options:**
 - General:** Mode: General Mode, Advanced Mode; PLL Phase And Duty Cycle Adjustment: Dynamic, Static; PLL Reset:
 - CLKIN:** Clock Frequency (3~450): 50.000; Divide Factor: Dynamic (Initial Value: 1), Static (1~64): 1
 - CLKOUT:** Bypass; Expected Frequency (3~450): 100.000; VCO Divide Factor: Dynamic (Initial Value: 2), Static (2); Actual Frequency: 0.0; Duty Cycle Fine Tuning (Dynamic): Delay Step: 0

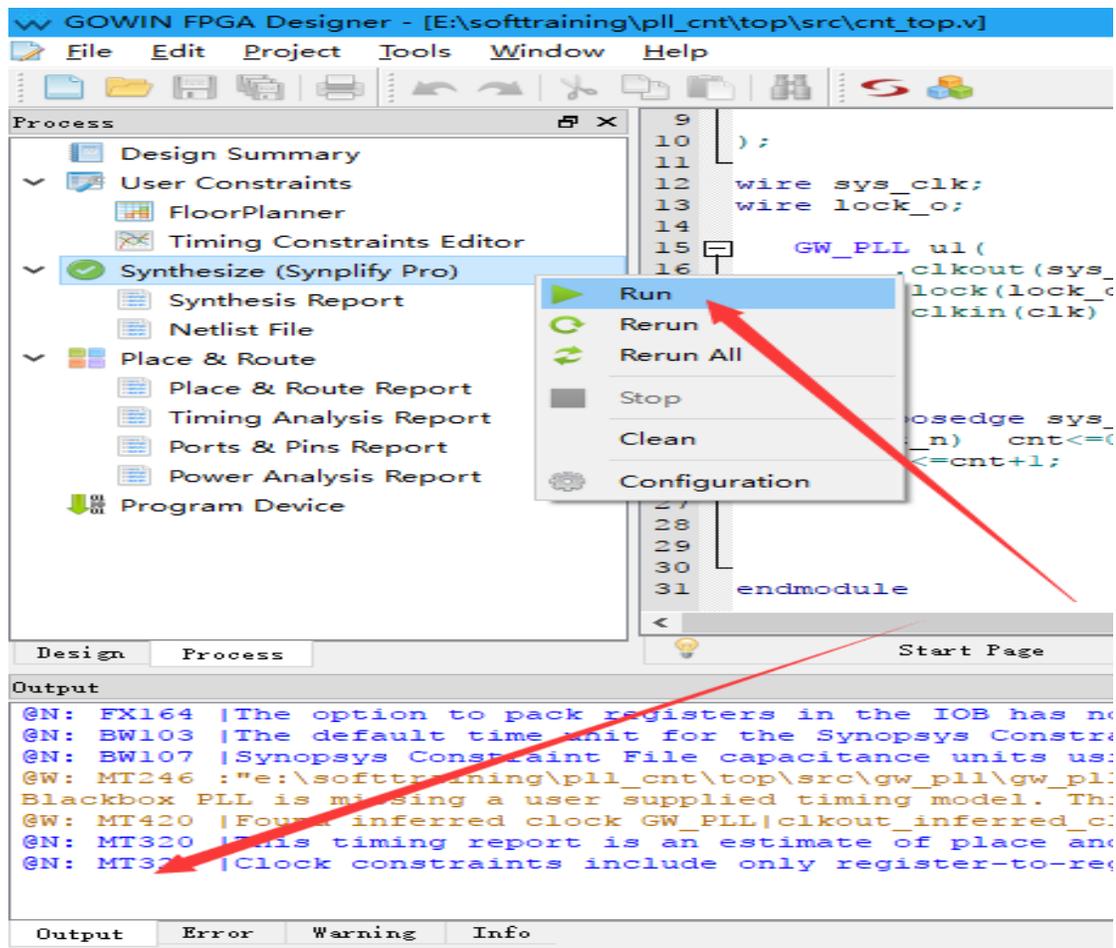
Buttons for 'OK' and 'Cancel' are visible at the bottom right.

9) PLL设置输入时钟50MHZ;
倍频时钟输出100MHZ;



10) 模块例化
将GW_PLL作为子模块例化到模
cnt_top中;
可以看到verilog Files
下面多了gw_pll模块;

11) 执行综合



切换到process视图下，点击Run/Rerun/Rerun all，软件执行综合；
在软件下方，信息栏会有详细信息输出；
执行综合可以检测出用户RTL设计错误，用户可结合信息栏信息提示，修改RTL代码；

用户根据自己实际需要进行功能仿真，用户自行先熟悉modelsim，高云云源软件功能仿真需要结合modelsim软件，具体步骤如下：

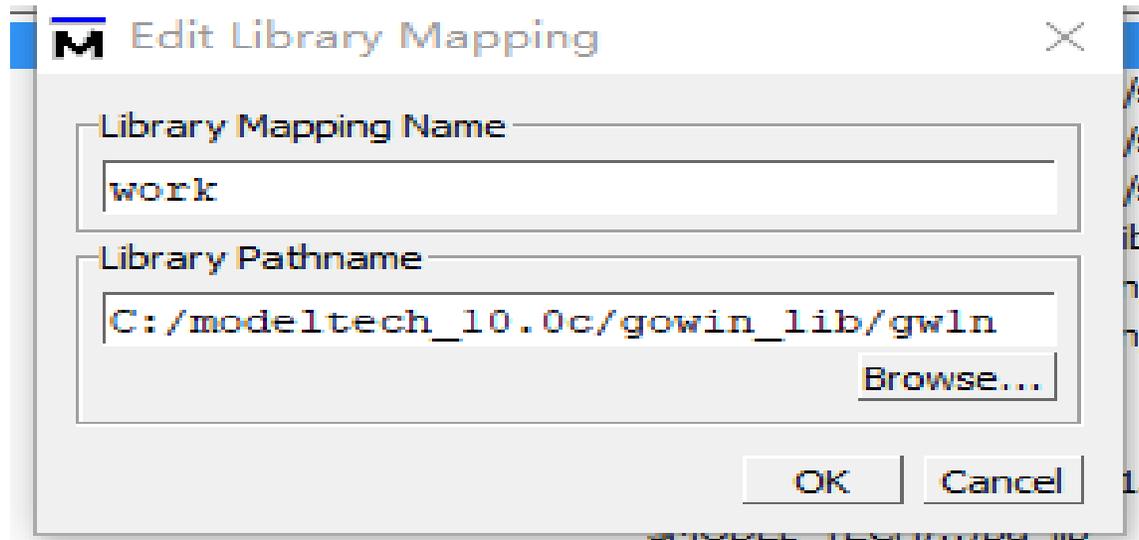
- 1) 用户自行安装modelsim软件；
- 2) 用户自建编译库，编译高云原语；

名称	修改日期	类型
prim_sim.v	2017/9/13 14:02	V 文件
prim_sim.vhd	2017/9/13 14:02	硬盘映像文件
prim_syn.v	2017/9/13 14:02	V 文件
prim_syn.vhd	2017/9/13 14:02	硬盘映像文件
prim_tsim.v	2017/9/13 14:02	V 文件

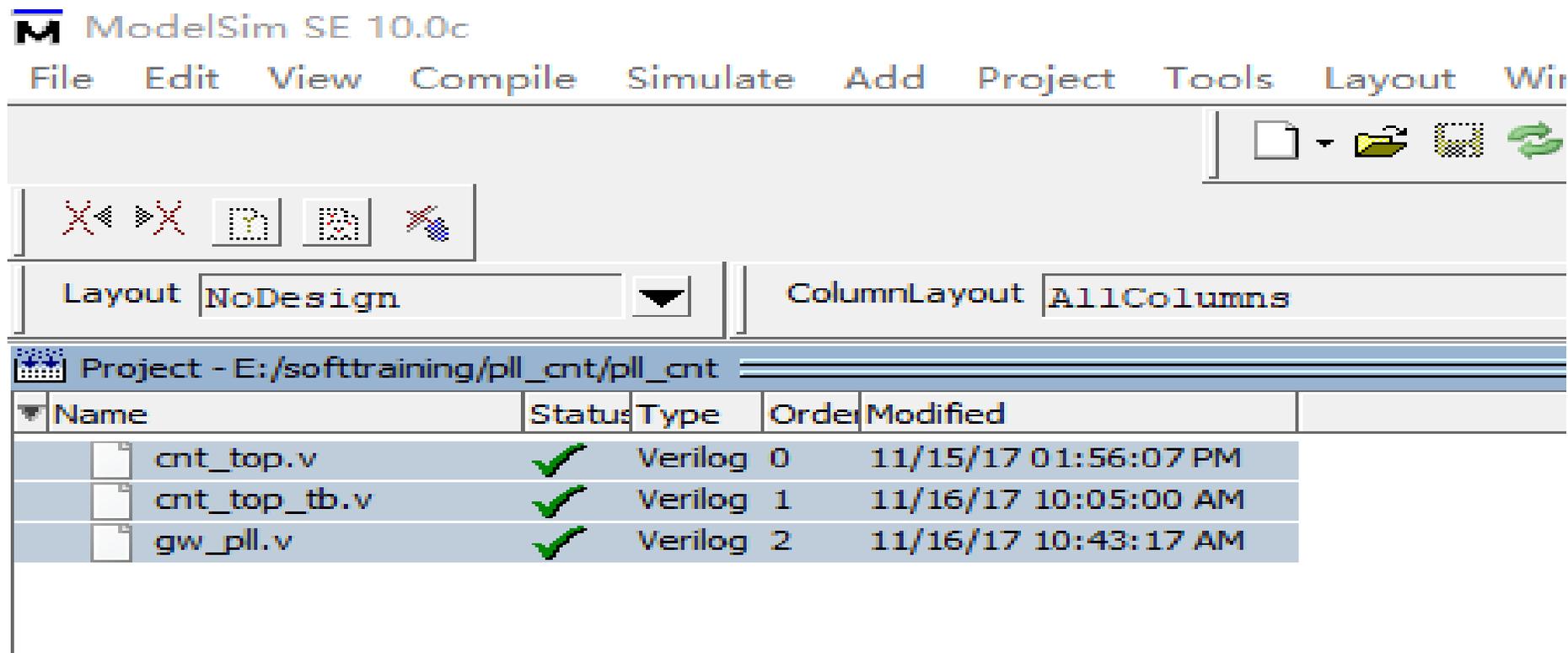
小蜜蜂系列原语：安装盘/Gowin/1.7/Pnr/lib/gw1n,如果是.v文件编译 prim_sim.v;
如果是.vhd文件编译prim_sim.vhd文件;

晨熙系列原语：安装盘/Gowin/1.7/Pnr/lib/gw2a;

- 3) 依据需要，自行创建testbench文件;(本例中为cnt_top_tb.v);
在测试文件中，需添加 `GSR GSR (.GSRI(1'b1));`
- 4) 打开modelsim软件，change directory E:\softtraining\pll_cnt;
- 5) Library mapping;

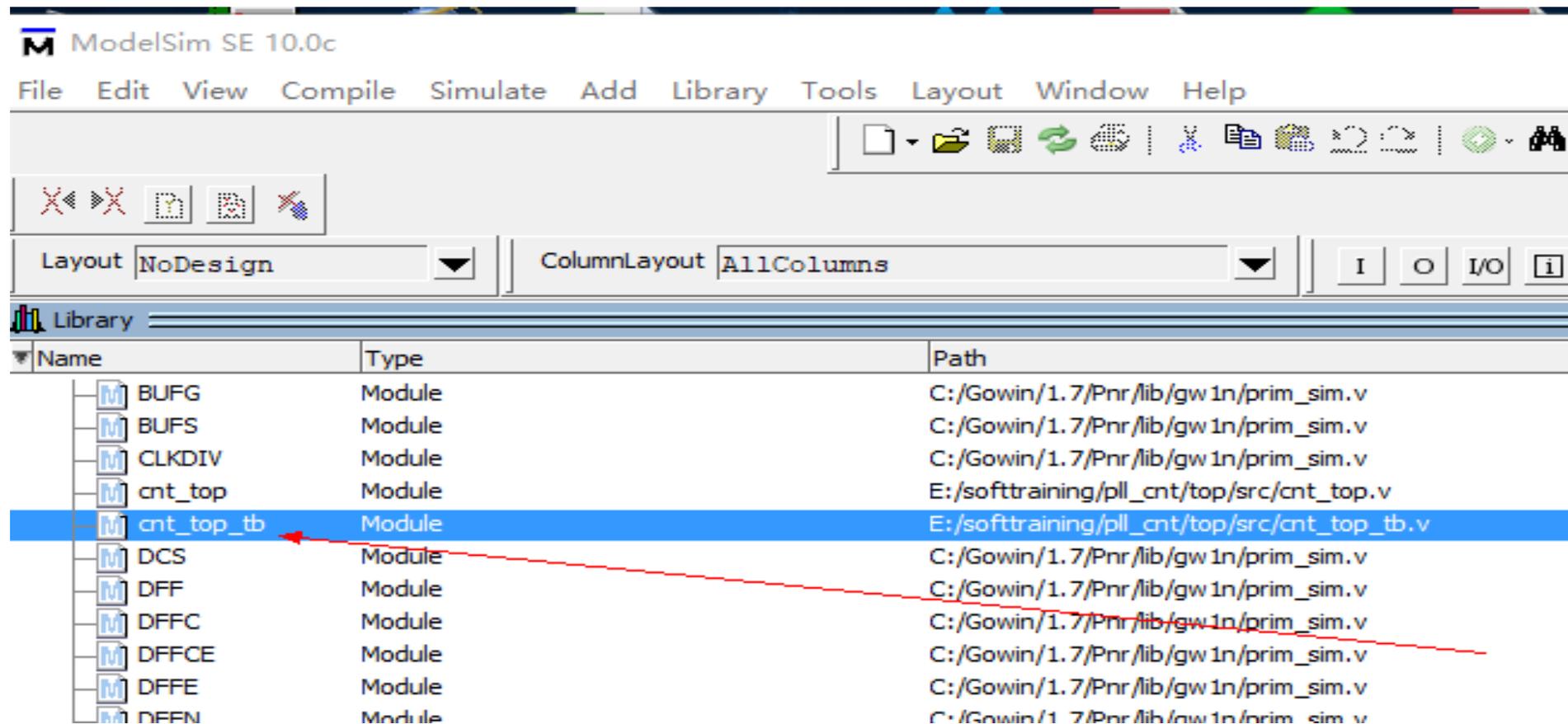


6)新建工程pll_cnt, 并添加需要仿真的设计文件(包括测试激励文件), 并进行编译如下:

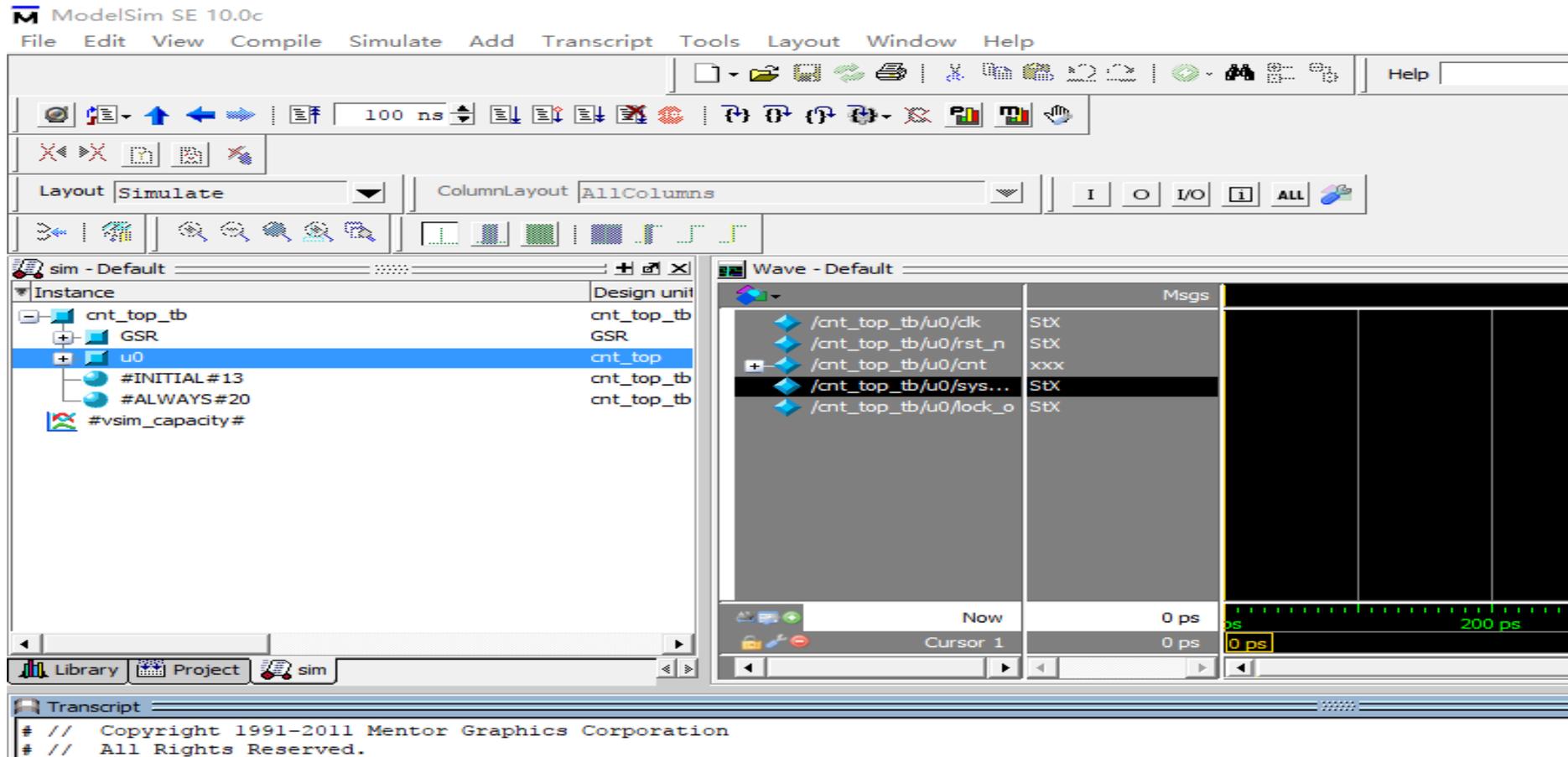


编译均OK,全部通过

7) 点击测试文件，右击鼠标选择simulate without optimization



8)选择u0/Add/To Wave/all items in region



9)在 Transcript 敲 run 100000ns，经分析仿真结果，正确；

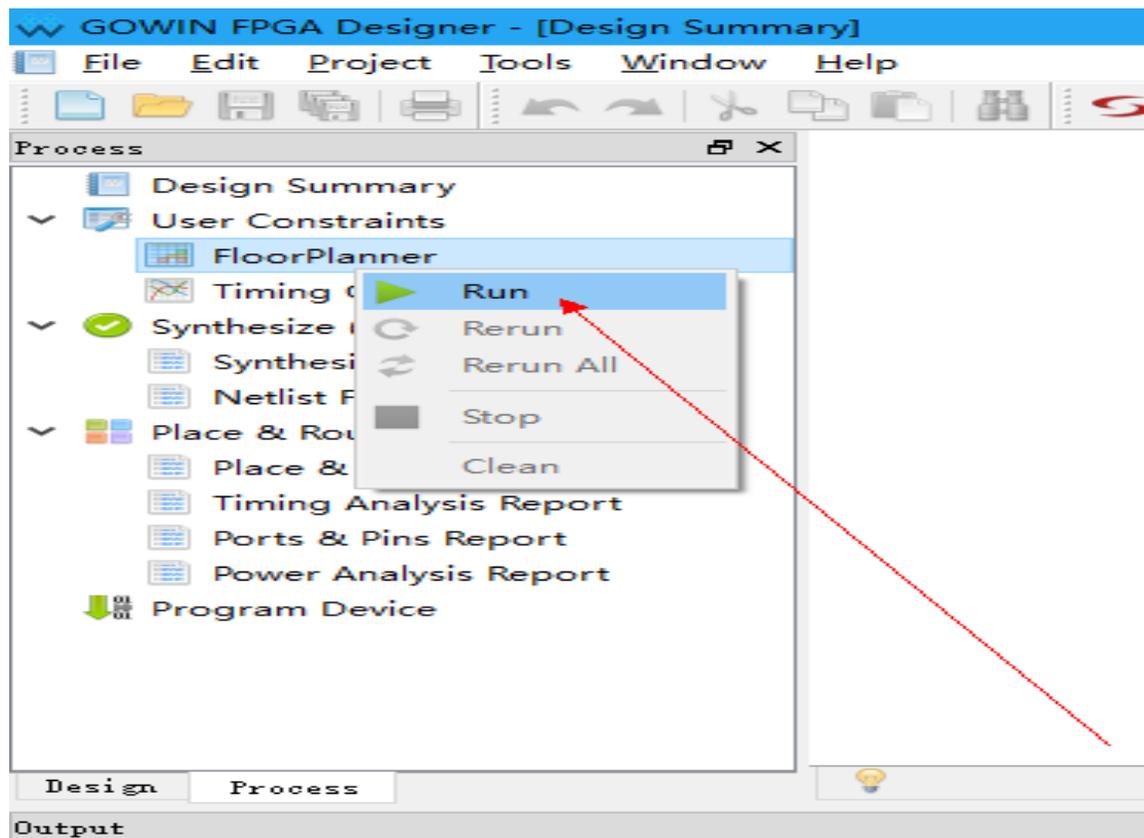
The screenshot displays the ModelSim SE 10.0c simulation environment. The main window is divided into several panes:

- Instance:** Shows the design hierarchy with 'cnt_top_tb' as the root, containing 'GSR', 'u0', and two constants: '#ALWAYS#20' and '#vsim_capacity#'.
- Wave - Default:** A digital waveform viewer showing signals for 'St1'. The signals are: '/cnt_top_tb/u0/dk', '/cnt_top_tb/u0/rst_n', '/cnt_top_tb/u0/cnt', '/cnt_top_tb/u0/sys...', and '/cnt_top_tb/u0/lock_o'. The 'cnt' signal is highlighted with a red arrow. The waveform shows a sequence of binary values: 000, 001, 010, 011, 100, 101, 110, 111, 000, 001, 010, 011, 100. A yellow vertical cursor is positioned at 50003000 ps, and a red arrow points to the 'cnt' signal value '111' at this time.
- Transcript:** Shows the simulation command history:

```
# Loading work.GSR
# Loading work.cnt_top
# Loading work.GW_PLL
# Loading work.PLL
add wave sim:/cnt_top_tb/u0/*
VSIM 3> run 100000ns
VSIM 4>
```

A red arrow points to the 'run 100000ns' command.

1)返回高云云源软件界面，添加物理约束

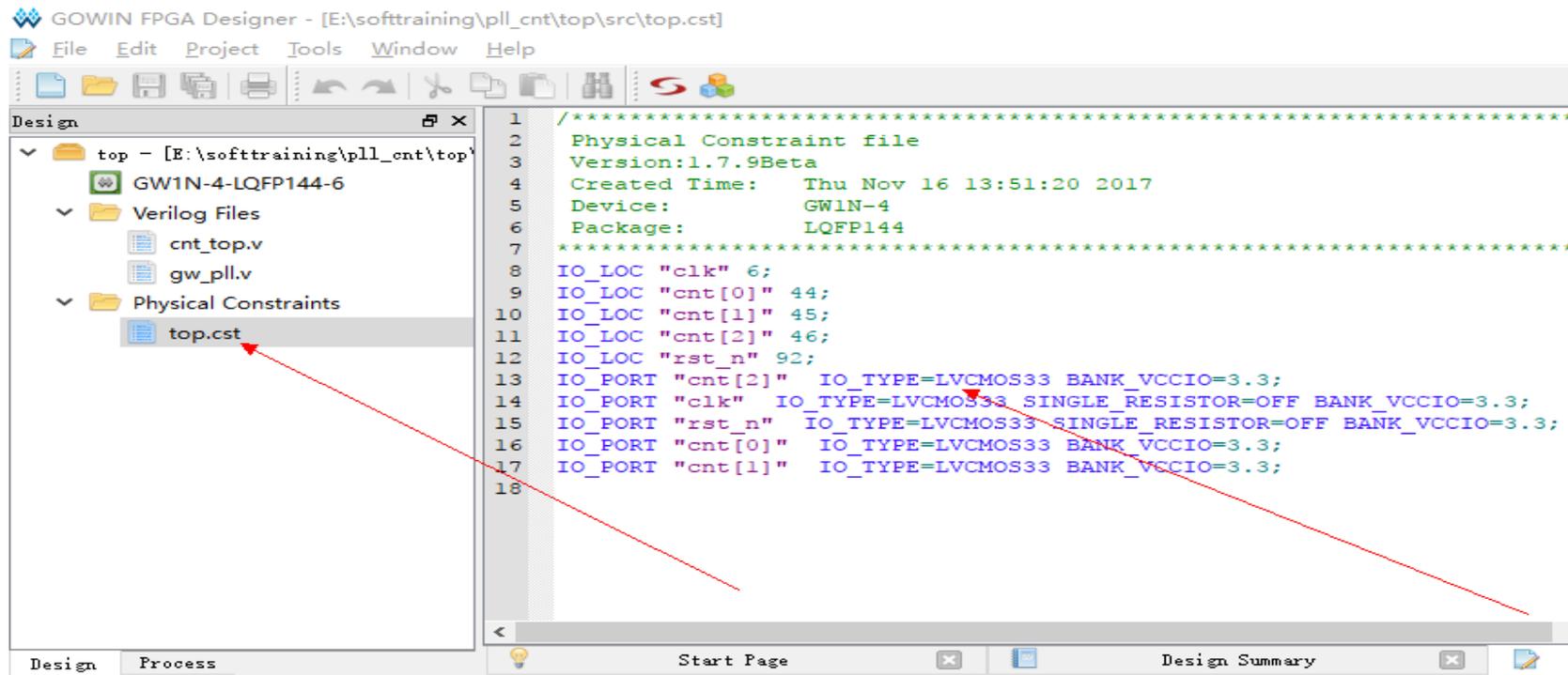


点击FloorPlanner,鼠标右键，选择Run，生成界面如下页所示：

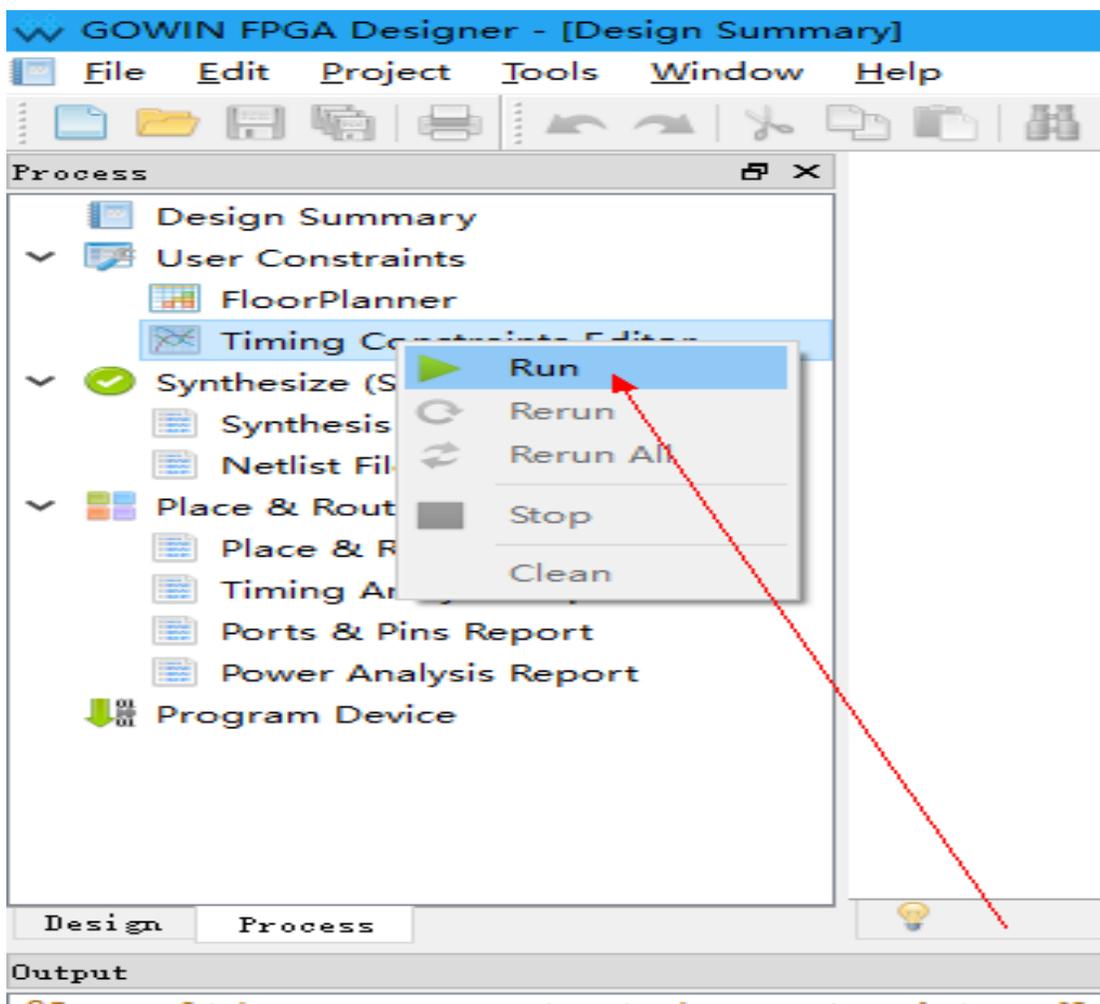
The screenshot shows the FloorPlanner interface with the I/O Constraints table at the bottom. The table contains the following data:

Port	Direction	Diff Pair	Location	Bank	Exclusive	IO Type	Drive
clk	input		6	3	False	LVC MOS33	N/A
cnt[0]	output		44	2	False	LVC MOS33	8
cnt[1]	output		45	2	False	LVC MOS33	8
cnt[2]	output		46	2	False	LVC MOS33	8
rst_n	input		92	1	False	LVC MOS33	N/A

设置输入输出管脚的物理约束,同时设置管脚电压标准(IO Type),并保存

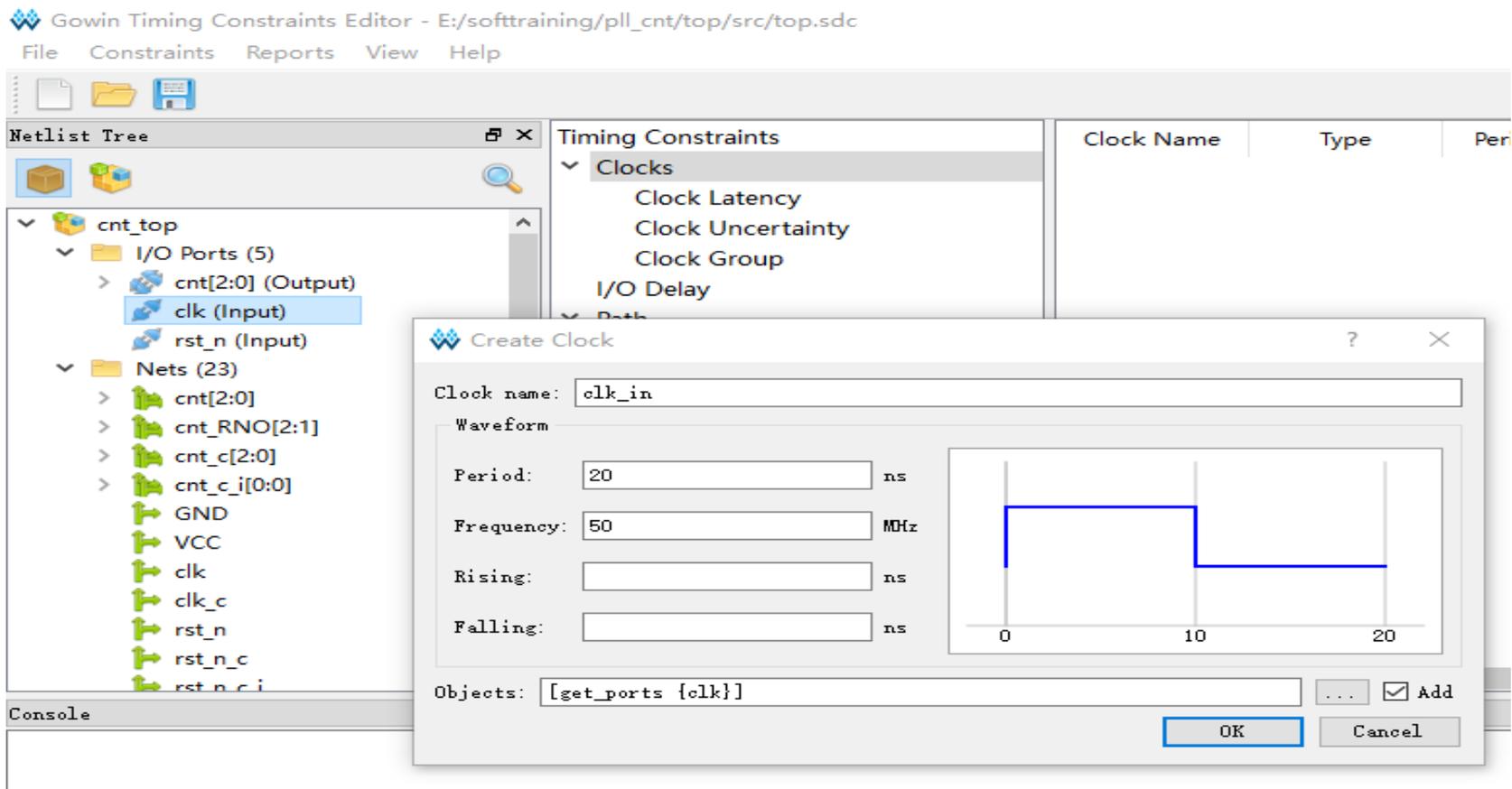


软件将自动添加了.cst文件

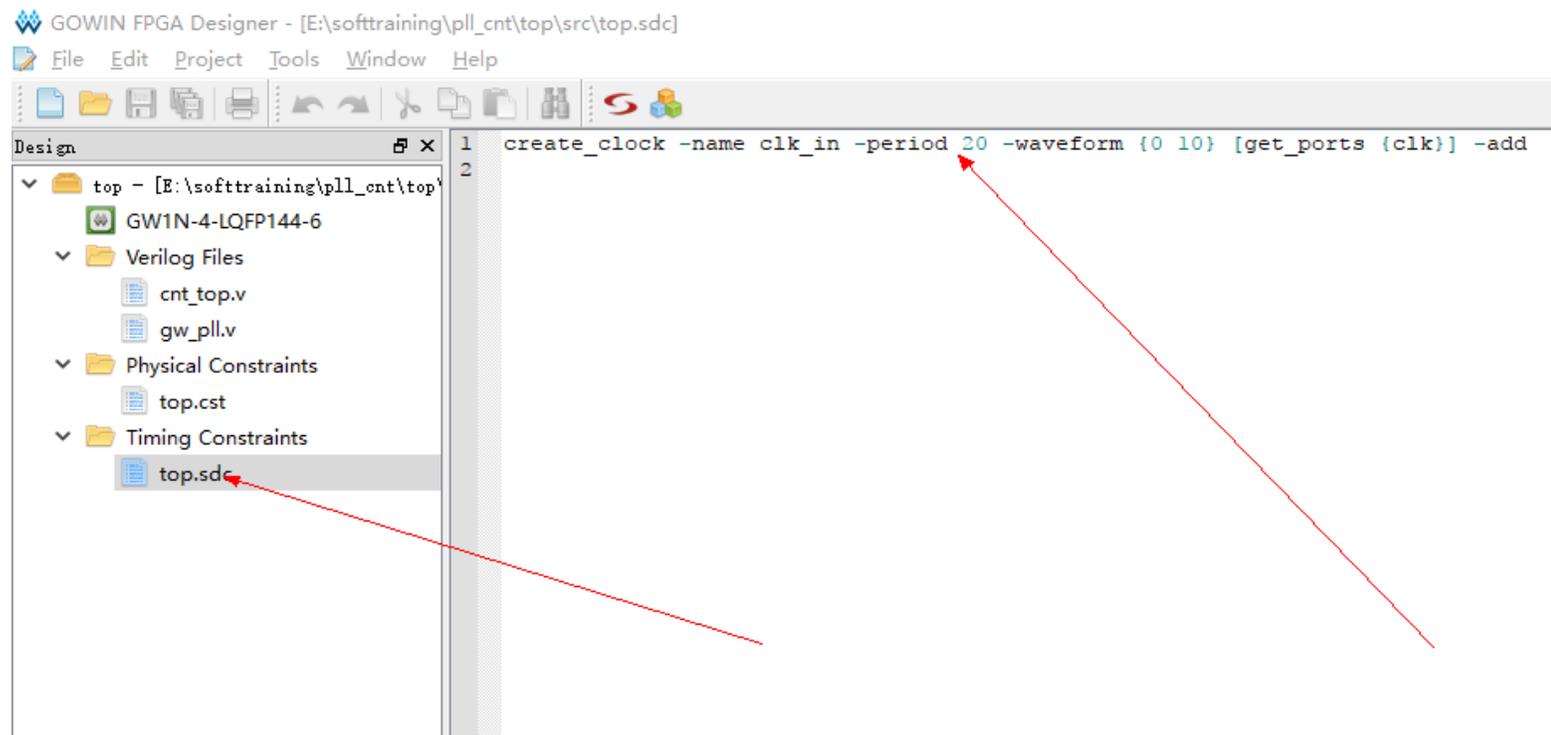


2)添加时序约束

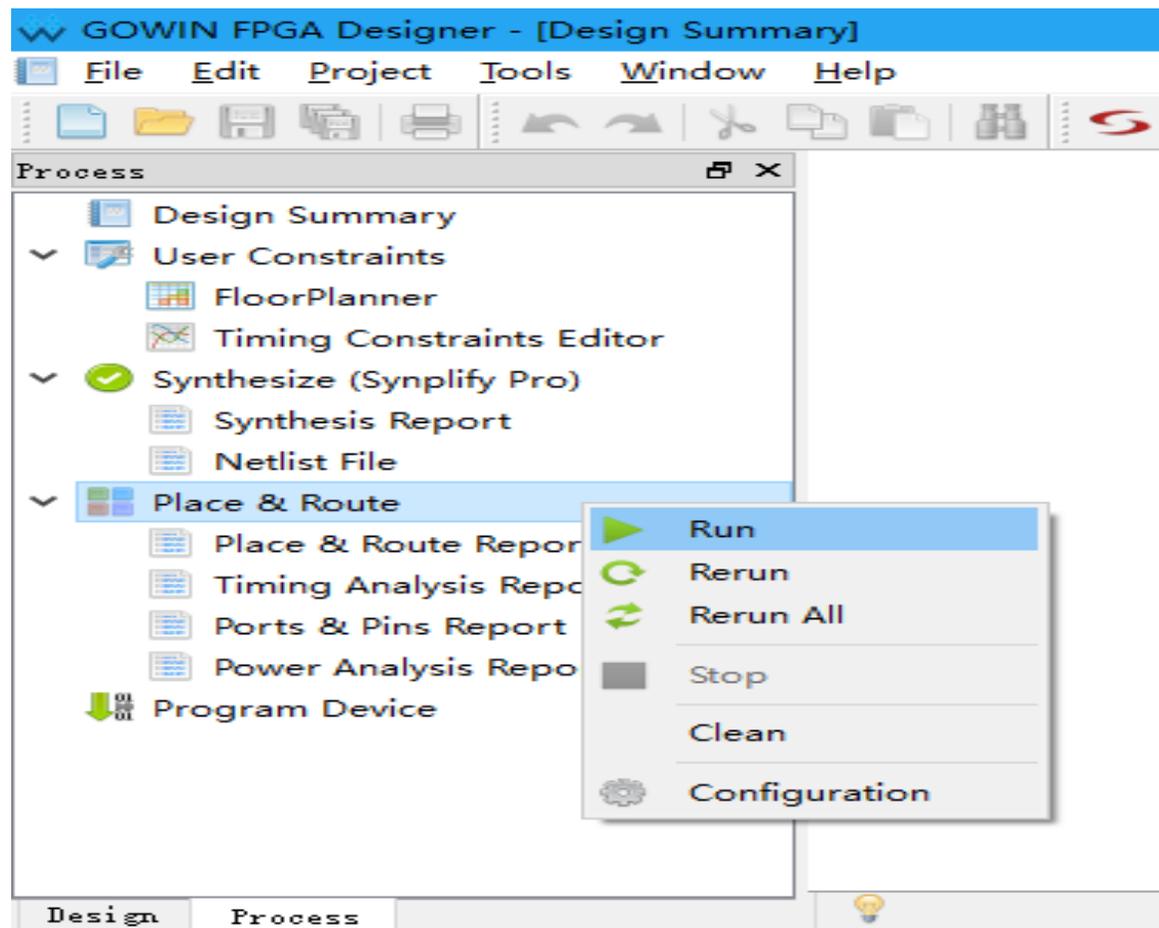
点击Timing Constraints Editor/Run



点击clk,鼠标右键选择 Add Clock
时钟约束为50MHZ, 点击OK



返回界面，软件将自动添加.sdc文件



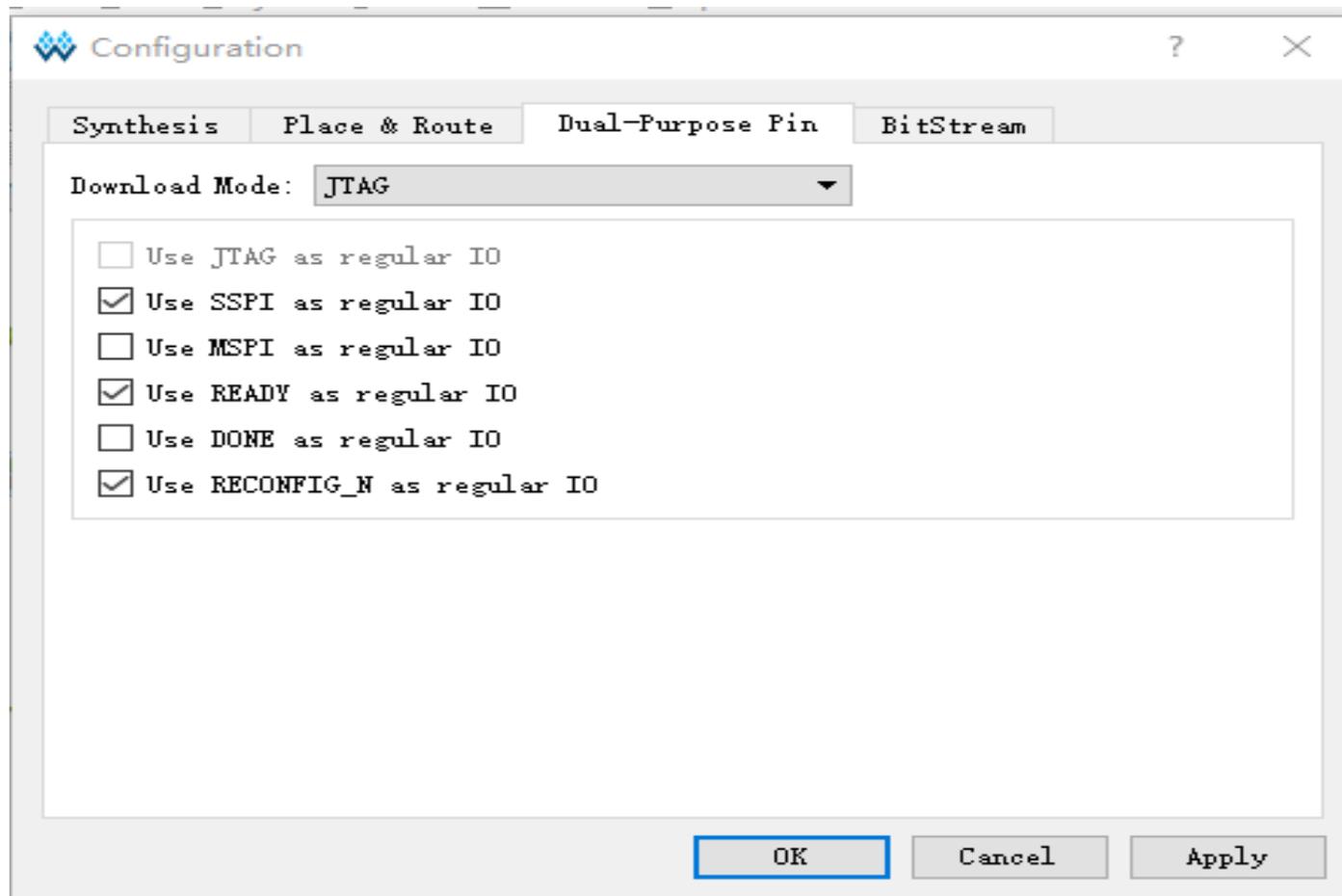
点击Place & Route

右击选择:

Run:运行布局布线

Rerun:重新运行布局布线

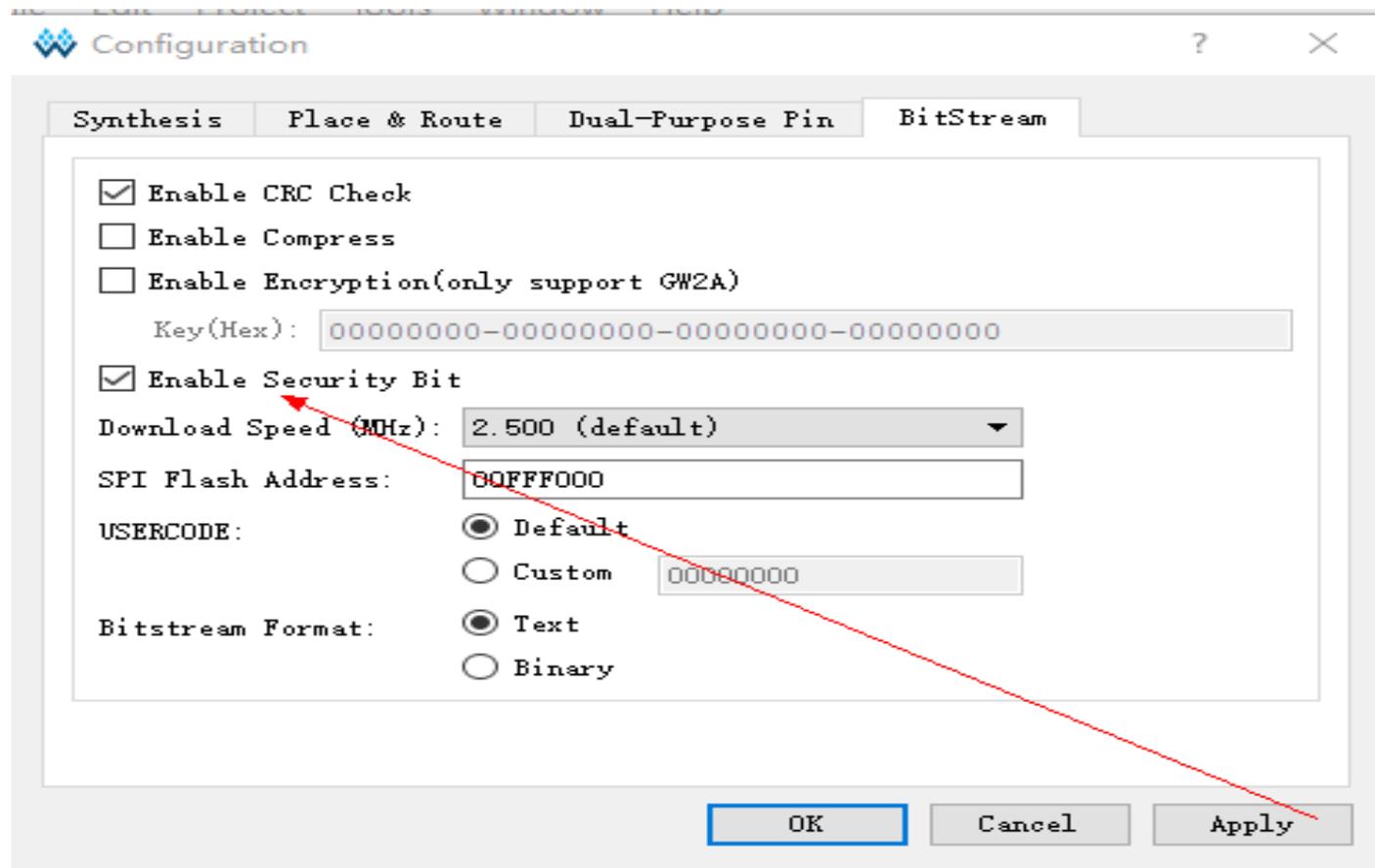
Rerun All:重新运行综合和布局布线



Place &Route/configuration/
Dual-Purpose Pin

如果勾选：则表示该多功能管脚在配置完
毕之后，可做为普通IO口使用；

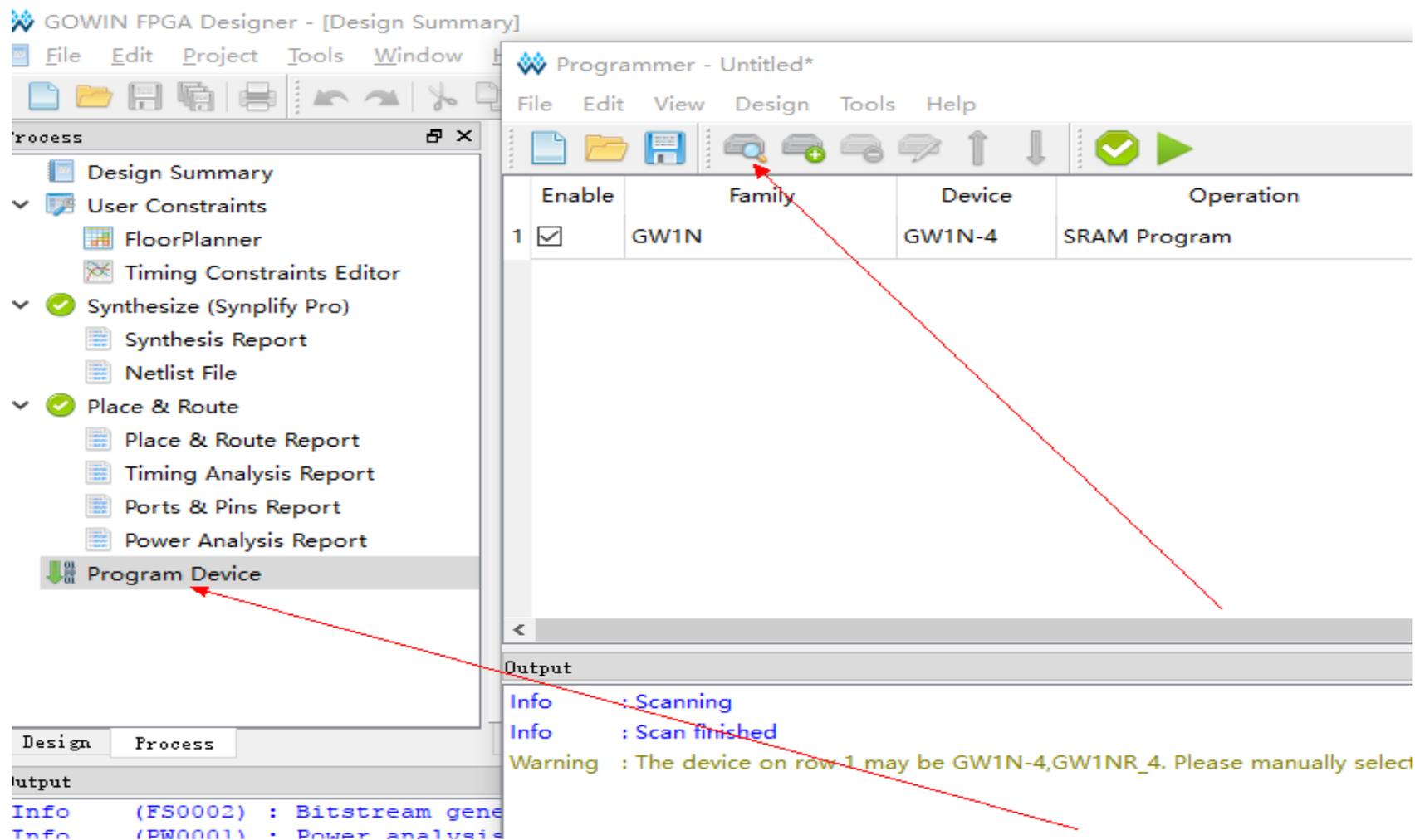
**注意：RECONFIG_N脚当作为GPIO时，只
能作为输入管脚；**



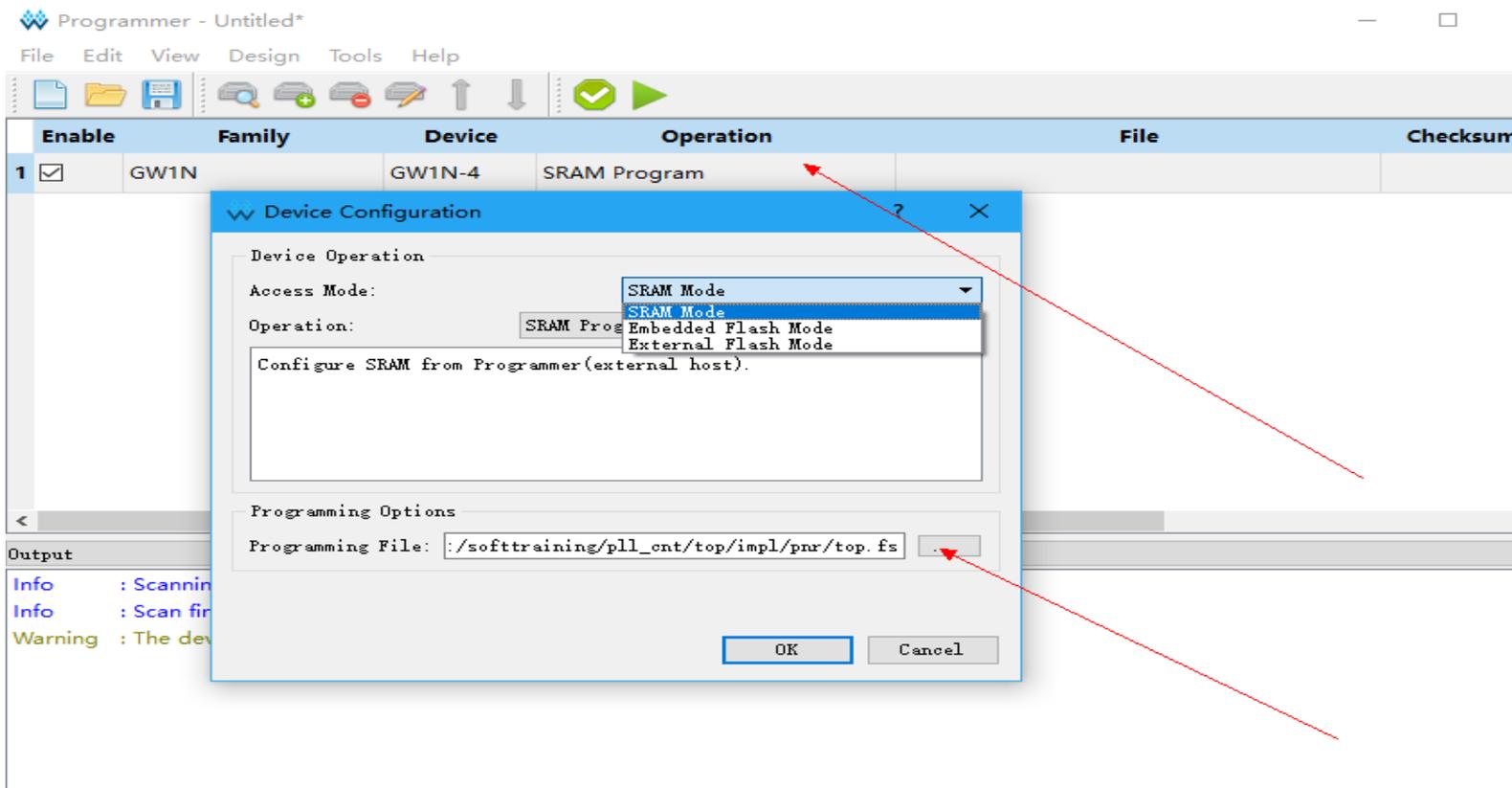
Place & Route/configuration/
Dual-Purpose Pin
Enable Security Bit:安全位保护机制

其它采用默认设置，具体含义见高云云源
软件使用指南；

注意：如果是采用SRAM
Erase program and verify，需要去掉
Enable Security Bit，否则verify failed



1)程序布局布线运行完毕后,连接好电路板和下载线,点击Program Device,再点击Scan device chain(图中右上方箭头所示),可以看出,软件已经识别到FPGA芯片;



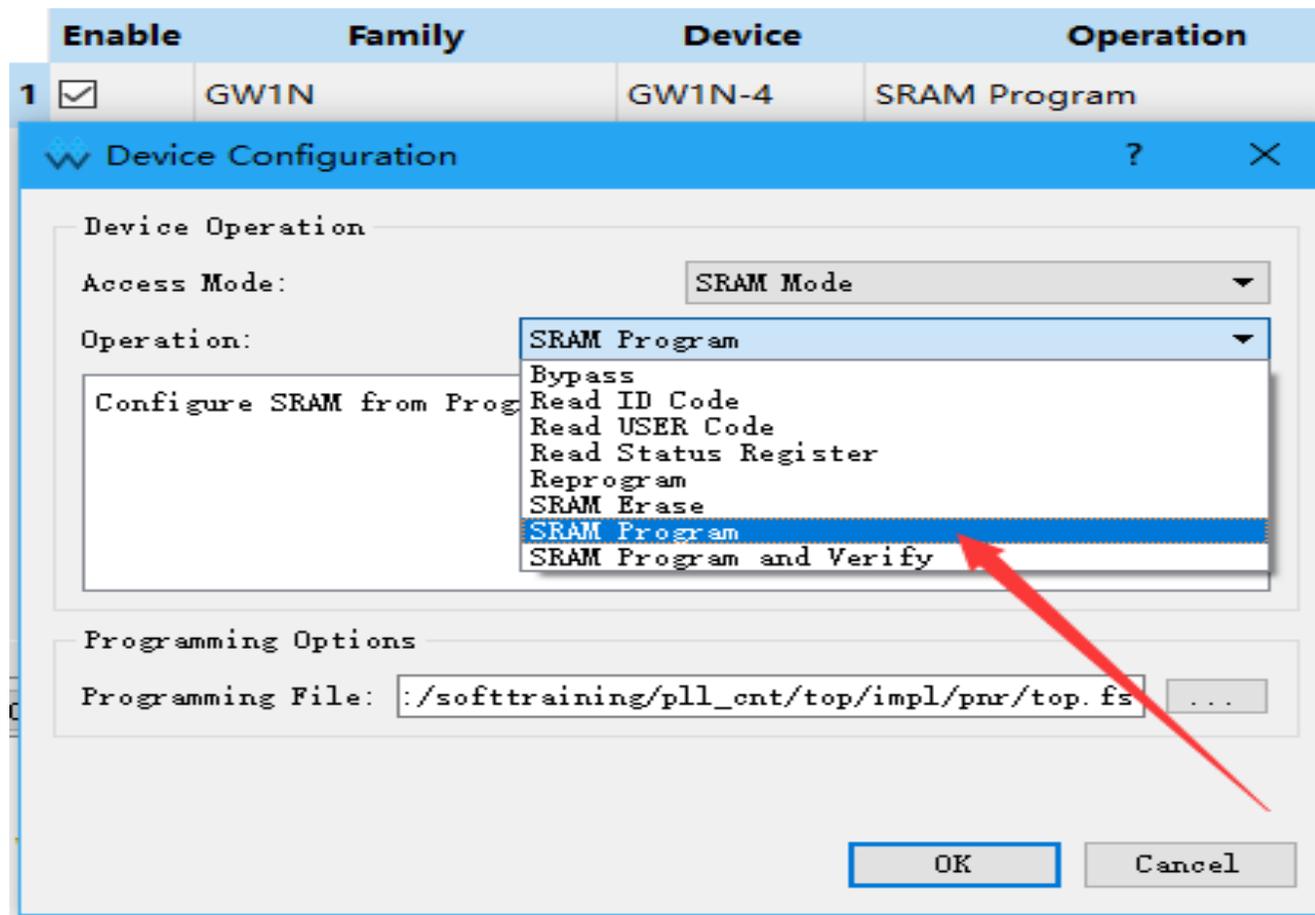
2)点击Operation下方，弹出配置窗口

SRAM mode:烧录SRAM

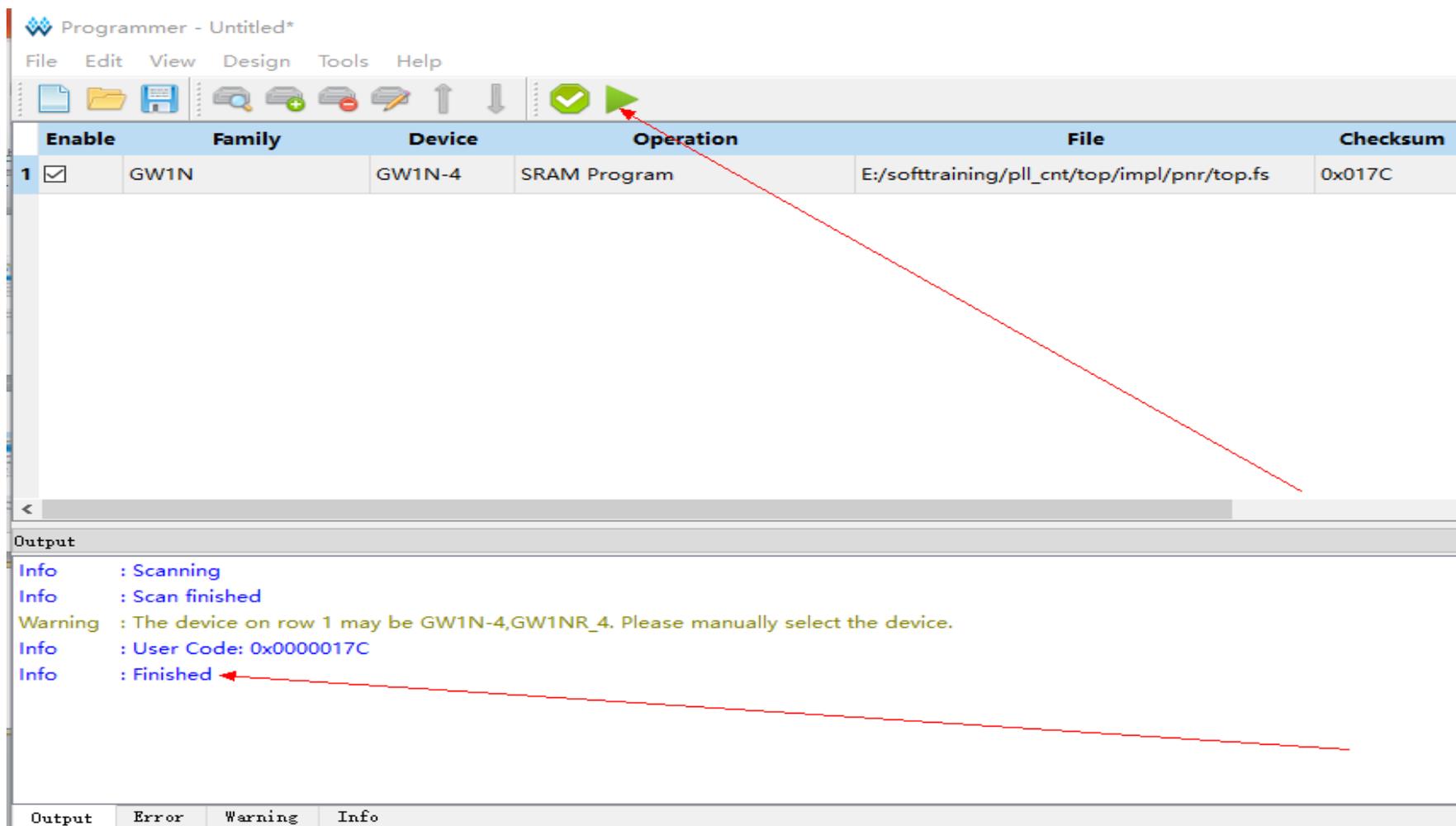
Embedded Flash Mode:烧录到内部Flash;

External Flash Mode:烧录到外部Flash;

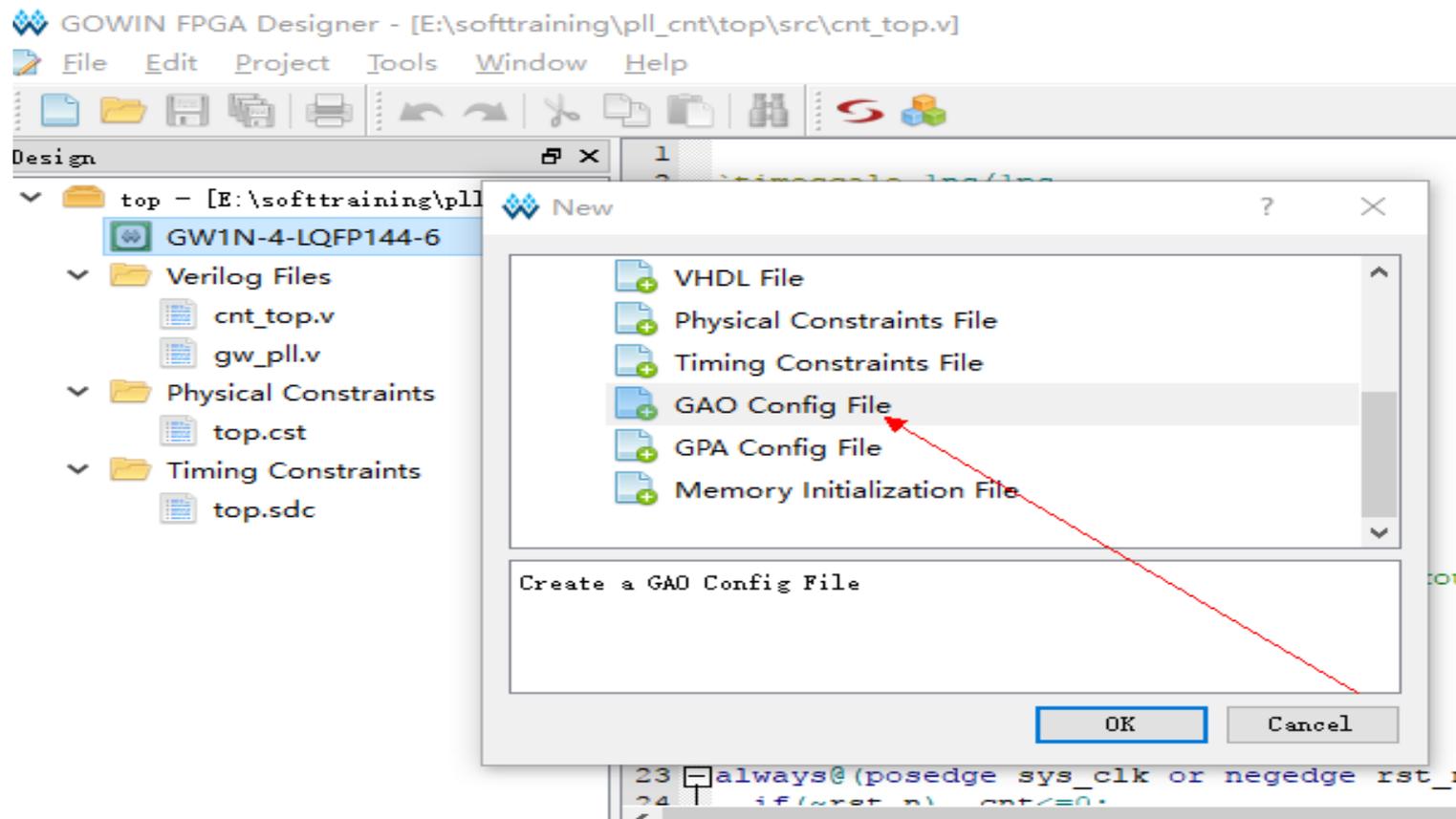
我们选择SRAM mode
选择需要烧录的.fs文件



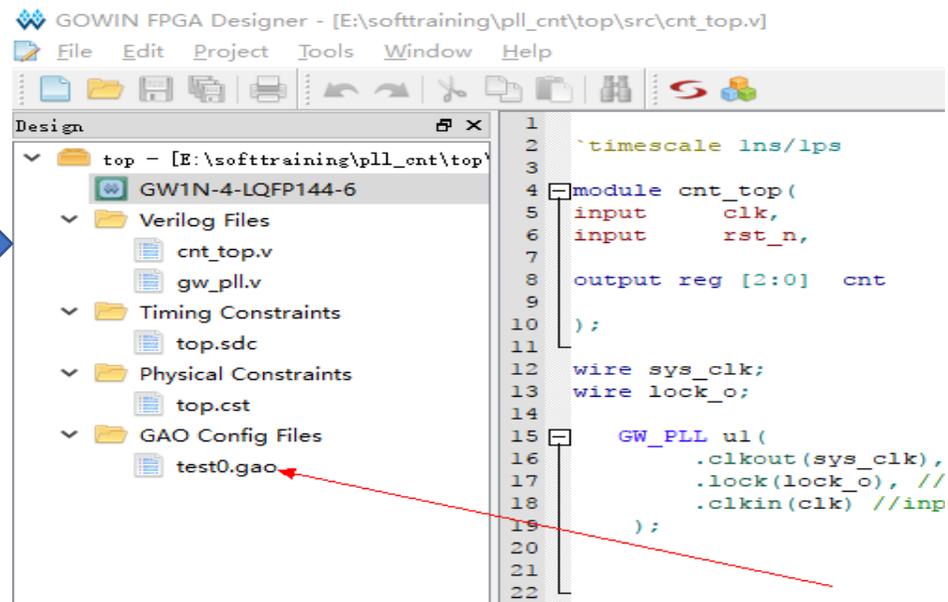
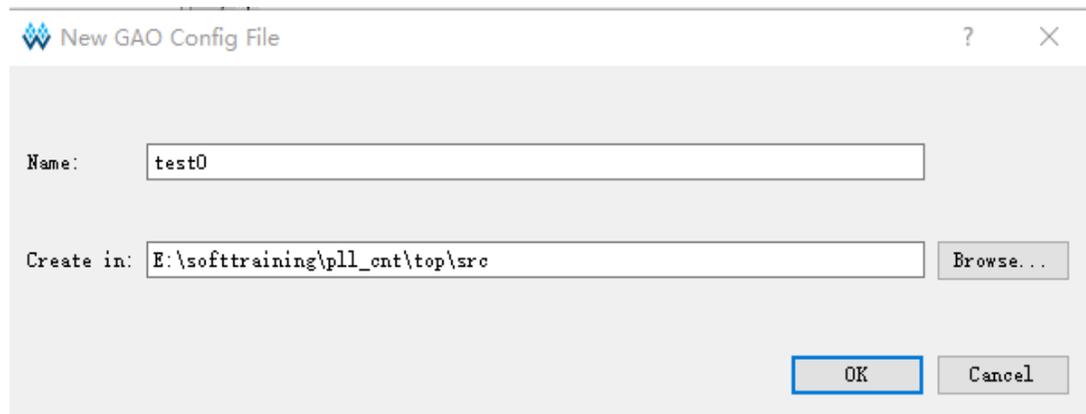
3)Operation:下面选择SRAM Program
(软件默认设置也是 SRAM Program)



4) 点击program按钮（右上方箭头所示）烧录文件开始下载，当下方信息栏提示“Finished”，即表示烧录完成

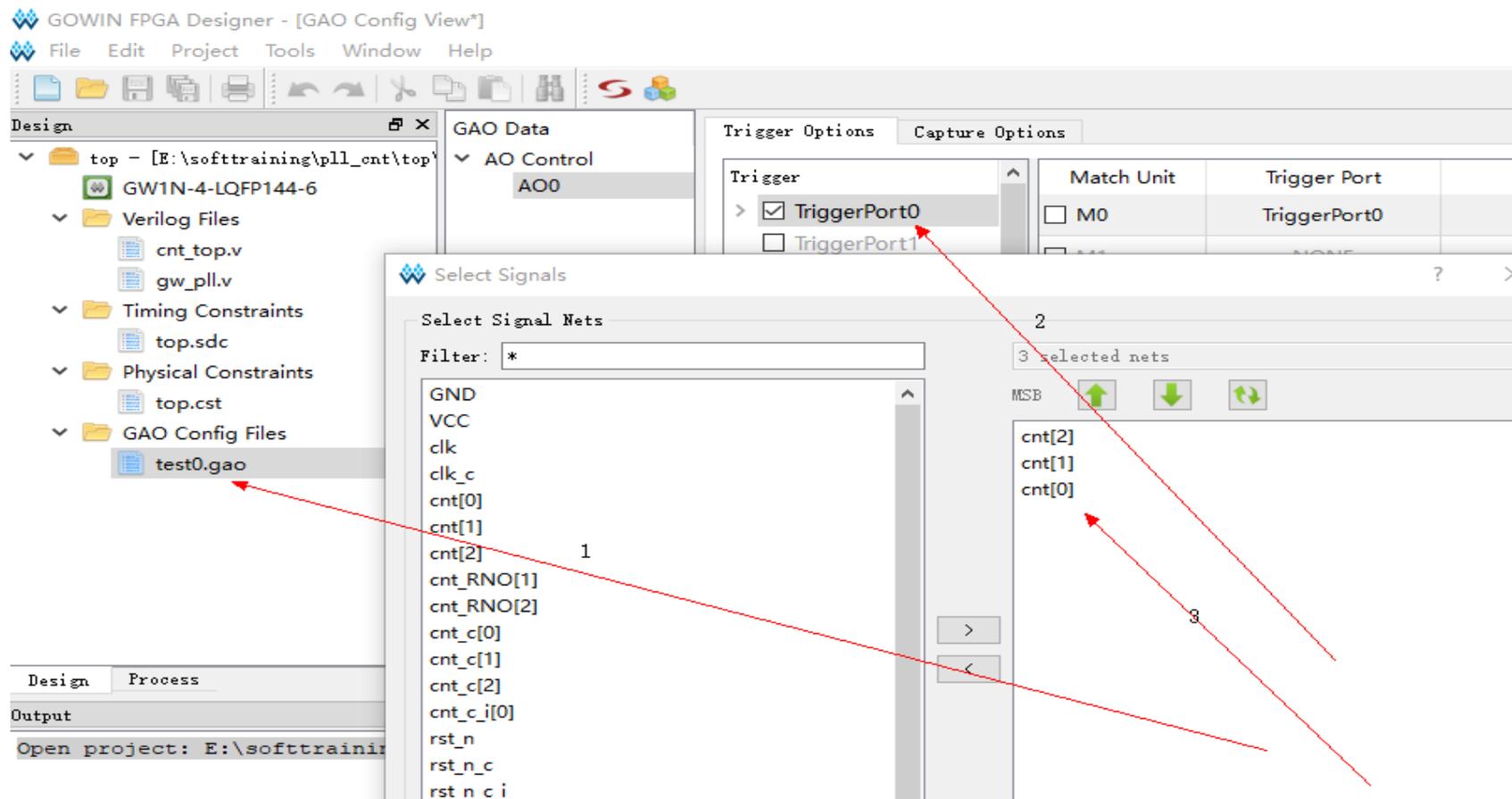


1)添加高配置文件返回软件界面
File/New /GAO Config File

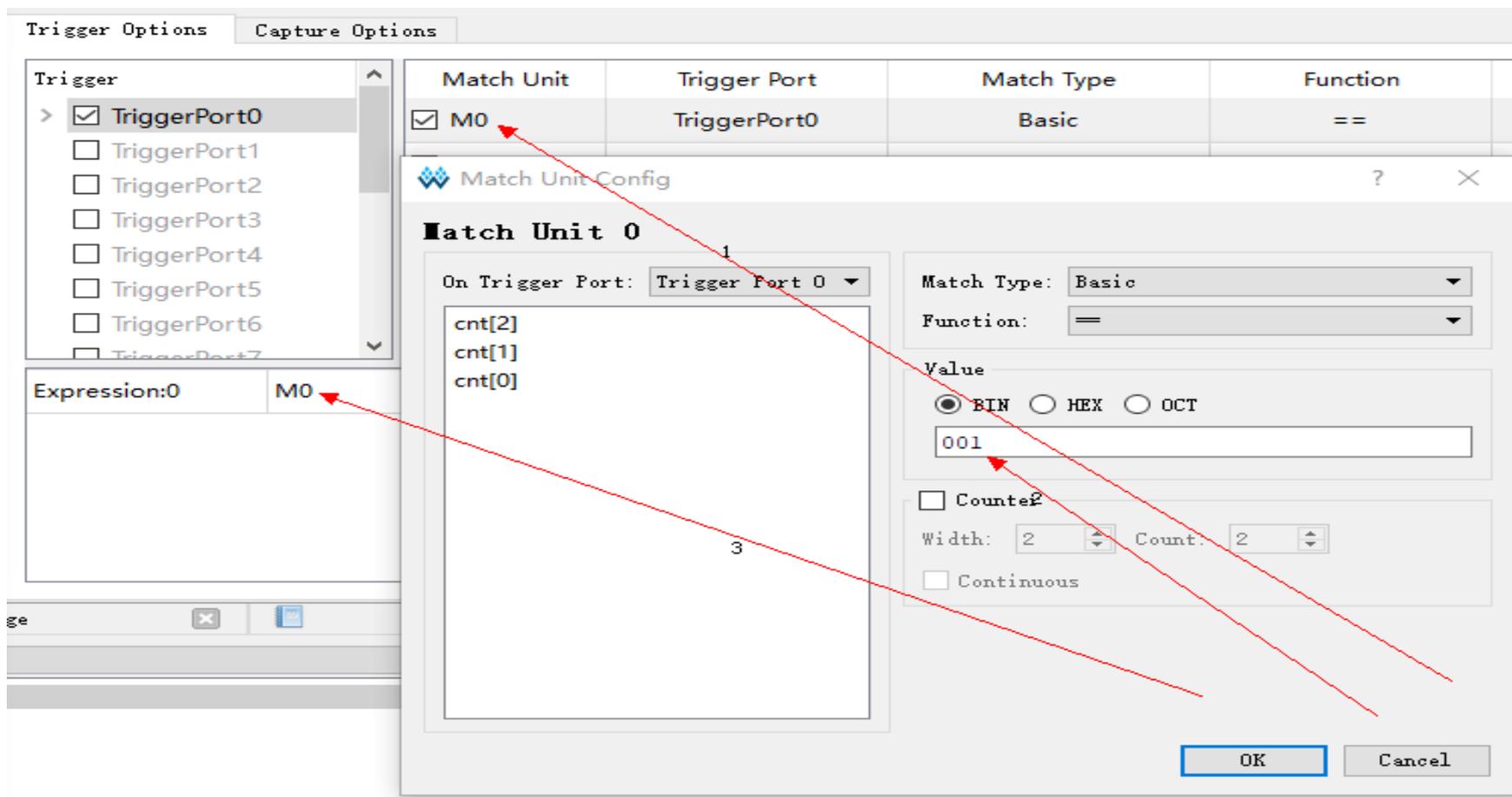


2) 给高配置文件命名，点击OK

软件自动添加test0.gao



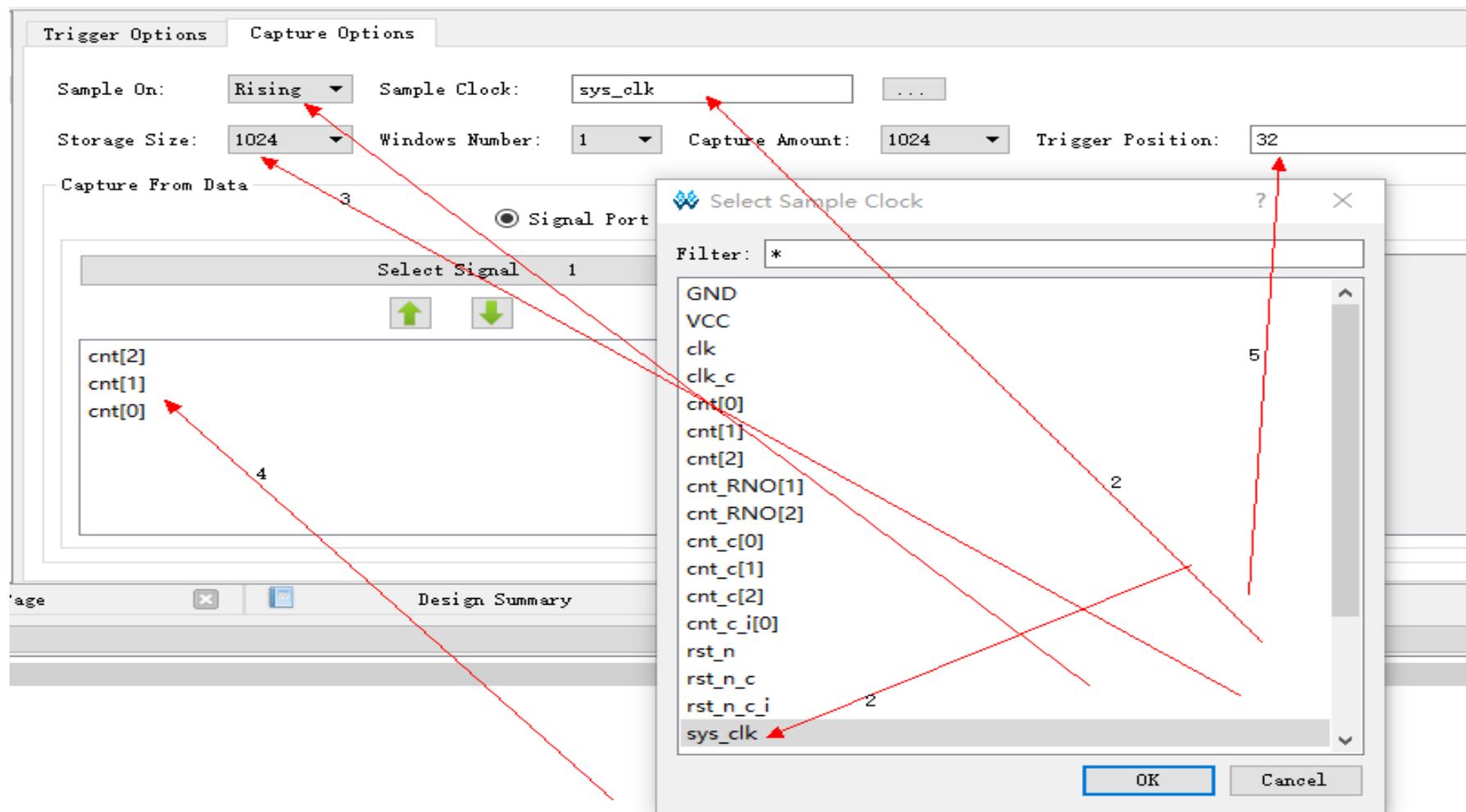
- 3) 触发设置
1. 双击test0.gao;
 2. 勾选触发端口
 3. 选择触发信号



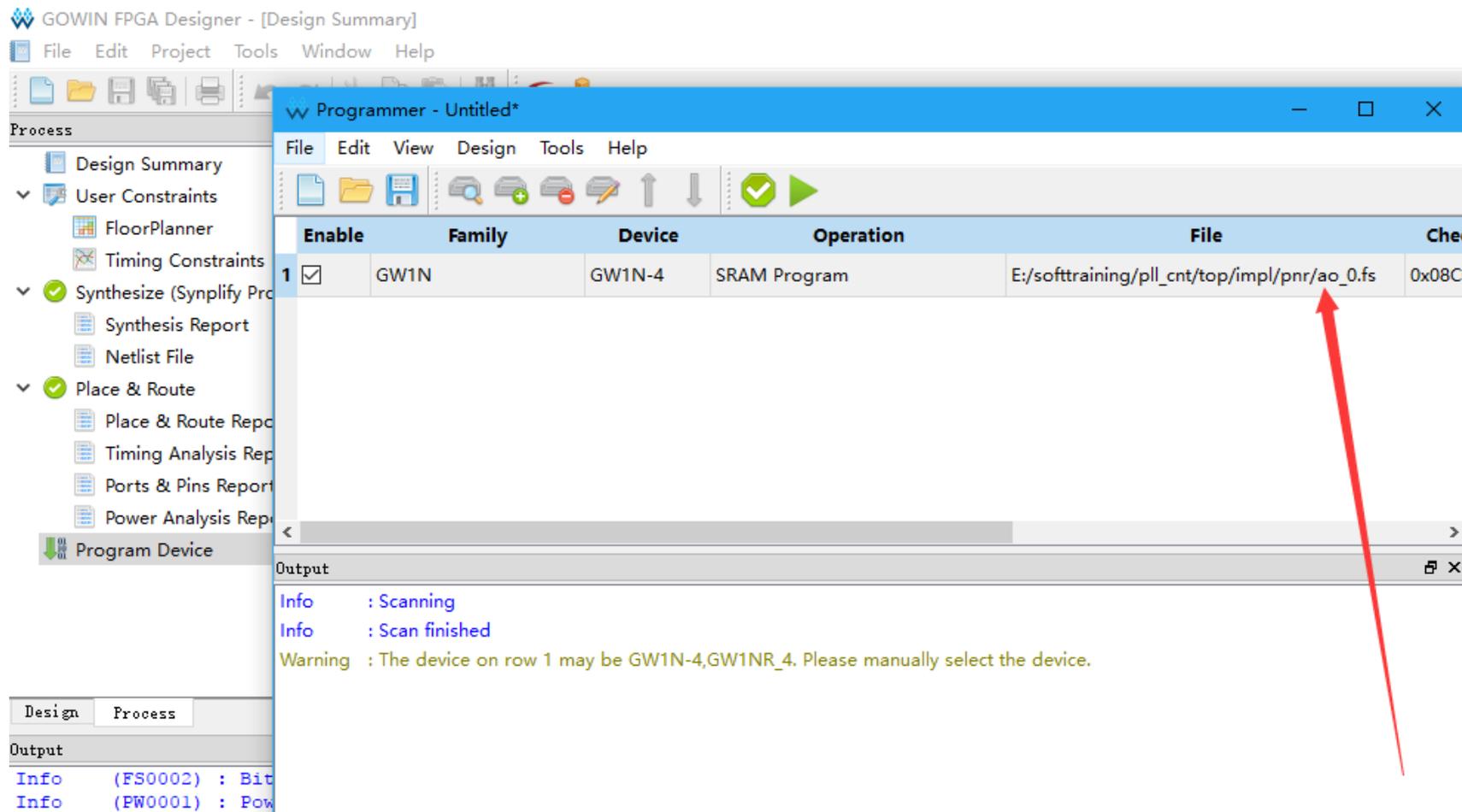
4) 匹配设置

- 1.勾选匹配单元
- 2.选择匹配数值
- 3.填写匹配表达式

此含义表示：当cnt[2:0]数为"001"时信号触发

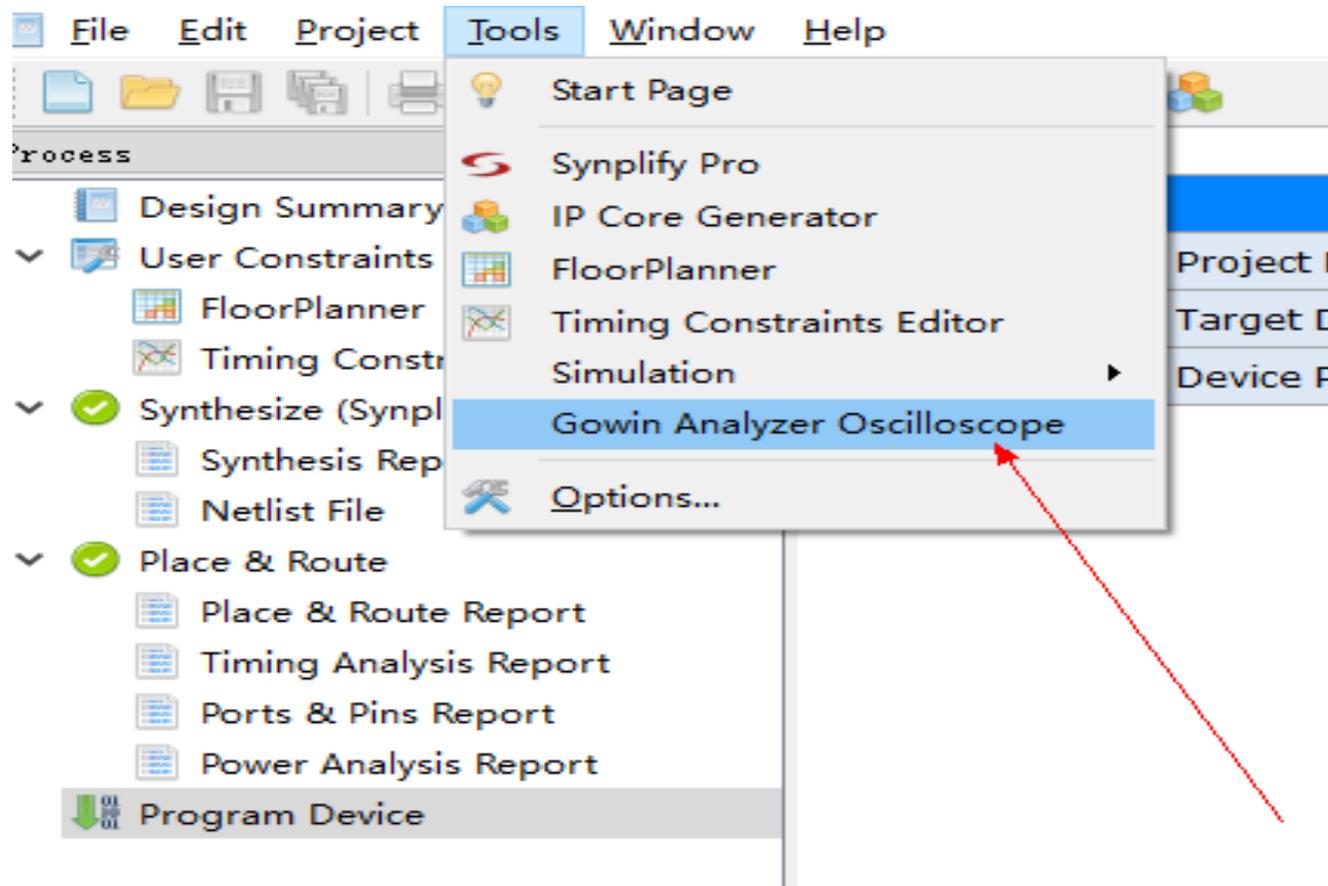


- 5) 采样设置
- 1.选择上升沿采样;
 - 2.采样时钟选择sys_clk;
 - 3.选择存储深度为1024;
 - 4.选择抓取的信号为 cnt[2;0];
 - 5.表示在第32个采样深度时触发;

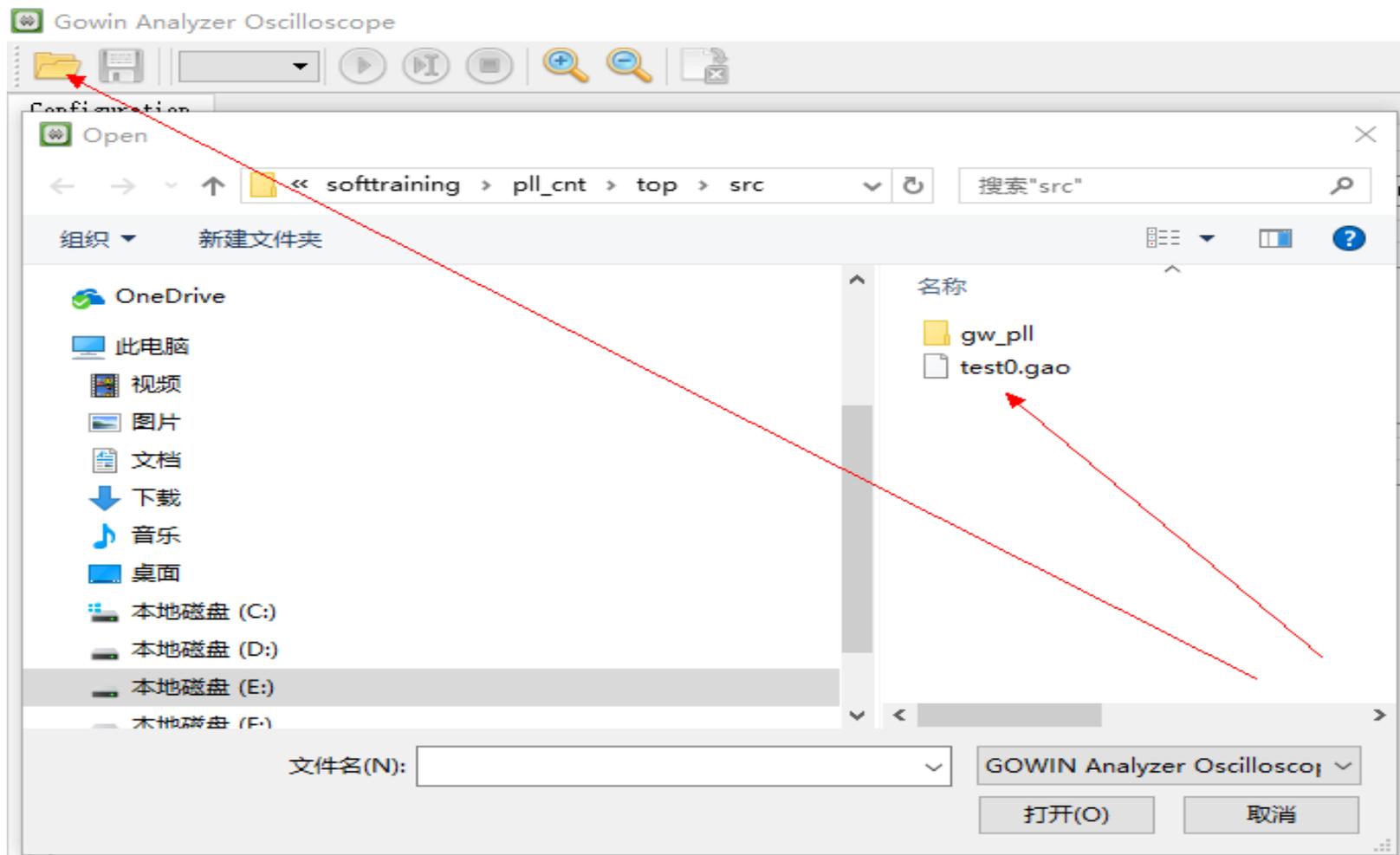


6) 高文件烧录

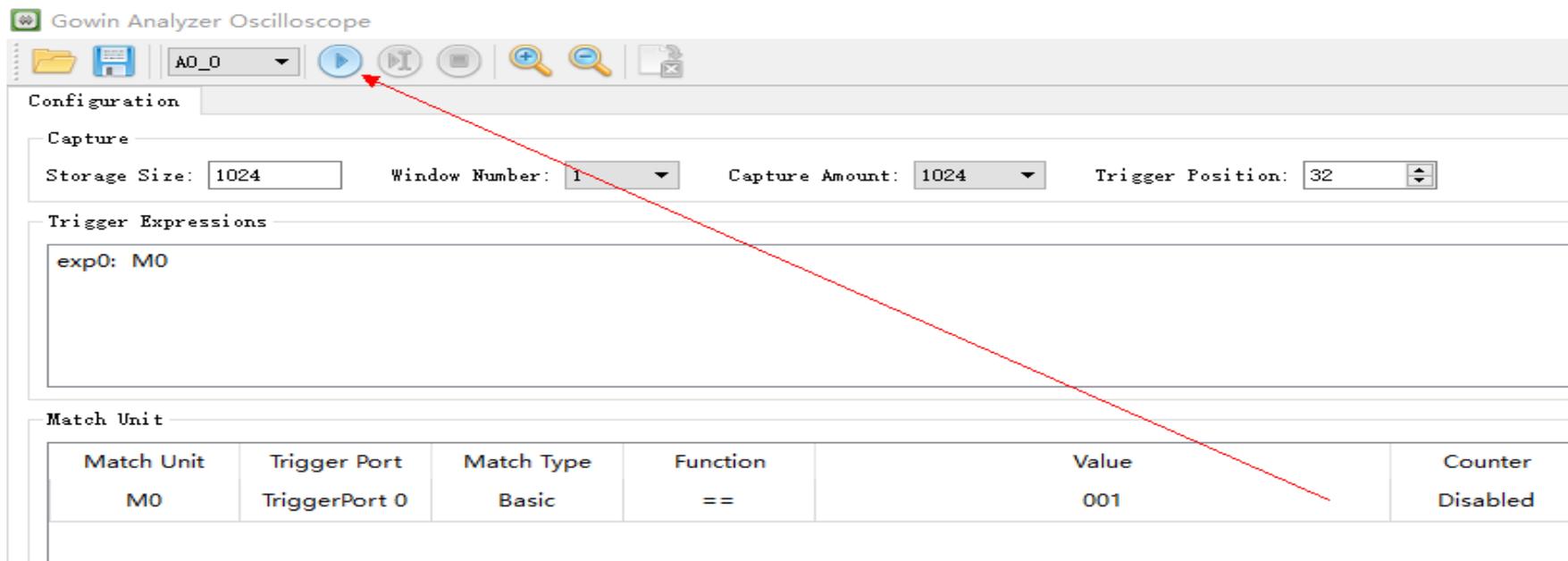
保存好高文件后，重新综合，布局布线，选择工程目录下ao_0.fs文件（是含有高配置的烧录文件），烧录到芯片中



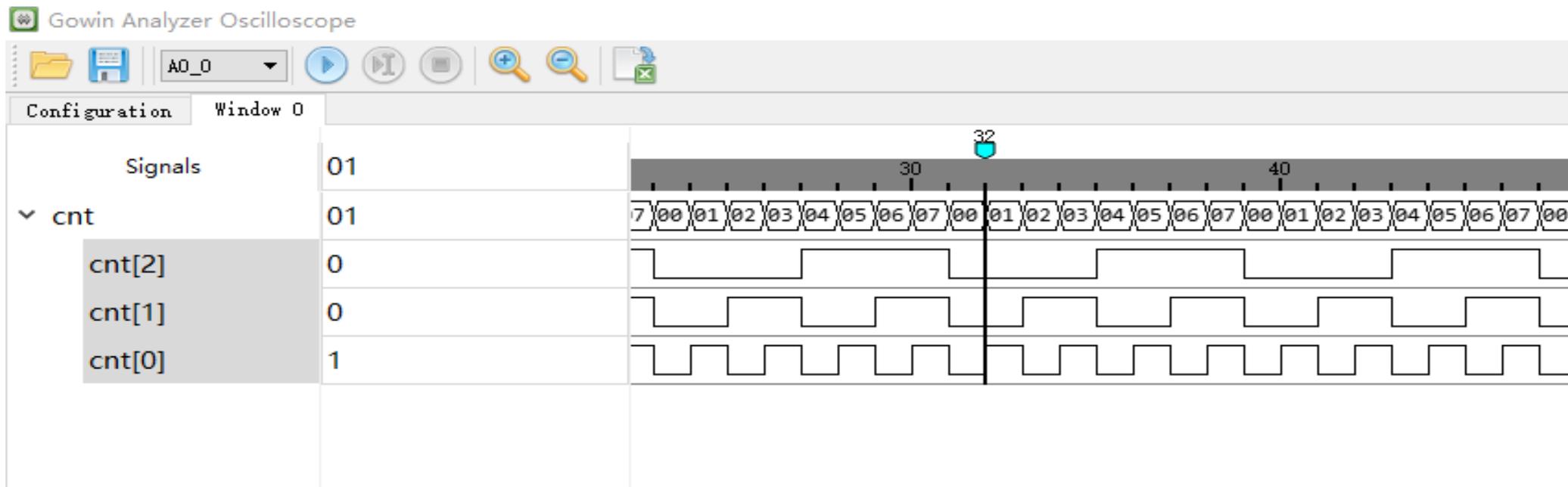
7) 打开逻辑分析仪
烧录完毕，返回软件主界面，选择
Tools/Gowin Analyzer Oscilloscope,打开内
部分析仪界面



8)打开高配置文件
点击文件夹图标，现在之前创建的test0.gao文件



9) 点击start, 内部逻辑分析仪开始运行



10) 触发显示,最后显示如下, 经分析结果, 与设计一致, 设计正确

注意: 在使用内部逻辑分析仪抓取信号的过程中, 电路板不能断电

- 1: DS100-1.10_GW1N系列FPGA产品数据手册.pdf
- 2: DS102-1.01_GW2A系列FPGA产品数据手册.pdf
- 3: Modelsim使用指南.pdf
- 4: SUG100-1.09_Gowin云源软件用户指南.pdf
- 5: SUG101-1.09_Gowin设计约束指南.pdf
- 6: SUG114-1.1_GAO在线逻辑分析仪用户指南.pdf

GO  WIN 高云

—— 智慧逻辑 定制未来 ——