




DK\_START\_GW5AST-  
LV138FPG676A\_V1.0

## 用户手册

DBUG1271-1.0,2024-07-22

**版权所有 © 2024 广东高云半导体科技股份有限公司**

GOWIN高云、、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部, 并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

| 日期         | 版本  | 说明    |
|------------|-----|-------|
| 2024/07/22 | 1.0 | 初始版本。 |

# 目录

|                      |          |
|----------------------|----------|
| 目录 .....             | i        |
| 图目录 .....            | iv       |
| 表目录 .....            | vi       |
| <b>1 关于本手册 .....</b> | <b>1</b> |
| 1.1 手册内容 .....       | 1        |
| 1.2 相关文档 .....       | 1        |
| 1.3 术语、缩略语 .....     | 1        |
| 1.4 技术支持与反馈 .....    | 2        |
| <b>2 开发板简介 .....</b> | <b>3</b> |
| 2.1 概述 .....         | 3        |
| 2.2 开发板套件 .....      | 4        |
| 2.3 PCB 组件 .....     | 5        |
| 2.4 PCB 丝印图 .....    | 7        |
| 2.5 特性 .....         | 7        |
| <b>3 开发板电路 .....</b> | <b>9</b> |
| 3.1 FPGA 模块 .....    | 9        |
| 3.2 下载模块 .....       | 9        |
| 3.2.1 介绍 .....       | 9        |
| 3.2.2 管脚分配 .....     | 11       |
| 3.3 电源 .....         | 12       |
| 3.3.1 介绍 .....       | 12       |
| 3.4 复位 .....         | 13       |
| 3.4.1 介绍 .....       | 13       |
| 3.4.2 管脚分配 .....     | 14       |

|                               |    |
|-------------------------------|----|
| 3.5 时钟.....                   | 15 |
| 3.5.1 介绍.....                 | 15 |
| 3.6 DDR3 模块.....              | 17 |
| 3.6.1 介绍.....                 | 17 |
| 3.6.2 管脚分配.....               | 19 |
| 3.7 QSPI Flash.....           | 21 |
| 3.7.1 介绍.....                 | 21 |
| 3.7.2 管脚分配.....               | 22 |
| 3.8 LED 灯、按键.....             | 22 |
| 3.8.1 介绍.....                 | 22 |
| 3.8.2 管脚分配.....               | 23 |
| 3.9 JTAG 接口.....              | 24 |
| 3.9.1 介绍.....                 | 24 |
| 3.9.2 管脚分配.....               | 25 |
| 3.10 PCIe x4 接口.....          | 25 |
| 3.10.1 介绍.....                | 25 |
| 3.10.2 管脚分配.....              | 26 |
| 3.11 SSPI、CPU、I2C、SERIAL..... | 27 |
| 3.11.1 介绍.....                | 27 |
| 3.11.2 管脚分配.....              | 28 |
| 3.12 XADC 接口.....             | 29 |
| 3.12.1 介绍.....                | 29 |
| 3.12.2 管脚分配.....              | 30 |
| 3.13 MODE、CFGBVS.....         | 30 |
| 3.13.1 介绍.....                | 30 |
| 3.13.2 管脚分配.....              | 32 |
| 3.14 FMC HPC 连接器.....         | 32 |
| 3.14.1 介绍.....                | 32 |
| 3.14.2 管脚分配.....              | 33 |
| 3.15 SFP/SFP+连接器.....         | 37 |
| 3.15.1 介绍.....                | 37 |
| 3.15.2 管脚分配.....              | 40 |

---

|                   |           |
|-------------------|-----------|
| 3.16 MIPI .....   | 40        |
| 3.16.1 介绍.....    | 40        |
| 3.16.2 管脚分配 ..... | 42        |
| <b>4 附录 .....</b> | <b>44</b> |

# 图目录

|   |    |
|---|----|
| 图 2-1 DK_START_GW5AST-LV138FPG676A_V1.0 开发板 ..... | 3  |
| 图 2-2 开发板套件 .....                                 | 4  |
| 图 2-3 开发板 PCB 组件说明 .....                          | 5  |
| 图 3-1 FPGA 下载与配置连接示意图 .....                       | 10 |
| 图 3-2 USB 转 JTAG 电路原理图设计 .....                    | 10 |
| 图 3-3 开发板上的 USB 下载电路 .....                        | 11 |
| 图 3-4 开发板上的 FLASH 电路 .....                        | 11 |
| 图 3-5 开发板上的供电电路 .....                             | 13 |
| 图 3-6 复位连接示意图 .....                               | 14 |
| 图 3-7 开发板上的复位电路 .....                             | 14 |
| 图 3-8 时钟连接示意图 .....                               | 16 |
| 图 3-9 开发板上的时钟电路 .....                             | 16 |
| 图 3-10 DRAM 的硬件连接示意图 .....                        | 18 |
| 图 3-11 开发板上的 DDR3 SDRAM 电路 .....                  | 18 |
| 图 3-12 QSPI Flash 的硬件连接示意图 .....                  | 21 |
| 图 3-13 开发板上的 QSPI Flash 电路 .....                  | 22 |
| 图 3-14 开发板上的 LED 灯、按键电路 .....                     | 23 |
| 图 3-15 JTAG 接口 J1 的原理图部分 .....                    | 24 |
| 图 3-16 开发板上的 JTAG 电路 .....                        | 24 |
| 图 3-17 PCIe x4 设计示意图 .....                        | 25 |
| 图 3-18 开发板上的 PCIe x4 电路 .....                     | 26 |
| 图 3-19 配置管脚原理图设计 .....                            | 27 |
| 图 3-20 开发板上的配置管脚插针电路 .....                        | 28 |
| 图 3-21 XADC 原理图连接示意图 .....                        | 29 |
| 图 3-22 开发板上的 XADC 插针电路 .....                      | 29 |
| 图 3-23 CFGBVS、MODE 原理图连接示意图 .....                 | 30 |

---

|                                   |    |
|-----------------------------------|----|
| 图 3-24 开发板上的 MODE、CFGBVS 电路 ..... | 31 |
| 图 3-25 开发板上的 FMC HPC 电路 .....     | 32 |
| 图 3-26 SFP+模块连接器原理图电路 .....       | 38 |
| 图 3-27 开发板上的 SFP/SFP+电路 .....     | 38 |
| 图 3-28 MIPI 接口原理图电路 .....         | 41 |
| 图 3-29 开发板上的 MIPI 电路 .....        | 41 |



# 表目录

|                                   |    |
|-----------------------------------|----|
| 表 1-1 术语、缩略语 .....                | 1  |
| 表 2-1 开发板 PCB 组件说明 .....          | 5  |
| 表 3-1 FPGA 下载与配置管脚分配 .....        | 11 |
| 表 3-2 Arora V FPGA 电压种类 .....     | 12 |
| 表 3-3 Arora V FPGA 电源推荐工作范围 ..... | 12 |
| 表 3-4 复位管脚分配 .....                | 14 |
| 表 3-5 时钟管脚分配 .....                | 15 |
| 表 3-6 DDR3 SDRAM 配置 .....         | 17 |
| 表 3-7 DDR3 模块管脚分配 .....           | 19 |
| 表 3-8 SPI FLASH 的具体型号和相关参数 .....  | 21 |
| 表 3-9 FLASH 各引脚分配 .....           | 22 |
| 表 3-10 LED 灯管脚分配 .....            | 23 |
| 表 3-11 FPGA U1 的 JTAG 管脚分配 .....  | 25 |
| 表 3-12 PCIe x4 FPGA 管脚分配 .....    | 26 |
| 表 3-13 配置模块管脚分配 .....             | 28 |
| 表 3-14 XADC 模块管脚分配 .....          | 30 |
| 表 3-15 配置模式选择 .....               | 31 |
| 表 3-16 CFGBVS、MODE 管脚分配 .....     | 32 |
| 表 3-17 SFP+ 模块控制和状态管脚 .....       | 39 |
| 表 3-18 FPGA U1 到 SFP+ 模块连接 .....  | 40 |
| 表 3-19 MIPI 接口管脚分配 .....          | 42 |

# 1 关于本手册

## 1.1 手册内容

DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)
- [UG986, GW5AST-138 器件 Pinout 手册](#)
- [UG1102, GW5AST 系列 FPGA 产品封装与管脚手册](#)
- [UG704, Arora V FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

| 术语、缩略语 | 全称                                | 含义        |
|--------|-----------------------------------|-----------|
| BSRAM  | Block Static Random Access Memory | 块状静态随机存储器 |
| DDR    | Double Data Rate                  | 双倍速率      |
| DSP    | Digital Signal Processing         | 数字信号处理    |
| FLASH  | Flash Memory                      | 非易失存储器    |
| FPGA   | Field Programmable Gate Array     | 现场可编程门阵列  |

| 术语、缩略语 | 全称                                 | 含义            |
|--------|------------------------------------|---------------|
| GPIO   | Gowin Programmable I/O             | Gowin 可编程通用管脚 |
| LDO    | Low Dropout Regulator              | 低压差线性稳压器      |
| LUT4   | 4-input Look-up Table              | 4 输入查找表       |
| LVDS   | Low-Voltage Differential Signaling | 低电压差分信号       |
| SSRAM  | Shadow Static Random Access Memory | 附加静态随机存储器     |

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

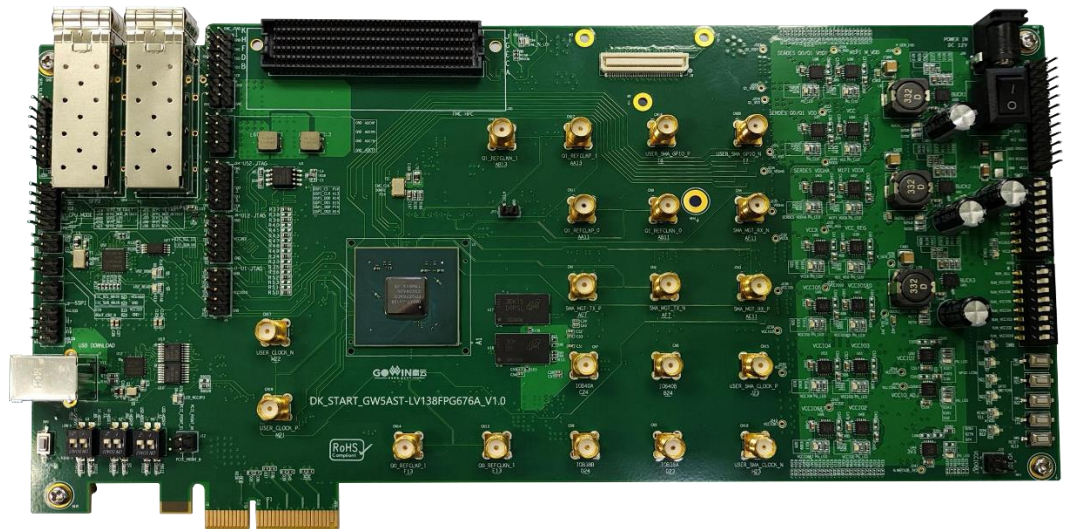
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板



DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板适用于基于 DDR3 的高速数据存储、基于 MIPI、LVDS、SERDES、FMC 等高速通信测试、GW5AST-138 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

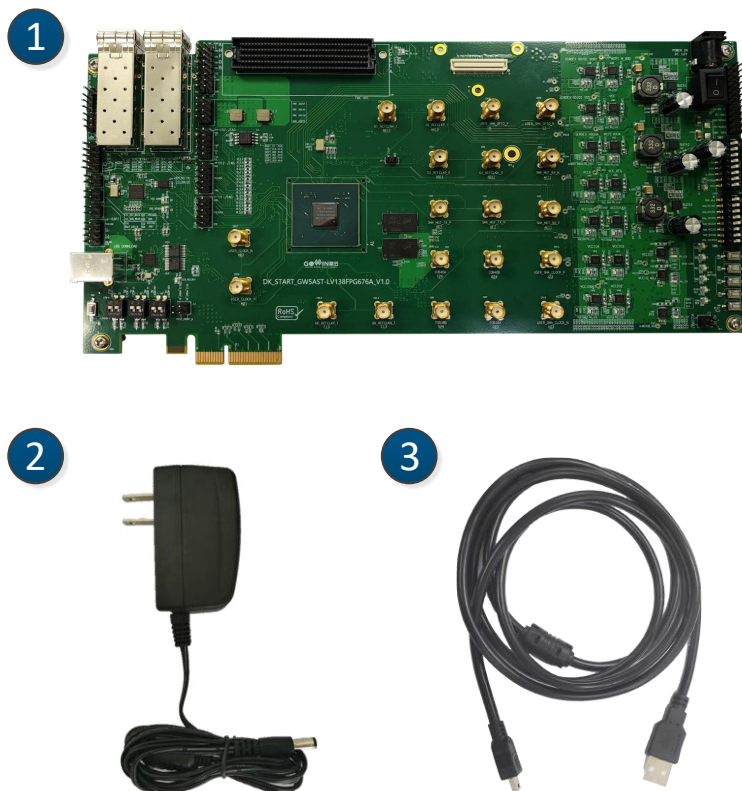
开发板采用高云 GW5AST-LV138FPG676A 的 FPGA 器件，该器件为高云半导体 GW5AST 系列 FPGA 产品。该系列产品内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3、支持多种协议的 12.5Gbps SERDES（GW5AST-138 支持），提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。22nm 工艺使 Arora V FPGA 产品适用于高速低成本的应用场合。

## 2.2 开发板套件

开发板套件包括:

1. DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板
2. 12V 电源（输入：100-240V~50/60Hz 0.6A，输出：DC 12V 2A）
3. USB 2.0 下载线

图 2-2 开发板套件



- ① DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板
- ② 12V电源
- ③ USB 2.0数据线

## 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明

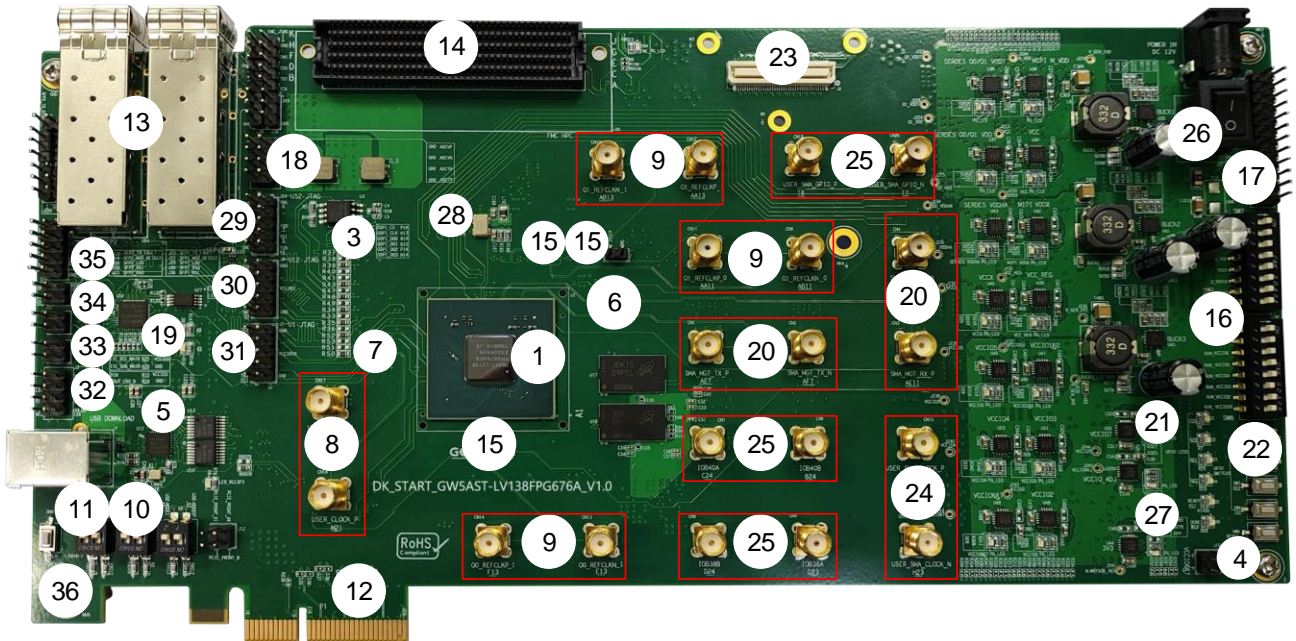


表 2-1 开发板 PCB 组件说明

| 编号 | 位号                           | 器件                                   | 说明                                     | 原理图页码 |
|----|------------------------------|--------------------------------------|--|-------|
| 1  | U1                           | Arora V FPGA                         | GW5AST-LV138FPG676A                    | 1     |
| 2  | U16,U17                      | DDR3                                 | Micron MT41J128M16JT-125:K             | 6     |
| 3  | U3                           | Quad SPI flash memory                | Gigadevice GD25Q128ESIG                | 3     |
| 4  | SW5                          | FPGA Reconfig Switch                 | HRO K2-1107ST-A4SW-06                  | 3     |
| 5  | U12                          | USB-JTAG module                      | GOWIN GWU2X 2136A1A1N<br>PAX486.00 A 版 | 4     |
| 6  | U33                          | System clock source (板背面)            | SiTime SIT9102AI-243N33E200.00000      | 14    |
| 7  | Y3                           | Programmable user clock source (板背面) | SiTime SIT3521AC-2C1331GG156.250000T   | 14    |
| 8  | CN16,CN17                    | SMA user clock input                 | Rosenberger 32K 10K-400L5              | 14    |
| 9  | CN9,CN11,CN13,CN14,CN10,CN12 | SMA GTP reference clock input        | Rosenberger 32K 10K-400L5              | 14    |
| 10 | S2,S3                        | FPGA(U1) Configuration mode switch   | C&K SDA02H1SBD                         | 3     |
| 11 | S5                           | FPGA(U52) Configuration mode switch  | C&K SDA02H1SBD                         | 10    |

| 编号 | 位号                        | 器件                              | 说明                                | 原理图<br>页码 |
|----|---------------------------|---------------------------------|-----------------------------------|-----------|
| 12 | P1                        | PCI Express edge connector      | 4-lane card edge connector        | 7         |
| 13 | P3,U24                    | SFP/SFP+ connector              | Molex 74441-0010                  | 8,9       |
| 14 | J30                       | FMC HPC connector               | Samtec ASP_134486_01              | 11,12,13  |
| 15 | U30,U31,U32               | GTP transceiver clock generator | SiTime SIT9102AI-243N33E100.00000 | 14        |
| 16 | SW7,SW8                   | LDO EN pin switch               | C&K SDA08H1BD                     | 17        |
| 17 | J28                       | LDO EN pin                      | HCTL PZ254-2-12-Z-8.5             | 17        |
| 18 | J2                        | XADC                            | HCTL PZ254-2-02-Z-8.5             | 3         |
| 19 | U52                       | I2C bus switch                  | GOWIN GW1NZ-LV1QN48C6/I5          | 10        |
| 20 | CN1,CN2,CN3,CN4           | MGT Transmit, receive SMA       | -                                 | 8         |
| 21 | D1,D2,D3,D4               | User GPIO LEDs                  | Lite-On LTST-C190GKT              | 3         |
| 22 | SW1,SW2,SW3,SW4           | User GPIO switch                | HRO K2-1107ST-A4SW-06             | 3         |
| 23 | J9                        | MIPI                            | Panasonic AXK580137YG             | 5         |
| 24 | CN15,CN18                 | User Clock SMA                  | -                                 | 14        |
| 25 | CN19,CN20,CN5,CN6,CN7,CN8 | SMA user GPIO                   | Rosenberger 32K 10K-400L5         | 13,14     |
| 26 | J27                       | Power on/off switch             | HCTL RS601HL-1010011BB            | 17        |
| 27 | D5,D6                     | READY/DONE LED                  | Lite-On LTST-C190GKT              | 3         |
| 28 | Y2                        | FPGA Clock 50Mhz                | JGHC O5350000153350               | 14        |
| 29 | J24                       | FPGA(U52) JTAG                  | HCTL PZ254-2-05-Z-8.5             | 10        |
| 30 | J8                        | FPGA(U12) JTAG                  | HCTL PZ254-2-05-Z-8.5             | 4         |
| 31 | J1                        | FPGA(U1) JTAG                   | HCTL PZ254-2-05-Z-8.5             | 3         |
| 32 | J3                        | FPGA(U1) SSPI                   | HCTL PZ254-2-04-Z-8.5             | 3         |
| 33 | J60                       | FPGA(U1) SERIAL                 | HCTL PZ254-2-02-Z-8.5             | 3         |
| 34 | J5                        | FPGA(U1) IIC                    | HCTL PZ254-2-02-Z-8.5             | 3         |



| 编号 | 位号      | 器件                | 说明   | 原理图页码 |
|----|---------|-------------------|--|-------|
| 35 | J4,J222 | FPGA(U1) CPU MODE | HCTL PZ254-2-05-Z-8.5<br>HCTL PZ254-2-02-Z-8.5 | 3     |
| 36 | SW6     | CPU RESET SWITCH  | HRO K2-1107ST-A4SW-06                          | 14    |

## 2.4 PCB 丝印图

用户可通过 PCB 丝印图更快查找到开发板器件，丝印图请查看[第 4 章附录](#)。

## 2.5 特性

开发板的关键特性如下：

1. FPGA 器件
  - 主芯片采用 GW5AST-LV138FPG676A，为高云 Arora V FPGA，是高云半导体晨熙家族第五代产品
  - 最多用户 I/O 312 个
2. 下载与启动
  - 板上集成下载模块，通过 USB 2.0 下载线下载
  - 外部 FLASH 启动
  - 加载完成后，DONE 灯亮
3. 供电方式
  - 外部 DC 12V 2A 供电
  - 上电后，POWER 灯亮
  - 开发板产生 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V 及 FMC 接口、MIPI 接口、SFP 接口所需的电源。
4. 时钟系统
 

50MHz 时钟，100MHz 时钟，200MHz 时钟，用户可编程时钟
5. 存储器件
  - 4Gbit DDR3 SDRAM
  - 128Mbit Quad SPI FLASH Memory
6. SFP/SFP+接口
  - 2 路小型可插拔 SFP+连接器，可接收 SFP 或 SFP+模块。
  - 外部端接电路，以适配各种光模块。
7. MIPI 接口
  - 接口包括 10 对差分，其中 2 对时钟、8 对数据；34 个单端信号以及供电电源和 GND



- 采用 80 触点,0.5mm 间距连接器

#### 8. FMC 接口

- 58 对差分信号：34 对 LA (LA00-LA33)；24 对 HA (HA00-HA23)
- 4 对 GTP 收发器
- 2 对 GTP 收发器参考时钟
- 2 对外部输入差分参考时钟
- 159 个接地和 15 个电源连接
- 采用 400pin 1.27mm 间距 HPC FMC 连接器
- 3 个 lane 的差分信号同时引到 20pin 2.00mm 间距的双排插针

#### 9. XADC 模块

- 接口采用 2\*4pin 插针
- XADC 差分输入设计了抗混叠滤波器

#### 10. PCIe x4 接口

- PCIe 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PCIe x4 插槽上使用
- PCIe 接口的收发信号直接跟 FPGA 的 GTP 收发器相连接

#### 11. 调试模块

- 4 个按键
- 4 个 LED

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW5AST 系列 FPGA 产品资源信息参考 [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)。

### I/O BANK 说明

GW5AST 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1102, GW5AST 系列 FPGA 产品封装与管脚手册](#)。

## 3.2 下载模块

### 3.2.1 介绍

开发板提供 USB 下载接口，由 GOWIN GoBridge 家族 ASSP 芯片 GWU2X 2136A1A1N PAX486.00 A 版来实现。通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失；若下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“001”，将数据下载到配置 Flash 器件中。

下载、配置的连接示意图如图 3-1 所示。

图 3-1 FPGA 下载与配置连接示意图

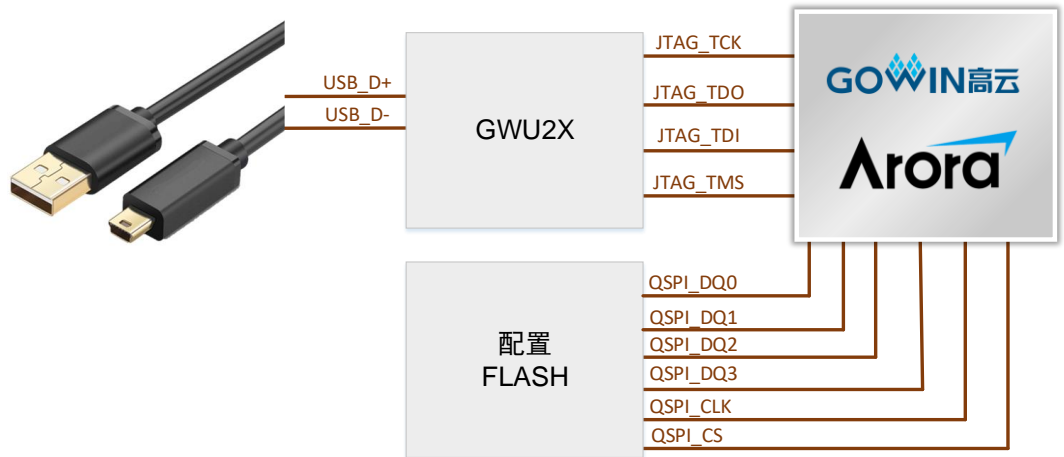


图 3-2 USB 转 JTAG 电路原理图设计

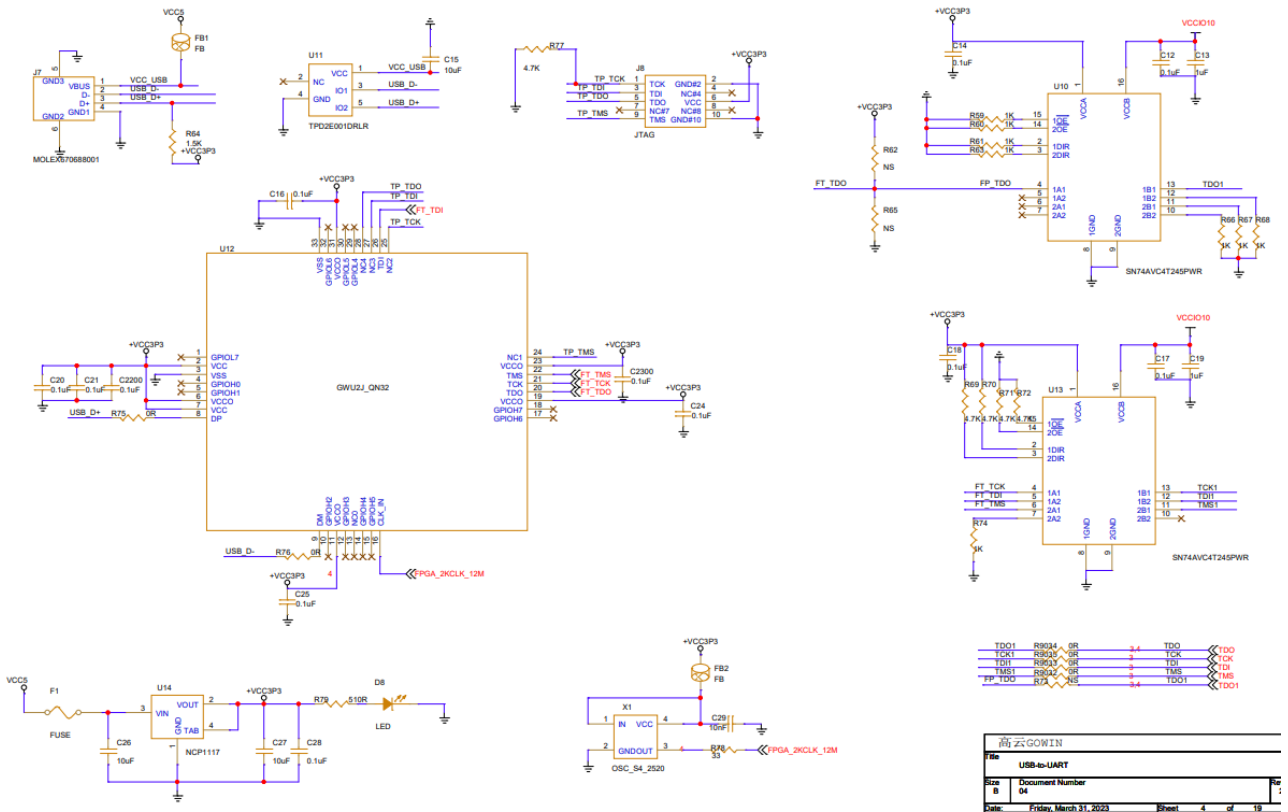
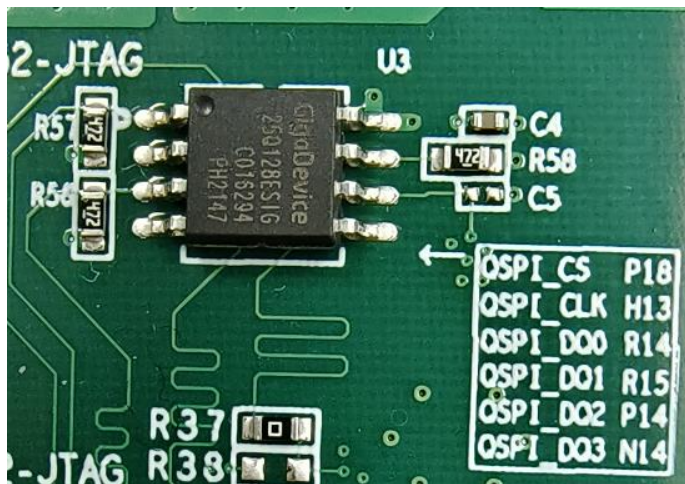


图 3-3 开发板上的 USB 下载电路



图 3-4 开发板上的 FLASH 电路



### 3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

| 信号名称     | 原理图页码 | FPGA(U1)管脚号 | BANK | I/O 电平 | 描述          |
|----------|-------|-------------|------|--------|-------------|
| TCK      | 3     | H12         | 10   | 3.3V   | JTAG 信号     |
| TDO      | 3     | J10         | 10   | 3.3V   | JTAG 信号     |
| TDI      | 3     | H10         | 10   | 3.3V   | JTAG 信号     |
| TMS      | 3     | H11         | 10   | 3.3V   | JTAG 信号     |
| QSPI_DQ0 | 3     | R14         | 3    | 3.3V   | 配置 FLASH 信号 |
| QSPI_DQ1 | 3     | R15         | 3    | 3.3V   | 配置 FLASH 信号 |
| QSPI_DQ2 | 3     | P14         | 3    | 3.3V   | 配置 FLASH 信号 |
| QSPI_DQ3 | 3     | N14         | 3    | 3.3V   | 配置 FLASH 信号 |
| QSPI_CS  | 3     | P18         | 3    | 3.3V   | 配置 FLASH 信号 |
| QSPI_CLK | 3     | H13         | 10   | 3.3V   | 配置 FLASH 信号 |

## 3.3 电源

### 3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：100-240V~50/60MHz 0.6A，输出：DC +12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 3.3V、2.5V、1.8V、1.5V、1.2V、0.9V 及 DDR3 所需的 0.75V 电源；SFP/SFP+接口的 3.3V；FMC 接口的 12V、3.3V。

先采用 3 片 TPS54620 DC-DC 电源芯片，产生 1.2V、2.1V 和 3.6V，最大输出电流 6A。

然后 3 片 DCDC 电源芯片输出的电源供给 17 片 TPL930 LDO 电源芯片，产生 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V，最大输出电流 3A。

TPL930 LDO 输出的电源作为 DDR3 电源芯片 TPS51200 的输入，TPS51200 输出 0.75V，为 DDR3 芯片供电。

SW7&SW8 控制电源芯片使能管脚，SW7&SW8 应拨到靠外侧，以使能电源芯片。

表 3-2 Arora V FPGA 电压种类

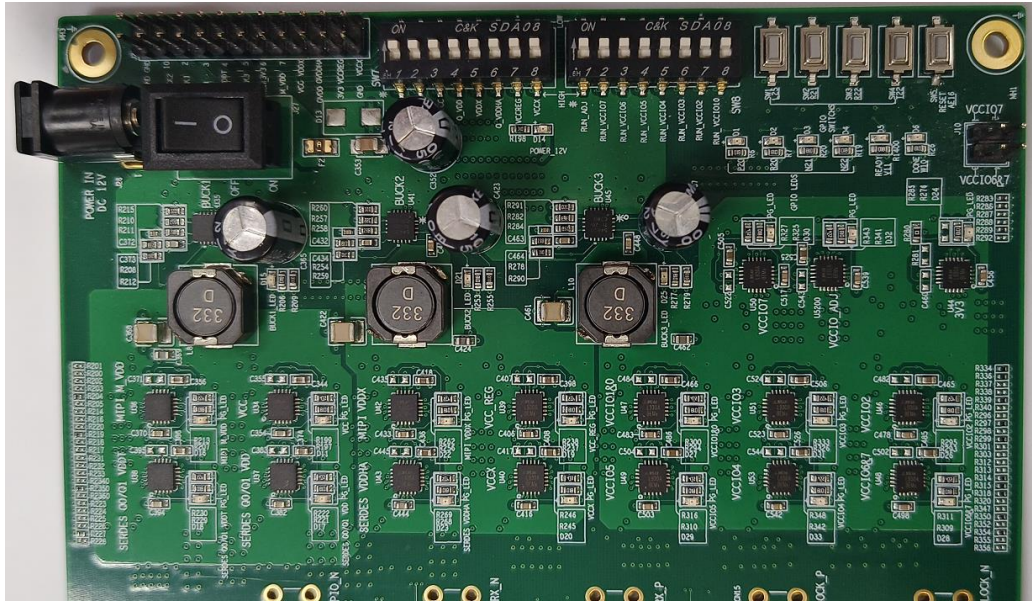
| 组      | 名称       | 描述                             |
|--------|----------|--------------------------------|
| FPGA   | VCC      | 核电压                            |
|        | VCCX     | 辅助电压                           |
|        | VCCIO    | I/O Bank 电压                    |
|        | VCC_LDO  | 为 PLL、SRAM 提供电压的内部 LDO 模块的电源电压 |
| SERDES | VDD_Qn   | Serdes 模拟核电压                   |
|        | VDDHA_Qn | Serdes 模拟高电压                   |
|        | VDDT_Qn  | Serdes 发射器电压                   |
| MIPI   | VDD_M    | MIPI 模拟核电压                     |
|        | VDDX     | MIPI 模拟高电压                     |

表 3-3 Arora V FPGA 电源推荐工作范围

| 组      | 名称      | 最小值   | 推荐值   | 最大值    |
|--------|---------|-------|-------|--------|
| FPGA   | VCC     | 0.87V | 0.90V | 1.00V  |
|        | VCCX    | 1.71V | 1.80V | 1.89V  |
|        | VCCIO   | 1.00V | 1.80V | 3.465V |
|        | VCC_LDO | 1.14V | 1.20V | 1.26V  |
| SERDES | VDD_Qn  | 0.87V | 0.90V | 1.00V  |

| 组    | 名称       | 最小值   | 推荐值   | 最大值   |
|------|----------|-------|-------|-------|
|      | VDDHA_Qn | 1.71V | 1.80V | 1.89V |
|      | VDDT_Qn  | 0.87V | 0.90V | 1.00V |
| MIPI | VDD_M    | 0.87V | 0.90V | 1.00V |
|      | VDDX     | 1.71V | 1.80V | 1.89V |

图 3-5 开发板上的供电电路



## 3.4 复位

### 3.4.1 介绍

开发板的复位电路采用按键设计，按下开关 SW5 时，FPGA(U1) Reconfig\_n 管脚接 GND，FPGA 重新配置。



图 3-6 复位连接示意图

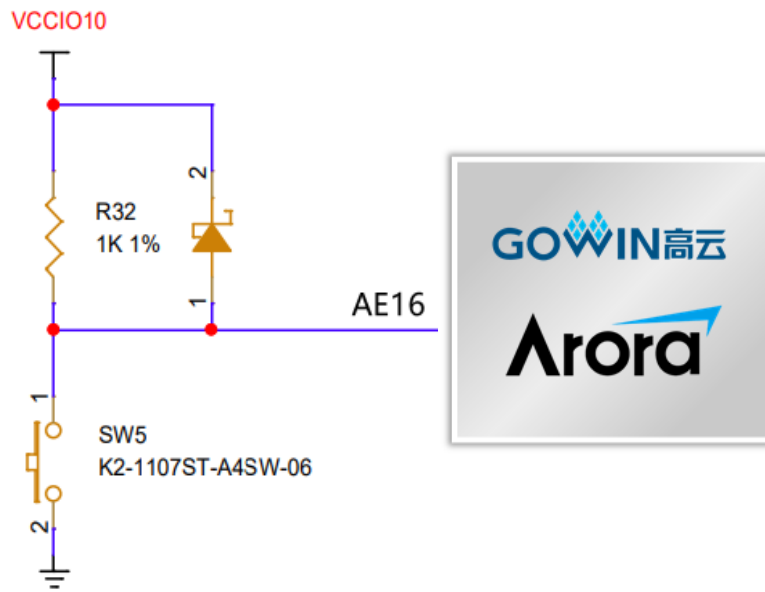
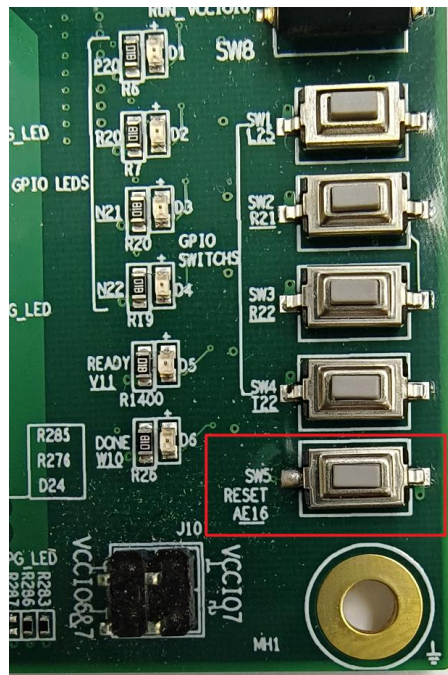


图 3-7 开发板上的复位电路



### 3.4.2 管脚分配

表 3-4 复位管脚分配

| 信号名称       | FPGA 管脚号 | BANK | I/O 电平 | 描述       |
|------------|----------|------|--------|----------|
| Reconfig_n | AE16     | 10   | 3.3V   | 复位信号，低有效 |

## 3.5 时钟

### 3.5.1 介绍

有多种时钟源可用于 FPGA，如表 3-5 所示。

表 3-5 时钟管脚分配

| 信号名称             | FPGA 管脚号 | I/O 电平 | 产生时钟的器件   | 描述                                 |
|------------------|----------|--------|-----------|------------------------------------|
| USER_CLOCK_P     | M21      | 3.3V   | Y3        | SIT3521 3.3V I2C 可编程差分时钟           |
| USER_CLOCK_N     | M22      | 3.3V   | Y3        | SIT3521 3.3V I2C 可编程差分时钟           |
| USER_SMA_CLOCK_P | J23      | [1]    | CN15      | SMA 输入 FPGA 差分时钟                   |
| USER_SMA_CLOCK_N | H23      | [1]    | CN18      | SMA 输入 FPGA 差分时钟                   |
| SYS_CLK_P        | R3       | 1.5V   | U33       | SIT9102 3.3V 200Mhz 差分时钟           |
| SYS_CLK_N        | P3       | 1.5V   | U33       | SIT9102 3.3V 200Mhz 差分时钟           |
| EMCCLK           | P16      | 3.3V   | Y2        | O5350000153350 生成 3.3V 单端 50Mhz 时钟 |
| Q0_REFCLKP_0     | F11      | -      | PCIe 时钟管脚 | PCIe 时钟管脚输入 FPGA 时钟信号              |
| Q0_REFCLKN_0     | E11      | -      | PCIe 时钟管脚 | PCIe 时钟管脚输入 FPGA 时钟信号              |
| Q0_REFCLKP_1     | F13      | -      | U32       | SIT9102 3.3V 100Mhz 差分时钟           |
| Q0_REFCLKN_1     | E13      | -      | U32       | SIT9102 3.3V 100Mhz 差分时钟           |
| Q1_REFCLKP_0     | AA11     | -      | U31       | SIT9102 3.3V 100Mhz 差分时钟           |
| Q1_REFCLKN_0     | AB11     | -      | U31       | SIT9102 3.3V 100Mhz 差分时钟           |
| Q1_REFCLKP_1     | AA13     | -      | U30       | SIT9102 3.3V 100Mhz 差分时钟           |
| Q1_REFCLKN_1     | AB13     | -      | U30       | SIT9102 3.3V 100Mhz 差分时钟           |

注！

<sup>[1]</sup> 此用户时钟输入到 FPGA bank 4，FPGA bank 4 由 VCCIO4 供电。VCCIO4 通常是 2.5V，但可以重新编程为 1.8V 或 3.3V。USER\_SMA\_CLOCK\_P/N 信号不应超过



VCCIO4 电压(1.8V, 2.5V 或 3.3V)。

图 3-8 时钟连接示意图

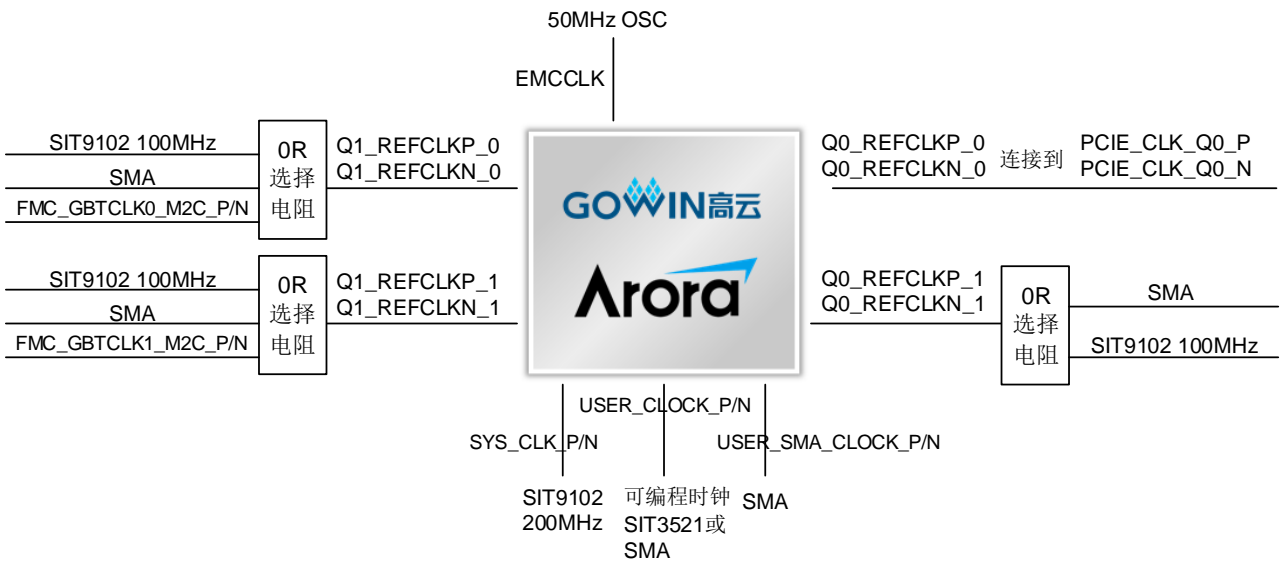
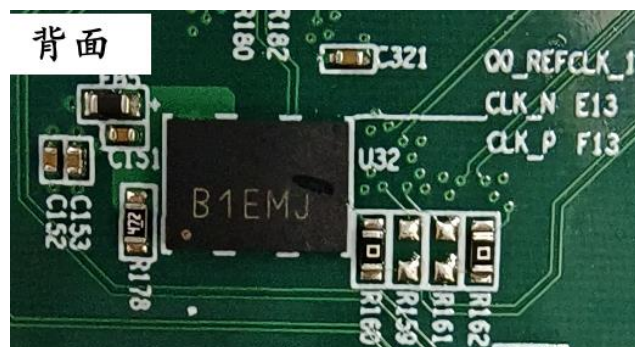
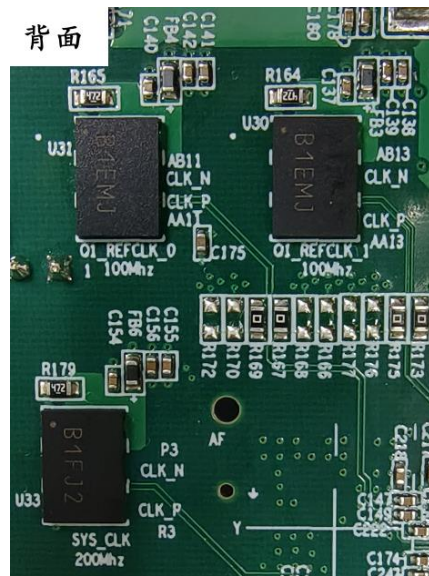
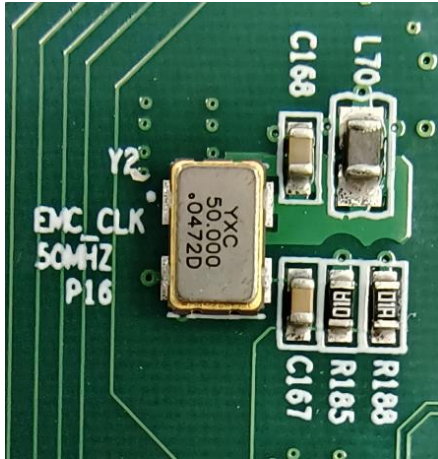


图 3-9 开发板上的时钟电路





## 3.6 DDR3 模块

### 3.6.1 介绍

DK\_START\_GW5AST-LV138FPG676A\_V1.0 上配有两个 Micron 的 2Gbit (256MB) 的 DDR3 芯片 (共计 4Gbit), 型号为 MT41J128M16JT-125:K。DDR 的总线宽度共为 32bit。该 DDR3 存储系统直接连接到了 FPGA 的 BANK 6 和 BANK 7 的存储器接口上。DDR3 SDRAM 的具体配置如表 3-6 所示。

**表 3-6 DDR3 SDRAM 配置**

| 位号      | 芯片类型                | 容量           | 厂家     |
|---------|---------------------|--------------|--------|
| U16,U17 | MT41J128M16JT-125:K | 128M x 16bit | Micron |

DDR3 的硬件设计需要严格考虑信号完整性, 在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻, 走线阻抗控制, 走线等长控制, 保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 3-10 所示。

图 3-10 DRAM 的硬件连接示意图

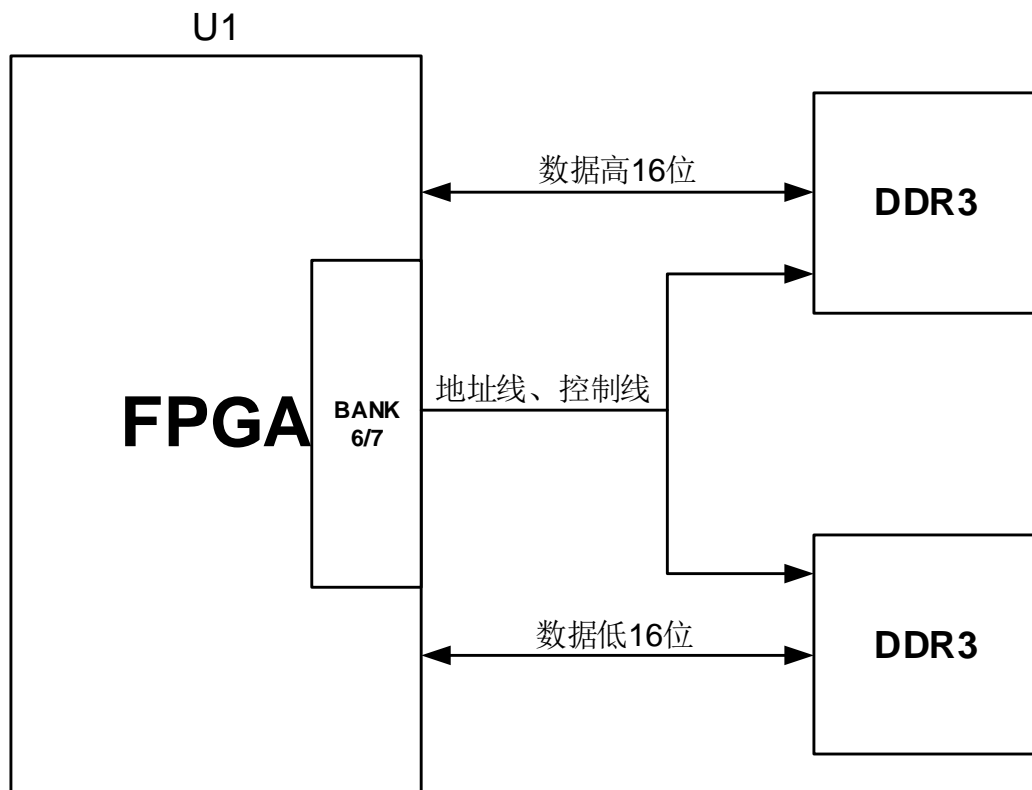


图 3-11 开发板上的 DDR3 SDRAM 电路



## 3.6.2 管脚分配

表 3-7 DDR3 模块管脚分配

| 信号名称        | FPGA 管脚号 | BANK | I/O 电平 | 描述      |
|-------------|----------|------|--------|---------|
| DDR3_A0     | N1       | 7    | 1.5V   | 地址      |
| DDR3_A1     | R1       | 7    | 1.5V   | 地址      |
| DDR3_A2     | R2       | 7    | 1.5V   | 地址      |
| DDR3_A3     | N2       | 7    | 1.5V   | 地址      |
| DDR3_A4     | P1       | 7    | 1.5V   | 地址      |
| DDR3_A5     | T2       | 7    | 1.5V   | 地址      |
| DDR3_A6     | N4       | 7    | 1.5V   | 地址      |
| DDR3_A7     | U1       | 7    | 1.5V   | 地址      |
| DDR3_A8     | T4       | 7    | 1.5V   | 地址      |
| DDR3_A9     | T3       | 7    | 1.5V   | 地址      |
| DDR3_A10    | M1       | 7    | 1.5V   | 地址      |
| DDR3_A11    | P4       | 7    | 1.5V   | 地址      |
| DDR3_A12    | N3       | 7    | 1.5V   | 地址      |
| DDR3_A13    | U2       | 7    | 1.5V   | 地址      |
| DDR3_BA0    | M4       | 7    | 1.5V   | Bank 地址 |
| DDR3_BA1    | L5       | 7    | 1.5V   | Bank 地址 |
| DDR3_BA2    | K3       | 7    | 1.5V   | Bank 地址 |
| DDR3_CAS#   | H1       | 7    | 1.5V   | 列地址选通   |
| DDR3_CKE    | L3       | 7    | 1.5V   | 时钟使能    |
| DDR3_CLK0_N | L2       | 7    | 1.5V   | 差分时钟    |
| DDR3_CLK0_P | M2       | 7    | 1.5V   | 差分时钟    |
| DDR3_DQ0    | G4       | 6    | 1.5V   | 数据      |
| DDR3_DQ1    | J6       | 6    | 1.5V   | 数据      |
| DDR3_DQ2    | L8       | 6    | 1.5V   | 数据      |
| DDR3_DQ3    | G5       | 6    | 1.5V   | 数据      |
| DDR3_DQ4    | K7       | 6    | 1.5V   | 数据      |
| DDR3_DQ5    | J5       | 6    | 1.5V   | 数据      |
| DDR3_DQ6    | K8       | 6    | 1.5V   | 数据      |
| DDR3_DQ7    | K6       | 6    | 1.5V   | 数据      |
| DDR3_DQ8    | E6       | 6    | 1.5V   | 数据      |
| DDR3_DQ9    | H8       | 6    | 1.5V   | 数据      |

| 信号名称          | FPGA 管脚号 | BANK | I/O 电平 | 描述     |
|---------------|----------|------|--------|--------|
| DDR3_DQ10     | H6       | 6    | 1.5V   | 数据     |
| DDR3_DQ11     | G8       | 6    | 1.5V   | 数据     |
| DDR3_DQ12     | D6       | 6    | 1.5V   | 数据     |
| DDR3_DQ13     | F8       | 6    | 1.5V   | 数据     |
| DDR3_DQ14     | G6       | 6    | 1.5V   | 数据     |
| DDR3_DQ15     | F7       | 6    | 1.5V   | 数据     |
| DDR3_DQ0_1    | C4       | 6    | 1.5V   | 数据     |
| DDR3_DQ1_1    | F3       | 6    | 1.5V   | 数据     |
| DDR3_DQ2_1    | B4       | 6    | 1.5V   | 数据     |
| DDR3_DQ3_1    | E5       | 6    | 1.5V   | 数据     |
| DDR3_DQ4_1    | D3       | 6    | 1.5V   | 数据     |
| DDR3_DQ5_1    | D5       | 6    | 1.5V   | 数据     |
| DDR3_DQ6_1    | A4       | 6    | 1.5V   | 数据     |
| DDR3_DQ7_1    | D4       | 6    | 1.5V   | 数据     |
| DDR3_DQ8_1    | E1       | 6    | 1.5V   | 数据     |
| DDR3_DQ9_1    | A2       | 6    | 1.5V   | 数据     |
| DDR3_DQ10_1   | G2       | 6    | 1.5V   | 数据     |
| DDR3_DQ11_1   | C2       | 6    | 1.5V   | 数据     |
| DDR3_DQ12_1   | F2       | 6    | 1.5V   | 数据     |
| DDR3_DQ13_1   | E2       | 6    | 1.5V   | 数据     |
| DDR3_DQ14_1   | G1       | 6    | 1.5V   | 数据     |
| DDR3_DQ15_1   | D1       | 6    | 1.5V   | 数据     |
| DDR3_DM0      | F4       | 6    | 1.5V   | 数据输入屏蔽 |
| DDR3_DM1      | H9       | 6    | 1.5V   | 数据输入屏蔽 |
| DDR3_DM0_1    | E3       | 6    | 1.5V   | 数据输入屏蔽 |
| DDR3_DM1_1    | A3       | 6    | 1.5V   | 数据输入屏蔽 |
| DDR3_DQS0_P   | J4       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS0_N   | H4       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS1_P   | H7       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS1_N   | G7       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS0_P_1 | B5       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS0_N_1 | A5       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS1_P_1 | C1       | 6    | 1.5V   | 数据时钟   |
| DDR3_DQS1_N_1 | B1       | 6    | 1.5V   | 数据时钟   |

| 信号名称       | FPGA 管脚号 | BANK | I/O 电平 | 描述     |
|------------|----------|------|--------|--------|
| DDR3_ODT   | J1       | 7    | 1.5V   | 片上终端使能 |
| DDR3_RAS#  | H2       | 7    | 1.5V   | 行地址选通  |
| DDR3_RESET | N8       | 7    | 1.5V   | 复位     |
| DDR3_WE#   | J3       | 7    | 1.5V   | 写使能    |

## 3.7 QSPI Flash

### 3.7.1 介绍

DK\_START\_GW5AST-LV138FPG676A\_V1.0 中配有一个 FLASH 存储芯片，芯片型号为 GD25Q128，存储容量为 128Mbit。由于 FLASH 具有断电数据不丢失的特性，而我们 FPGA 芯片掉电数据是会丢失的，所以可将 FLASH 作为 FPGA 芯片的上电配置器件，我们将上电程序固化在 FLASH 中，上电后 FPGA 芯片读取到 FLASH 中存储的程序进行运行，这样就能做到程序断电不丢失了。SPI FLASH 的具体型号和相关参数如表 3-8 所示。

表 3-8 SPI FLASH 的具体型号和相关参数

| 位号 | 芯片类型         | 容量       | 厂家         |
|----|--------------|----------|------------|
| U3 | GD25Q128ESIG | 128M Bit | Gigadevice |

QSPI FLASH 连接到 FPGA 芯片的 BANK10 和 BANK3 的专用管脚上，其中时钟管脚连接到 BANK10 的 CCLK 上，其它数据和片选信号分别连接到 BANK3 的 D00~D03 和 MCSN 管脚上。图 3-12 为 QSPI Flash 的硬件连接示意图。

图 3-12 QSPI Flash 的硬件连接示意图

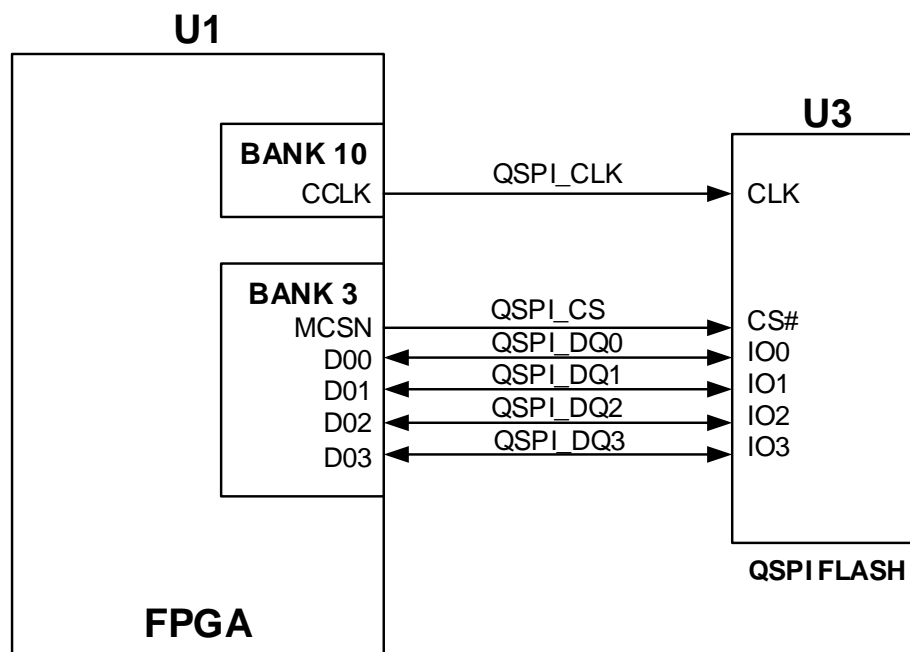
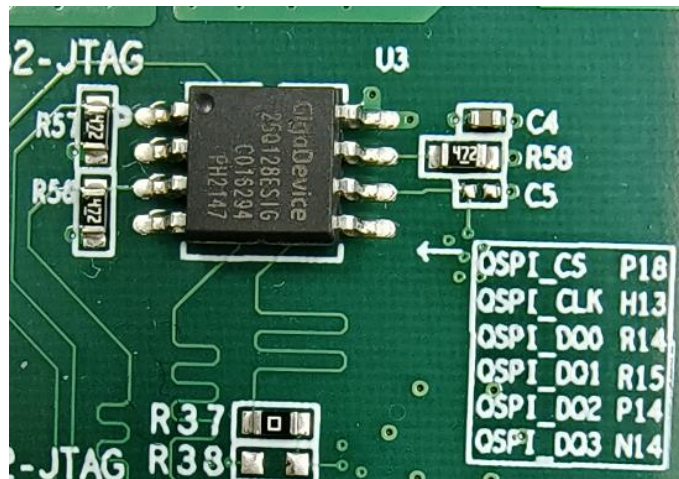


图 3-13 开发板上的 QSPI Flash 电路



## 3.7.2 管脚分配

表 3-9 FLASH 各引脚分配

| 信号名称     | FPGA 管脚号 | BANK | I/O 电平 |
|----------|----------|------|--------|
| QSPI_CLK | H13      | 10   | 3.3V   |
| QSPI_CS  | P18      | 3    | 3.3V   |
| QSPI_DQ0 | R14      | 3    | 3.3V   |
| QSPI_DQ1 | R15      | 3    | 3.3V   |
| QSPI_DQ2 | P14      | 3    | 3.3V   |
| QSPI_DQ3 | N14      | 3    | 3.3V   |

## 3.8 LED 灯、按键

### 3.8.1 介绍

DK\_START\_GW5AST-LV138FPG676A\_V1.0 有 3 种 LED 灯，分别是电源指示灯，配置 LED 灯，用户 LED 灯。

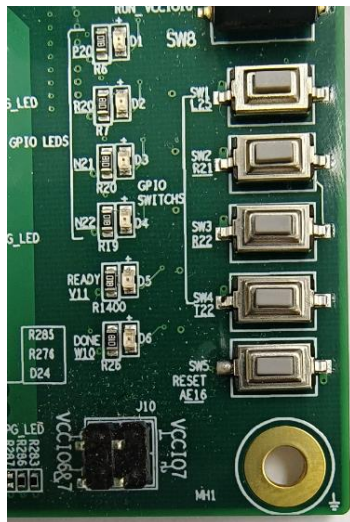
当 12V 供电正常，DC-DC 电源芯片，LDO 电源芯片工作正常，电源指示灯会亮起。

当 FPGA 配置程序后，配置 LED 灯会亮起。

用户 LED 灯连接到 BANK3 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 会被熄灭。

开发板上有 4 个用户按键 SW1~SW4，4 个按键都连接到 FPGA 的普通的 IO 上。当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下时，FPGA 的 IO 输入电压为高。

图 3-14 开发板上的 LED 灯、按键电路



### 3.8.2 管脚分配

表 3-10 LED 灯管脚分配

| 信号名称      | 位号  | FPGA 管脚号 | BANK | I/O 电平 | 描述     |
|-----------|-----|----------|------|--------|--------|
| LED1      | D1  | P20      | 3    | 3.3V   | 用户 LED |
| LED2      | D2  | R20      | 3    | 3.3V   | 用户 LED |
| LED3      | D3  | N21      | 3    | 3.3V   | 用户 LED |
| LED4      | D4  | N22      | 3    | 3.3V   | 用户 LED |
| Ready     | D5  | V11      | 10   | 3.3V   | 配置 LED |
| Done      | D6  | W10      | 10   | 3.3V   | 配置 LED |
| SW1       | SW1 | L25      | 3    | 3.3V   | 用户按键   |
| SW2       | SW2 | R21      | 3    | 3.3V   | 用户按键   |
| SW3       | SW3 | R22      | 3    | 3.3V   | 用户按键   |
| SW4       | SW4 | T22      | 3    | 3.3V   | 用户按键   |
| CPU_RESET | SW6 | U4       | 7    | 1.5V   | 用户按键   |



## 3.9 JTAG 接口

### 3.9.1 介绍

DK\_START\_GW5AST-LV138FPG676A\_V1.0 板上预留了 JTAG 的测试座，用来 FPGA 单独 JTAG 下载和调试。

其中 J1 负责 FPGA U1 的 JTAG 下载调试；J8 负责 FPGA U12 的 JTAG 下载调试；J24 负责 FPGA U52 的 JTAG 下载调试。

图 3-15 JTAG 接口 J1 的原理图部分

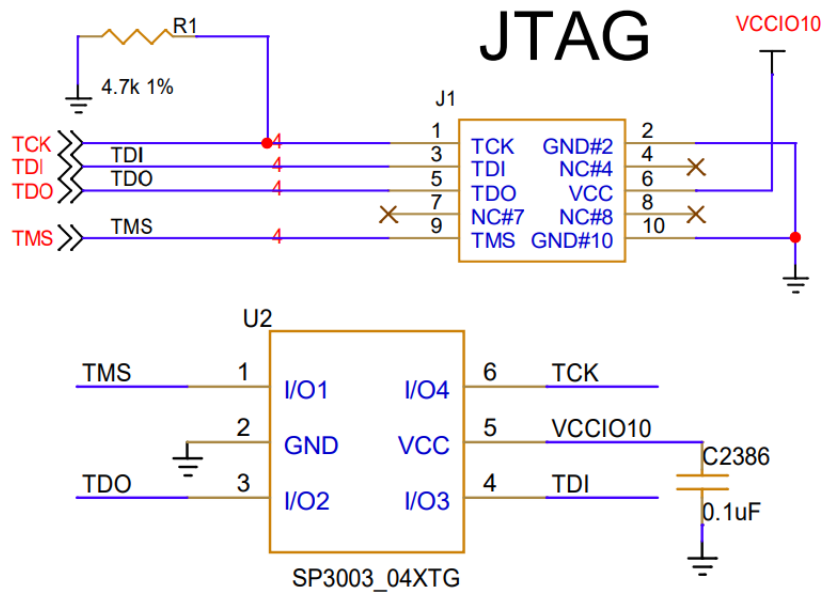
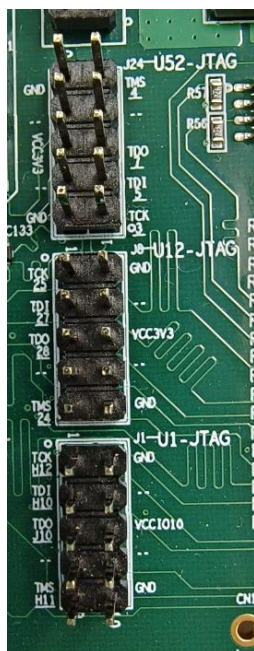


图 3-16 开发板上的 JTAG 电路



## 3.9.2 管脚分配

表 3-11 FPGA U1 的 JTAG 管脚分配

| 信号名称 | FPGA 管脚号 | BANK | I/O 电平 | 原理图页码 |
|------|----------|------|--------|-------|
| TDI  | H10      | 10   | 3.3V   | 3     |
| TDO  | J10      | 10   | 3.3V   | 3     |
| TCK  | H12      | 10   | 3.3V   | 3     |
| TMS  | H11      | 10   | 3.3V   | 3     |

## 3.10 PCIe x4 接口

### 3.10.1 介绍

DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板上提供一个工业级高速数据传输 PCIe x4 接口，PCIe 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PC 的 x4 PCIe 插槽上使用。PCIe 接口的收发信号直接跟 FPGA 的 GTP 收发器相连接，四通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA。PCIe 的参考时钟由 PC 的 PCIe 插槽提供给开发板，参考时钟频率为 100Mhz。在靠近金手指处添加了 ESD 静电保护芯片，开发板的 PCIe 接口的设计示意图如图 3-17 所示，其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。

图 3-17 PCIe x4 设计示意图

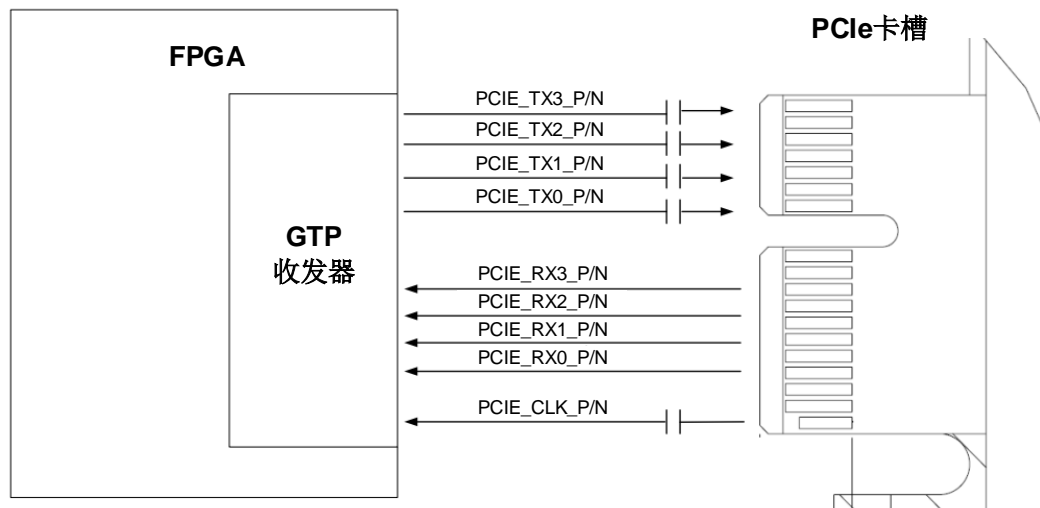
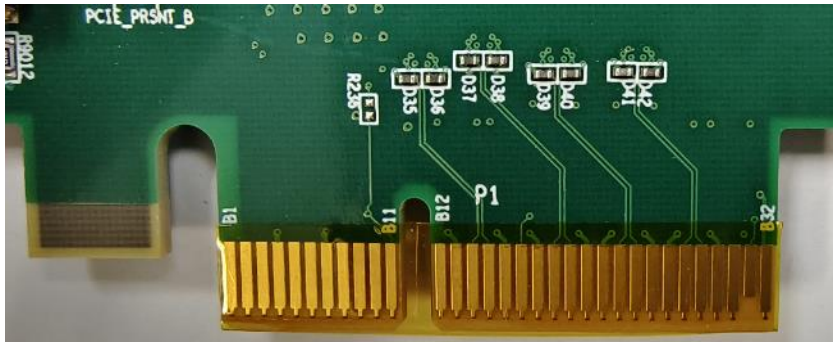


图 3-18 开发板上的 PCIe x4 电路



### 3.10.2 管脚分配

表 3-12 PCIe x4 FPGA 管脚分配

| 信号名称          | FPGA 管脚号 | 描述                      |
|---------------|----------|-------------------------|
| PCIE_RX0_P    | D12      | PCIe 通道 0 数据接收 Positive |
| PCIE_RX0_N    | C12      | PCIe 通道 0 数据接收 Negative |
| PCIE_RX1_P    | D14      | PCIe 通道 1 数据接收 Positive |
| PCIE_RX1_N    | C14      | PCIe 通道 1 数据接收 Negative |
| PCIE_RX2_P    | B13      | PCIe 通道 2 数据接收 Positive |
| PCIE_RX2_N    | A13      | PCIe 通道 2 数据接收 Negative |
| PCIE_RX3_P    | B11      | PCIe 通道 3 数据接收 Positive |
| PCIE_RX3_N    | A11      | PCIe 通道 3 数据接收 Negative |
| PCIE_TX0_P    | D10      | PCIe 通道 0 数据发送 Positive |
| PCIE_TX0_N    | C10      | PCIe 通道 0 数据发送 Negative |
| PCIE_TX1_P    | D8       | PCIe 通道 1 数据发送 Positive |
| PCIE_TX1_N    | C8       | PCIe 通道 1 数据发送 Negative |
| PCIE_TX2_P    | B9       | PCIe 通道 2 数据发送 Positive |
| PCIE_TX2_N    | A9       | PCIe 通道 2 数据发送 Negative |
| PCIE_TX3_P    | B7       | PCIe 通道 3 数据发送 Positive |
| PCIE_TX3_N    | A7       | PCIe 通道 3 数据发送 Negative |
| PCIE_CLK_Q0_P | F11      | PCIe 的参考时钟 Positive     |
| PCIE_CLK_Q0_N | E11      | PCIe 的参考时钟 Negative     |

# 3.11 SSPI、CPU、I2C、SERIAL

## 3.11.1 介绍

开发板将 GW5AST-LV138FPG676A 芯片各种配置模式的管脚拉到了插针上，同时连接了 ESD 静电保护芯片，方便后续安全使用。

SSPI 配置模式的管脚拉到了插针 J3 上；CPU 配置模式的管脚拉到了插针 J4、J222 上；I2C 配置模式的管脚拉到了插针 J5 上；SERIAL 配置模式的管脚拉到了插针 J60 上。

图 3-19 配置管脚原理图设计

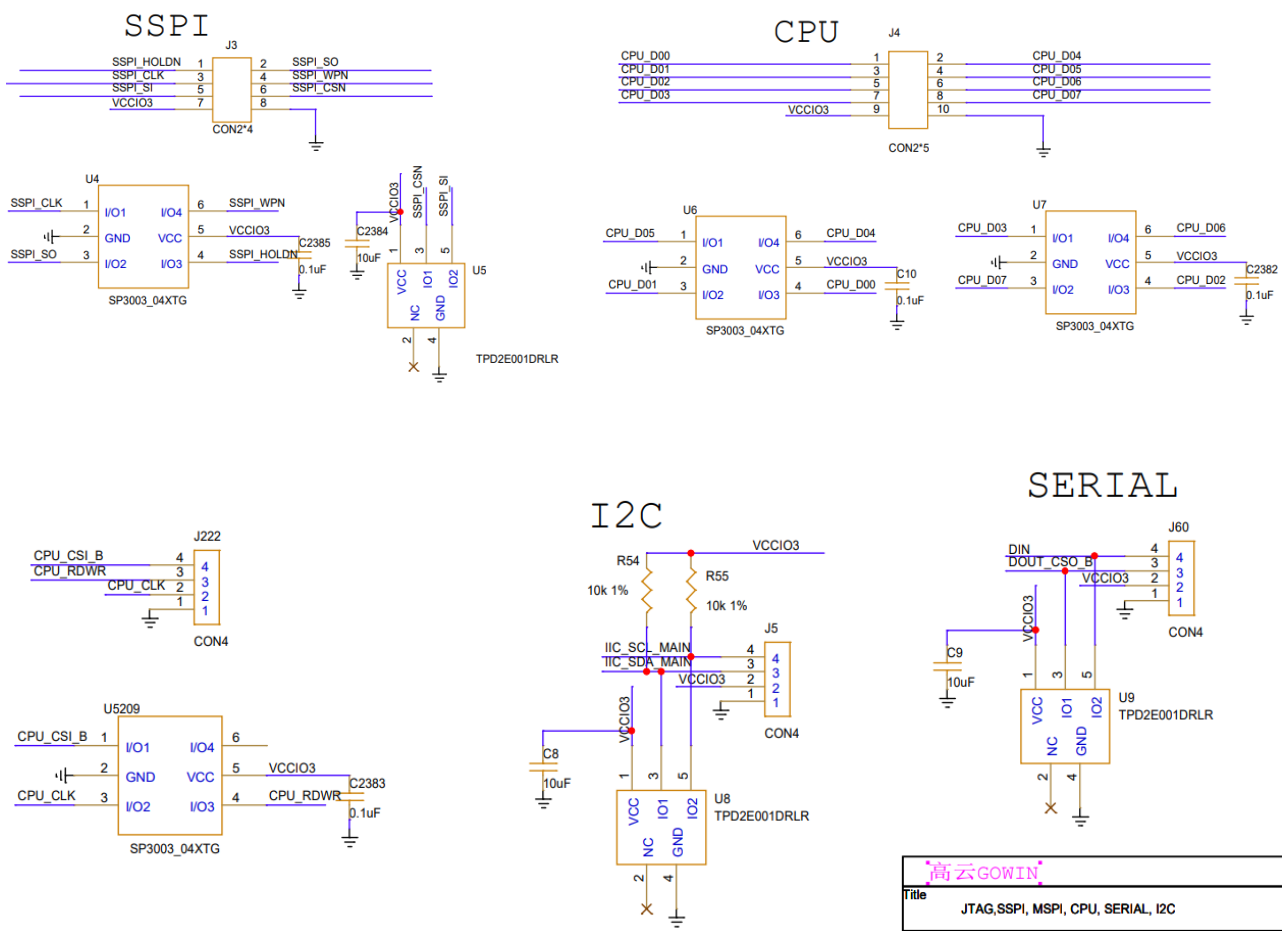
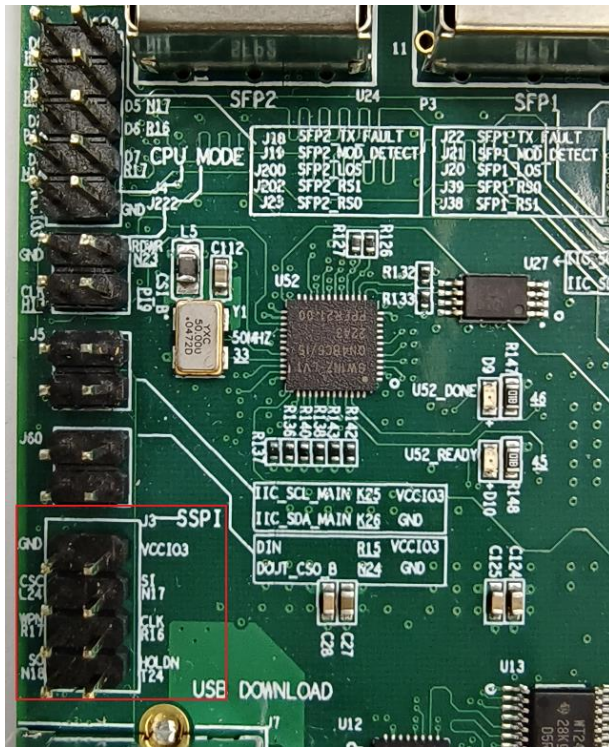


图 3-20 开发板上的配置管脚插针电路



### 3.11.2 管脚分配

表 3-13 配置模块管脚分配

| 信号名称       | FPGA 管脚号 | BANK | 插针原理图位号 | I/O 电平 |
|------------|----------|------|---------|--------|
| SSPI_HOLDN | T24      | 3    | J3      | 3.3V   |
| SSPI_CLK   | R16      | 3    | J3      | 3.3V   |
| SSPI_SI    | N17      | 3    | J3      | 3.3V   |
| SSPI_SO    | N18      | 3    | J3      | 3.3V   |
| SSPI_WPN   | R17      | 3    | J3      | 3.3V   |
| SSPI_CSN   | L24      | 3    | J3      | 3.3V   |
| CPU_D00    | R14      | 3    | J4      | 3.3V   |
| CPU_D01    | R15      | 3    | J4      | 3.3V   |
| CPU_D02    | P14      | 3    | J4      | 3.3V   |
| CPU_D03    | N14      | 3    | J4      | 3.3V   |
| CPU_D04    | N16      | 3    | J4      | 3.3V   |
| CPU_D05    | N17      | 3    | J4      | 3.3V   |
| CPU_D06    | R16      | 3    | J4      | 3.3V   |
| CPU_D07    | R17      | 3    | J4      | 3.3V   |
| CPU_CSI_B  | P19      | 3    | J222    | 3.3V   |
| CPU_RDWR   | N23      | 3    | J222    | 3.3V   |

| 信号名称         | FPGA 管脚号 | BANK | 插针原理图位号 | I/O 电平 |
|--------------|----------|------|---------|--------|
| CPU_CLK      | H13      | 3    | J222    | 3.3V   |
| IIC_SCL_MAIN | K25      | 3    | J5      | 3.3V   |
| IIC_SDA_MAIN | K26      | 3    | J5      | 3.3V   |
| DIN          | R15      | 3    | J60     | 3.3V   |
| DOUT_CS0_B   | N24      | 3    | J60     | 3.3V   |

## 3.12 XADC 接口

### 3.12.1 介绍

DK\_START\_GW5AST-LV138FPG676A\_V1.0 开发板上扩展 XADC 的连接接口，连接器使用的是 2x4 2.54mm 间距的双排针。连接到 FPGA 的模数转换器。图 3-21 为 2 路差分 XADC 输入设计的抗混叠滤波器。

图 3-21 XADC 原理图连接示意图

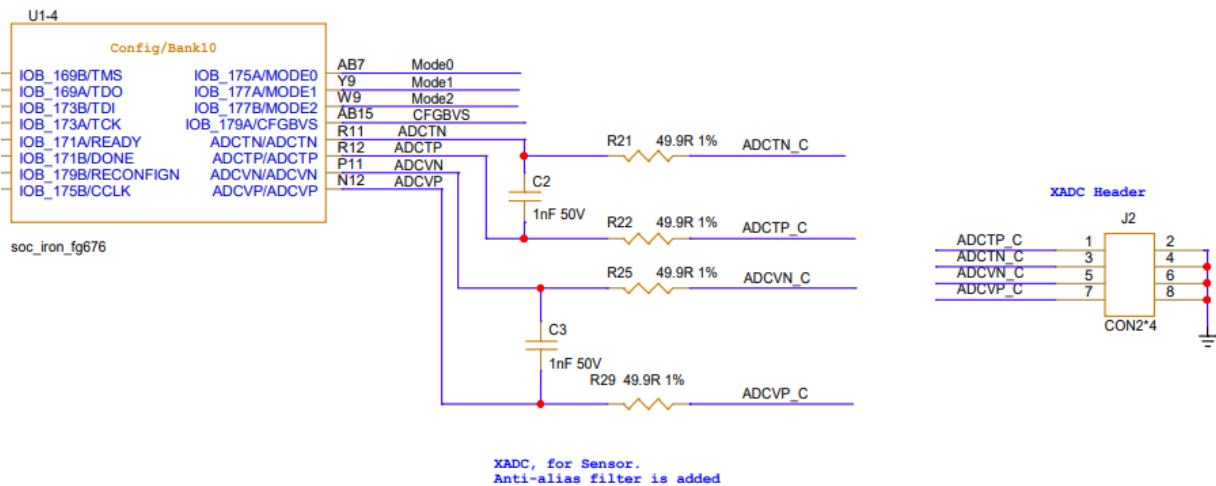
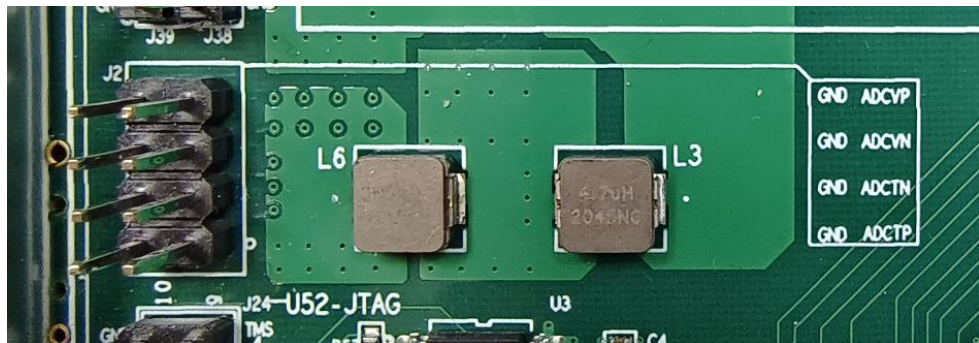


图 3-22 开发板上的 XADC 插针电路



### 3.12.2 管脚分配

表 3-14 XADC 模块管脚分配

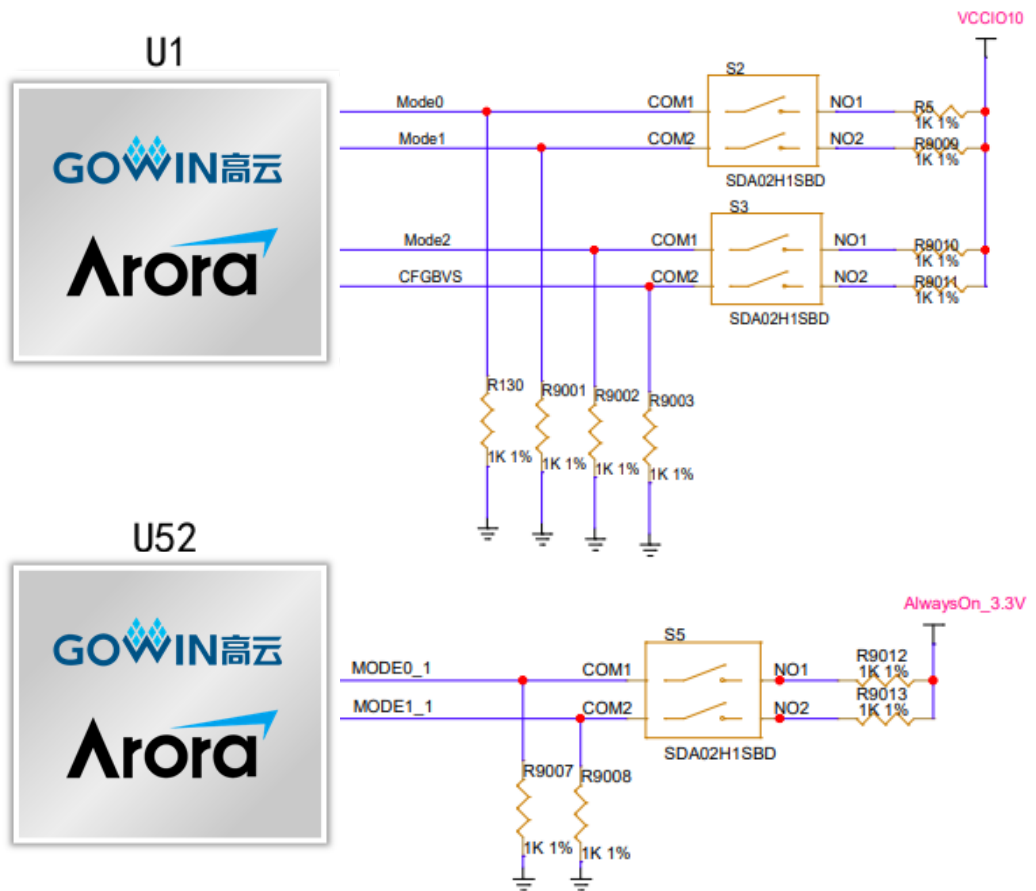
| 信号名称  | FPGA 管脚号 | BANK | XADC 接口 | IO 电平 |
|-------|----------|------|---------|-------|
| ADCTP | R12      | 10   | J2.1    | 3.3V  |
| ADCTN | R11      | 10   | J2.3    | 3.3V  |
| ADCVP | N12      | 10   | J2.7    | 3.3V  |
| ADCVN | P11      | 10   | J2.5    | 3.3V  |

## 3.13 MODE、CFGBVS

### 3.13.1 介绍

开发板有 S2,S3,S5 三个拨码开关可用于设置 CFGBVS 和 MODE。其中 S2、S3 用于 GW5AST-LV138FPG676A (位号 U1); S5 用于 GW1NZ-LV1QN48 (位号 U52)。原理图示意图如图 3-23 所示。

图 3-23 CFGBVS、MODE 原理图连接示意图



CFGBVS (Configuration Banks Voltage Select) 是配置 BANK 的电压选择信号, 配置 BANK 指的是 BANK3、BANK4、BANK10。CFGBVS 为



High 时，BANK 电压默认为 3.3V、2.5V。

FPGA 上电或低电平脉冲触发 RECONFIG\_N 时，器件根据 MODE 值进入相应 GowinCONFIG 状态。当 MODE 值改变时，需要重新上电或低电平触发 RECONFIG\_N 才能生效。不同 mode 值对应配置模式如表 3-15 所示。

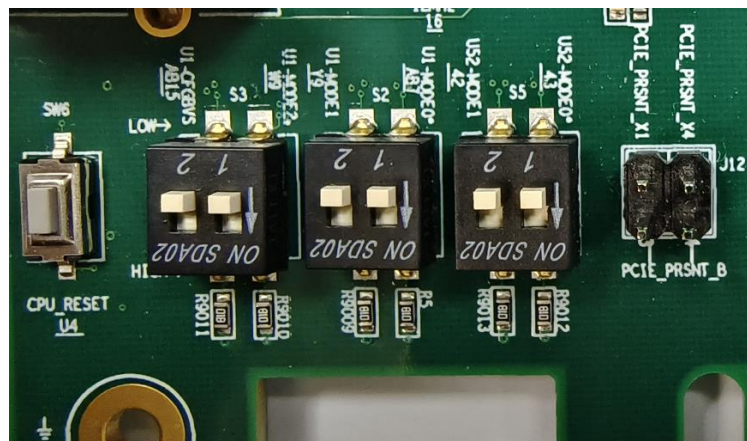
表 3-15 配置模式选择

| 配置模式                | MODE[2:0] <sup>[1]</sup> | Bus Width  | 相关说明   |
|---------------------|--------------------------|------------|--|
| JTAG                | XXX/101 <sup>[3]</sup>   | -          | 外部 Host 通过 JTAG 接口对 Arora V FPGA 产品进行配置            |
| MSPI <sup>[2]</sup> | 001                      | x1,x2,x4   | FPGA 作为 Master，通过 SPI 接口从外部 Flash（或其他器件）读取配置数据进行配置 |
| SSPI <sup>[2]</sup> | 010                      | x1,x4      | 外部 Host 通过 SPI 接口对 Arora V FPGA 产品进行配置             |
| Master SERIAL       | 000                      | x1         | FPGA 作为 Slave 以前，通过 DIN 接口从外部读取配置数据进行配置            |
| Slave SERIAL        | 111                      | x1         | 外部 Host 通过 DIN 接口对 Arora V FPGA 产品进行配置             |
| Master CPU          | 100                      | x8,x16,x32 | FPGA 作为 Slave 以前，通过 DBUS 接口从外部读取配置数据进行配置           |
| Slave CPU           | 110                      | x8,x16,x32 | 外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置            |

注！

- <sup>[1]</sup>对于一些 MODE 管脚没有全部封装出来的器件，需要查看 PINOUT 手册确认 MODE 脚状态。
- <sup>[2]</sup>SSPI 和 MSPI 模式的 SPI 接口是互相独立的。
- <sup>[3]</sup>JTAG 配置模式与 MODE[2:0]输入值无关；当 MODE 设置为 101 时，只有 JTAG 接口生效。

图 3-24 开发板上的 MODE、CFGBVS 电路





### 3.13.2 管脚分配

表 3-16 CFGBVS、MODE 管脚分配

| 信号名称    | FPGA 管脚号     | I/O 电平 |
|---------|--------------|--------|
| Mode0   | AB7 (U1 器件)  | 3.3V   |
| Mode1   | Y9 (U1 器件)   | 3.3V   |
| Mode2   | W9 (U1 器件)   | 3.3V   |
| CFGBVS  | AB15 (U1 器件) | 3.3V   |
| MODE0_1 | 43 (U52 器件)  | 3.3V   |
| MODE1_1 | 42 (U52 器件)  | 3.3V   |

## 3.14 FMC HPC 连接器

### 3.14.1 介绍

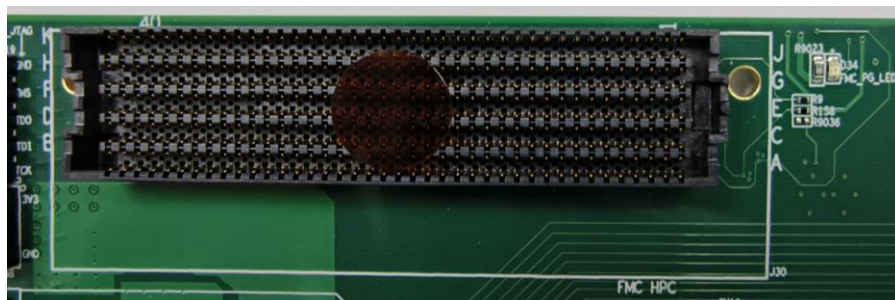
FMC 规范定义的 400 针 HPC 连接器最多可连接：

- 160 个单端或 80 个差分用户定义信号
- 10 个 GTP 收发器
- 2 个 GTP 收发器参考时钟
- 4 个外部输入差分参考时钟
- 159 个接地和 15 个电源连接

J30 处的 HPC 连接器和 FPGA U1 之间连接了上述大部分信号：

- 58 对不同的用户定义配对
- 34 对 LA (LA00-LA33)
- 24 对 HA (HA00-HA23)
- 4 个 GTP 收发器
- 2 个 GTP 收发器参考时钟
- 2 个外部输入差分参考时钟
- 159 个接地和 15 个电源连接

图 3-25 开发板上的 FMC HPC 电路



### 3.14.2 管脚分配

表 3-17 WIFI 模块管脚分配

| 信号名称                   | FPGA (U1)<br>管脚号 | FMC HPC 连接器<br>(J30) 管脚号 | I/O 电平 |
|------------------------|------------------|--------------------------|--------|
| FMC1_HPC_DP1_M2C_P     | D9               | A2                       | -      |
| FMC1_HPC_DP1_M2C_N     | A10              | A3                       | -      |
| FMC1_HPC_DP1_C2M_P     | B8               | A22                      | -      |
| FMC1_HPC_DP1_C2M_N     | C8               | A23                      | -      |
| FMC1_HPC_GBTCLK1_M2C_P | AA13             | B20                      | -      |
| FMC1_HPC_GBTCLK1_M2C_N | AB13             | B21                      | -      |
| FMC1_HPC_DP0_C2M_P     | C2               | C2                       | -      |
| FMC1_HPC_DP0_C2M_N     | C3               | C3                       | -      |
| FMC1_HPC_DP0_M2C_P     | AC14             | C6                       | -      |
| FMC1_HPC_DP0_M2C_N     | AD14             | C7                       | -      |
| FMC1_HPC_LA06_P        | F18              | C10                      | 2.5V   |
| FMC1_HPC_LA06_N        | F19              | C11                      | 2.5V   |
| FMC1_HPC_LA10_P        | E20              | C14                      | 2.5V   |
| FMC1_HPC_LA10_N        | D20              | C15                      | 2.5V   |
| FMC1_HPC_LA14_P        | C17              | C18                      | 2.5V   |
| FMC1_HPC_LA14_N        | B17              | C19                      | 2.5V   |
| FMC1_HPC_LA18_CC_P     | G20              | C22                      | 2.5V   |
| FMC1_HPC_LA18_CC_N     | G21              | C23                      | 2.5V   |
| FMC1_HPC_LA27_P        | G25              | C26                      | 2.5V   |
| FMC1_HPC_LA27_N        | F25              | C27                      | 2.5V   |
| FMC1_IIC_SCL           | U52.15           | C30                      | -      |
| FMC1_IIC_SDA           | U52.16           | C31                      | -      |
| GA0 = 0 = GND          | -                | C34                      | -      |
| VCC12_P                | -                | C35                      | -      |
| VCC12_P                | -                | C37                      | -      |
| VCC3V3                 | -                | C39                      | -      |
| PG_C2M                 | J14              | D1                       | 2.5V   |
| FMC1_HPC_GBTCLK0_M2C_P | AA11             | D4                       | -      |
| FMC1_HPC_GBTCLK0_M2C_N | AB11             | D5                       | -      |
| FMC1_HPC_LA01_CC_P     | E17              | D8                       | 2.5V   |
| FMC1_HPC_LA01_CC_N     | E18              | D9                       | 2.5V   |
| FMC1_HPC_LA05_P        | G19              | D11                      | 2.5V   |

| 信号名称               | FPGA (U1)<br>管脚号 | FMC HPC 连接器<br>(J30) 管脚号 | I/O 电平 |
|--------------------|------------------|--------------------------|--------|
| FMC1_HPC_LA05_N    | F20              | D12                      | 2.5V   |
| FMC1_HPC_LA09_P    | C21              | D14                      | 2.5V   |
| FMC1_HPC_LA09_N    | B21              | D15                      | 2.5V   |
| FMC1_HPC_LA13_P    | B19              | D17                      | 2.5V   |
| FMC1_HPC_LA13_N    | A19              | D18                      | 2.5V   |
| FMC1_HPC_LA17_CC_P | K21              | D20                      | 2.5V   |
| FMC1_HPC_LA17_CC_N | J21              | D21                      | 2.5V   |
| FMC1_HPC_LA23_P    | K22              | D23                      | 2.5V   |
| FMC1_HPC_LA23_N    | K23              | D24                      | 2.5V   |
| FMC1_HPC_LA26_P    | L17              | D26                      | 2.5V   |
| FMC1_HPC_LA26_N    | L18              | D27                      | 2.5V   |
| FMC1_TCK           | U19.1            | D29                      | -      |
| FMC1_TDI           | U19.2            | D30                      | -      |
| FMC1_TDO           | U19.3            | D31                      | -      |
| AlwaysOn_3.3V      | -                | D32                      | -      |
| FMC1_TMS           | U19.4            | D33                      | -      |
| AlwaysOn_3.3V      | -                | D36                      | -      |
| AlwaysOn_3.3V      | -                | D38                      | -      |
| AlwaysOn_3.3V      | -                | D40                      | -      |
| FMC1_HPC_HA01_CC_P | W21              | E2                       | 2.5V   |
| FMC1_HPC_HA01_CC_N | Y21              | E3                       | 2.5V   |
| FMC1_HPC_HA05_P    | V23              | E6                       | 2.5V   |
| FMC1_HPC_HA05_N    | W23              | E7                       | 2.5V   |
| FMC1_HPC_HA09_P    | V19              | E9                       | 2.5V   |
| FMC1_HPC_HA09_N    | W19              | E10                      | 2.5V   |
| FMC1_HPC_HA13_P    | AA22             | E12                      | 2.5V   |
| FMC1_HPC_HA13_N    | AA23             | E13                      | 2.5V   |
| FMC1_HPC_HA16_P    | Y25              | E15                      | 2.5V   |
| FMC1_HPC_HA16_N    | AA25             | E16                      | 2.5V   |
| FMC1_HPC_HA20_P    | V26              | E18                      | 2.5V   |
| FMC1_HPC_HA20_N    | W26              | E19                      | 2.5V   |
| VCCIO_ADJ          | -                | E39                      | -      |
| FMC1_HPC_PG_M2C    | P15              | F1                       | 2.5V   |
| FMC1_HPC_HA00_CC_P | U21              | F4                       | 2.5V   |

| 信号名称                | FPGA (U1)<br>管脚号 | FMC HPC 连接器<br>(J30) 管脚号 | I/O 电平 |
|---------------------|------------------|--------------------------|--------|
| FMC1_HPC_HA00_CC_N  | V21              | F5                       | 2.5V   |
| FMC1_HPC_HA04_P     | V16              | F7                       | 2.5V   |
| FMC1_HPC_HA04_N     | V17              | F8                       | 2.5V   |
| FMC1_HPC_HA08_P     | W20              | F10                      | 2.5V   |
| FMC1_HPC_HA08_N     | Y20              | F11                      | 2.5V   |
| FMC1_HPC_HA12_P     | AB24             | F13                      | 2.5V   |
| FMC1_HPC_HA12_N     | AC24             | F14                      | 2.5V   |
| FMC1_HPC_HA15_P     | AB26             | F16                      | 2.5V   |
| FMC1_HPC_HA15_N     | AC26             | F17                      | 2.5V   |
| FMC1_HPC_HA19_P     | U25              | F19                      | 2.5V   |
| FMC1_HPC_HA19_N     | U26              | F20                      | 2.5V   |
| VCCIO_ADJ           | -                | F40                      | -      |
| FMC1_HPC_CLK1_M2C_P | H21              | G2                       | 2.5V   |
| FMC1_HPC_CLK1_M2C_N | H22              | G3                       | 2.5V   |
| FMC1_HPC_LA00_CC_P  | D18              | G6                       | 2.5V   |
| FMC1_HPC_LA00_CC_N  | C18              | G7                       | 2.5V   |
| FMC1_HPC_LA03_P     | E21              | G9                       | 2.5V   |
| FMC1_HPC_LA03_N     | D21              | G10                      | 2.5V   |
| FMC1_HPC_LA08_P     | A17              | G12                      | 2.5V   |
| FMC1_HPC_LA08_N     | A18              | G13                      | 2.5V   |
| FMC1_HPC_LA12_P     | E16              | G15                      | 2.5V   |
| FMC1_HPC_LA12_N     | D16              | G16                      | 2.5V   |
| FMC1_HPC_LA16_P     | G15              | G18                      | 2.5V   |
| FMC1_HPC_LA16_N     | F15              | G19                      | 2.5V   |
| FMC1_HPC_LA20_P     | M16              | G21                      | 2.5V   |
| FMC1_HPC_LA20_N     | M17              | G22                      | 2.5V   |
| FMC1_HPC_LA22_P     | J24              | G24                      | 2.5V   |
| FMC1_HPC_LA22_N     | H24              | G25                      | 2.5V   |
| FMC1_HPC_LA25_P     | G24              | G27                      | 2.5V   |
| FMC1_HPC_LA25_N     | F24              | G28                      | 2.5V   |
| FMC1_HPC_LA29_P     | E25              | G30                      | 2.5V   |
| FMC1_HPC_LA29_N     | D25              | G31                      | 2.5V   |
| FMC1_HPC_LA31_P     | G22              | G33                      | 2.5V   |
| FMC1_HPC_LA31_N     | F22              | G34                      | 2.5V   |

| 信号名称                 | FPGA (U1)<br>管脚号 | FMC HPC 连接器<br>(J30) 管脚号 | I/O 电平 |
|----------------------|------------------|--------------------------|--------|
| FMC1_HPC_LA33_P      | J19              | G36                      | 2.5V   |
| FMC1_HPC_LA33_N      | H19              | G37                      | 2.5V   |
| VCCIO_ADJ            | -                | G39                      | -      |
| FMC1_HPC_PRSNT_M2C_B | N16              | H2                       | 3.3V   |
| FMC1_HPC_CLK0_M2C_P  | D19              | H4                       | 2.5V   |
| FMC1_HPC_CLK0_M2C_N  | C19              | H5                       | 2.5V   |
| FMC1_HPC_LA02_P      | B22              | H7                       | 2.5V   |
| FMC1_HPC_LA02_N      | A22              | H8                       | 2.5V   |
| FMC1_HPC_LA04_P      | B20              | H10                      | 2.5V   |
| FMC1_HPC_LA04_N      | A20              | H11                      | 2.5V   |
| FMC1_HPC_LA07_P      | H14              | H13                      | 2.5V   |
| FMC1_HPC_LA07_N      | H15              | H14                      | 2.5V   |
| FMC1_HPC_LA11_P      | G17              | H16                      | 2.5V   |
| FMC1_HPC_LA11_N      | F17              | H17                      | 2.5V   |
| FMC1_HPC_LA15_P      | H16              | H19                      | 2.5V   |
| FMC1_HPC_LA15_N      | G16              | H20                      | 2.5V   |
| FMC1_HPC_LA19_P      | M14              | H22                      | 2.5V   |
| FMC1_HPC_LA19_N      | L14              | H23                      | 2.5V   |
| FMC1_HPC_LA21_P      | H26              | H25                      | 2.5V   |
| FMC1_HPC_LA21_N      | G26              | H26                      | 2.5V   |
| FMC1_HPC_LA24_P      | E26              | H28                      | 2.5V   |
| FMC1_HPC_LA24_N      | D26              | H29                      | 2.5V   |
| FMC1_HPC_LA28_P      | F23              | H31                      | 2.5V   |
| FMC1_HPC_LA28_N      | E23              | H32                      | 2.5V   |
| FMC1_HPC_LA30_P      | K20              | H34                      | 2.5V   |
| FMC1_HPC_LA30_N      | J20              | H35                      | 2.5V   |
| FMC1_HPC_LA32_P      | J18              | H37                      | 2.5V   |
| FMC1_HPC_LA32_N      | H18              | H38                      | 2.5V   |
| VCCIO_ADJ            | -                | H40                      | -      |
| FMC1_HPC_HA03_P      | U14              | J6                       | 2.5V   |
| FMC1_HPC_HA03_N      | V14              | J7                       | 2.5V   |
| FMC1_HPC_HA07_P      | V18              | J9                       | 2.5V   |
| FMC1_HPC_HA07_N      | W18              | J10                      | 2.5V   |
| FMC1_HPC_HA11_P      | U22              | J12                      | 2.5V   |

| 信号名称               | FPGA (U1)<br>管脚号 | FMC HPC 连接器<br>(J30) 管脚号 | I/O 电平 |
|--------------------|------------------|--------------------------|--------|
| FMC1_HPC_HA11_N    | V22              | J13                      | 2.5V   |
| FMC1_HPC_HA14_P    | AA24             | J15                      | 2.5V   |
| FMC1_HPC_HA14_N    | AB25             | J16                      | 2.5V   |
| FMC1_HPC_HA18_P    | W25              | J18                      | 2.5V   |
| FMC1_HPC_HA18_N    | Y26              | J19                      | 2.5V   |
| FMC1_HPC_HA22_P    | V24              | J21                      | 2.5V   |
| FMC1_HPC_HA22_N    | W24              | J22                      | 2.5V   |
| FMC1_HPC_HA02_P    | T14              | K7                       | 2.5V   |
| FMC1_HPC_HA02_N    | T15              | K8                       | 2.5V   |
| FMC1_HPC_HA06_P    | U15              | K10                      | 2.5V   |
| FMC1_HPC_HA06_N    | U16              | K11                      | 2.5V   |
| FMC1_HPC_HA10_P    | T20              | K13                      | 2.5V   |
| FMC1_HPC_HA10_N    | U20              | K14                      | 2.5V   |
| FMC1_HPC_HA17_CC_P | Y22              | K16                      | 2.5V   |
| FMC1_HPC_HA17_CC_N | Y23              | K17                      | 2.5V   |
| FMC1_HPC_HA21_P    | T17              | K19                      | 2.5V   |
| FMC1_HPC_HA21_N    | T18              | K20                      | 2.5V   |
| FMC1_HPC_HA23_P    | T19              | K22                      | 2.5V   |
| FMC1_HPC_HA23_N    | U19              | K23                      | 2.5V   |

## 3.15 SFP/SFP+连接器

### 3.15.1 介绍

开发板包含两个小型可插拔 (SFP+) 连接器和机架组件 (P3)，可插入 SFP 或 SFP+ 模块。图 3-26 显示了 SFP+ 模块连接器电路。

为了适配更多型号的光模块，在 SFP+ 模块连接器的 RX, TX 差分信号电路增加了端接匹配电路。具体如下：

P3 连接器的 TX 信号的备用端接电路由 R9043、R9044、R9047、R9048 组成，备用端接电路在电路板中靠近 P3 连接器放置；

P3 连接器的 RX 信号的备用端接电路由 R9049、R9050、R9045、R9046、R9051、R9052、C2399、C2400 组成，备用端接电路在电路板中靠近 U1 FPGA 放置；用户在实际使用中根据不同光模块具体电气标准调整端接电路。

U24 连接器的 TX 信号的备用端接电路由 R9057、R9058、R9061、R9062 组成，备用端接电路在电路板中靠近 U24 连接器放置；

U24 连接器的 RX 信号的备用端接电路由 R9055、R9056、R9053、R9054、R9059、R9060、C2401、C2402 组成，备用端接电路在电路板中靠近 U1 FPGA 放置；用户在实际使用中根据不同光模块具体电气标准调整端接电路。

图 3-26 SFP+模块连接器原理图电路

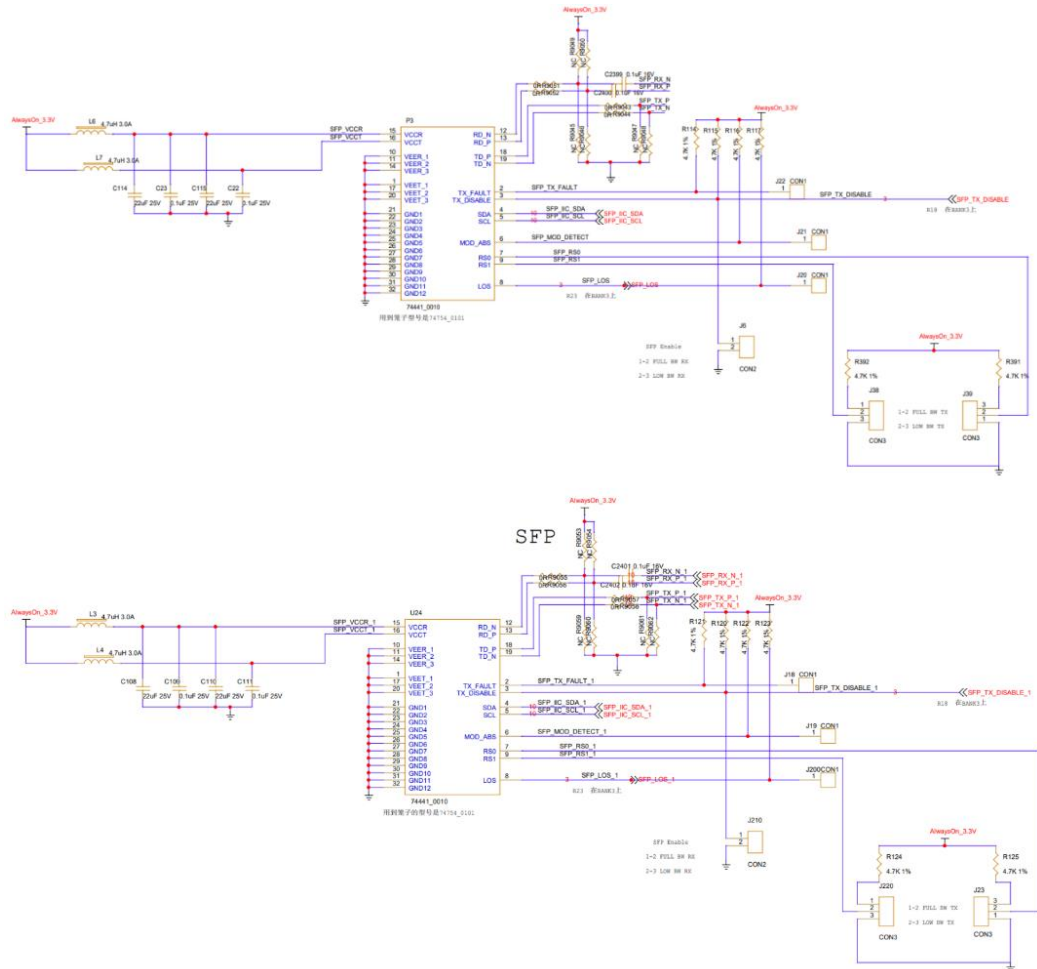


图 3-27 开发板上的 SFP/SFP+电路



SFP+模块控制和状态管脚如表 3-17 所示。

表 3-17 SFP+模块控制和状态管脚

| SFP 控制状态信号网络名    | 信号描述               | 开发板连接   |
|------------------|--------------------|---|
| SFP_TX_FAULT     | P3 发射报错            | 连接到 J22 测试点<br>High: 错误发射<br>Low: 正常发射  |
| SFP_TX_FAULT_1   | U24 发射报错           | 连接到 J18 测试点<br>High: 错误发射<br>Low: 正常发射  |
| SFP_TX_DISABLE   | P3 发射使能            | 连接到 J6 插针, 发射时应连接插针<br>High 或悬空: 禁止发射<br>Low: 可以发射                                  |
| SFP_TX_DISABLE_1 | U24 发射使能           | 连接到 J210 插针, 发射时应连接插针<br>High 或悬空: 禁止发射<br>Low: 可以发射                                |
| SFP_MOD_DETECT   | P3 检测是否有 SFP+模块插入  | 连接到 J21<br>High: P3 插槽中没有 SFP+模块<br>Low: 插槽中有 SFP+模块)                               |
| SFP_MOD_DETECT_1 | U24 检测是否有 SFP+模块插入 | 连接到 J19<br>High: U24 插槽中没有 SFP+模块<br>Low: 插槽中有 SFP+模块                               |
| SFP_RS0          | P3 速度选择 0          | 连接到 J39<br>1-2 = full receiver bandwidth<br>2-3 = reduced receiver bandwidth        |
| SFP_RS1          | P3 速度选择 1          | 连接到 J38<br>1-2 = full transmitter bandwidth<br>2-3 = reduced transmitter bandwidth  |
| SFP_RS0_1        | U24 速度选择 0         | 连接到 J23<br>1-2 = full receiver bandwidth<br>2-3 = reduced receiver bandwidth        |
| SFP_RS1_1        | U24 速度选择 1         | 连接到 J220<br>1-2 = full transmitter bandwidth<br>2-3 = reduced transmitter bandwidth |
| SFP_LOS          | P3 丢失信号指示          | 连接到 J20<br>High: 接收器信号丢失<br>LOW: 正常操作   |
| SFP_LOS_1        | U24 丢失信号指示         | 连接到 J200<br>High: 接收器信号丢失<br>LOW: 正常操作  |



## 3.15.2 管脚分配

表 3-18 FPGA U1 到 SFP+ 模块连接

| 网络名称             | FPGA 管脚号 | SFP+管脚号 |
|------------------|----------|---------|
| SFP_RX_N         | U1.AD12  | P3.12   |
| SFP_RX_P         | U1.AC12  | P3.13   |
| SFP_TX_N         | U1.AD10  | P3.19   |
| SFP_TX_P         | U1.AC10  | P3.18   |
| SFP_LOS          | U1.R23   | P3.8    |
| SFP_TX_DISABLE   | U1.R18   | P3.3    |
| SFP_IIC_SDA      | U52.20   | P3.4    |
| SFP_IIC_SCL      | U52.19   | P3.5    |
| SFP_RX_N_1       | U1.M25   | U24.12  |
| SFP_RX_P_1       | U1.M24   | U24.13  |
| SFP_TX_N_1       | U1.L23   | U24.19  |
| SFP_TX_P_1       | U1.L22   | U24.18  |
| SFP_LOS_1        | U1.R25   | U24.8   |
| SFP_TX_DISABLE_1 | U1.M20   | U24.3   |
| SFP_IIC_SDA_1    | U52.21   | U24.4   |
| SFP_IIC_SCL_1    | U52.22   | U24.5   |

## 3.16 MIPI

### 3.16.1 介绍

开发板上的 MIPI 接口采用 AXK580137YG 连接器，此连接器 80pin、0.5mm 间距。从 FPGA 引出 10 对差分，其中 2 对时钟、8 对数据；34 个单端信号以及供电电源和 GND。原理图电路如图 3-28 所示。

图 3-28 MIPI 接口原理图电路

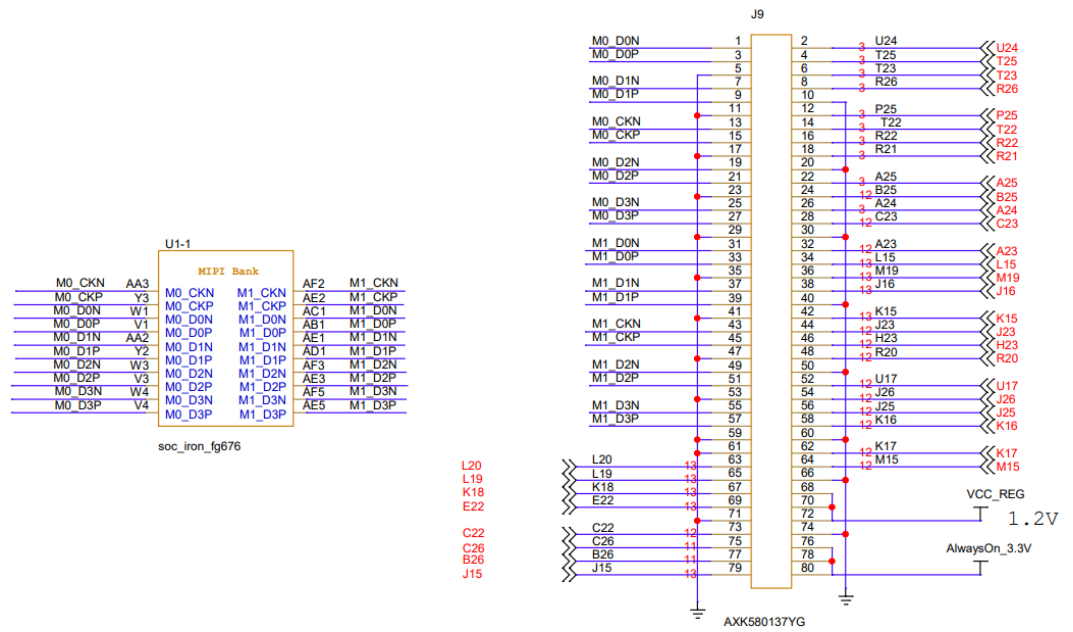


图 3-29 开发板上的 MIPI 电路



### 3.16.2 管脚分配

表 3-19 MIPI 接口管脚分配

| 信号名称   | FPGA 管脚号 | MIPI 插座管脚号 | I/O 电平 |
|--------|----------|------------|--------|
| M0_D0N | W1       | J9.1       | -      |
| M0_D0P | V1       | J9.3       | -      |
| M0_D1N | AA2      | J9.7       | -      |
| M0_D1P | Y2       | J9.9       | -      |
| M0_D2N | W3       | J9.13      | -      |
| M0_D2P | V3       | J9.15      | -      |
| M0_D3N | W4       | J9.19      | -      |
| M0_D3P | V4       | J9.21      | -      |
| M0_CKN | AA3      | J9.25      | -      |
| M0_CKP | Y3       | J9.27      | -      |
| M1_D0N | AC1      | J9.31      | -      |
| M1_D0P | AB1      | J9.33      | -      |
| M1_D1N | AE1      | J9.37      | -      |
| M1_D1P | AD1      | J9.39      | -      |
| M1_D2N | AF3      | J9.43      | -      |
| M1_D2P | AE3      | J9.45      | -      |
| M1_D3N | AF5      | J9.49      | -      |
| M1_D3P | AE5      | J9.51      | -      |
| M1_CKN | AF2      | J9.55      | -      |
| M1_CKP | AE2      | J9.57      | -      |
| L20    | L20      | J9.63      | -      |
| L19    | L19      | J9.65      | -      |
| K18    | K18      | J9.67      | -      |
| E22    | E22      | J9.69      | -      |
| C22    | C22      | J9.73      | -      |
| C26    | C26      | J9.75      | -      |
| B26    | B26      | J9.77      | -      |
| J15    | J15      | J9.79      | -      |
| U24    | U24      | J9.2       | -      |
| T25    | T25      | J9.4       | -      |
| T23    | T23      | J9.6       | -      |
| R26    | R26      | J9.8       | -      |

| 信号名称 | FPGA 管脚号 | MIPI 插座管脚号 | I/O 电平 |
|------|----------|------------|--------|
| P25  | P25      | J9.12      | -      |
| T22  | T22      | J9.14      | -      |
| R22  | R22      | J9.16      | -      |
| R21  | R21      | J9.18      | -      |
| A25  | A25      | J9.22      | -      |
| B25  | B25      | J9.24      | -      |
| A24  | A24      | J9.26      | -      |
| C23  | C23      | J9.28      | -      |
| A23  | A23      | J9.32      | -      |
| L15  | L15      | J9.34      | -      |
| M19  | M19      | J9.36      | -      |
| J16  | J16      | J9.38      | -      |
| K15  | K15      | J9.42      | -      |
| J23  | J23      | J9.44      | -      |
| H23  | H23      | J9.46      | -      |
| R20  | R20      | J9.48      | -      |
| U17  | U17      | J9.52      | -      |
| J26  | J26      | J9.54      | -      |
| J25  | J25      | J9.56      | -      |
| K16  | K16      | J9.58      | -      |
| K17  | K17      | J9.62      | -      |
| M15  | M15      | J9.64      | -      |

# 4 附录

