




DK_START_GW5AR-
LV25UG256PC2I1_V1.0

用户手册

DBUG1273-1.0, 2024-09-26

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2024/09/26	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	5
3 开发板电路	7
3.1 FPGA	7
3.1.1 概述	7
3.1.2 I/O BANK 说明	7
3.2 电源	7
3.2.1 介绍	7
3.2.2 电源分配	8
3.3 下载模块	8
3.3.1 介绍	8
3.3.2 管脚分配	9
3.4 时钟	9

3.4.1 介绍.....	9
3.4.2 管脚分配.....	9
3.5 LVDS 接口.....	10
3.5.1 介绍.....	10
3.5.2 管脚分配.....	11
3.6 MIPI 接口	12
3.6.1 介绍.....	12
3.6.2 管脚分配.....	12
3.7 以太网接口	13
3.7.1 介绍.....	13
3.7.2 管脚分配.....	14
3.8 LED&按键	15
3.8.1 介绍.....	15
3.8.2 管脚分配.....	16
3.9 GPIO	16
3.9.1 介绍.....	16
3.9.2 管脚分配.....	17
3.10 ADC 接口	21
3.10.1 介绍.....	21
3.10.2 管脚分配.....	21
3.11 USB2.0 接口.....	22
3.11.1 介绍	22
3.11.2 管脚分配.....	22

图目录

图 2-1 DK_START_GW5AR-LV25UG256PC2I1_V1.0 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	5
图 3-1 电源分配示意图	8
图 3-2 下载连接示意图	8
图 3-3 时钟连接示意图	9
图 3-4 LVDS 接口原理图	10
图 3-5 MIPI 接口原理图	12
图 3-6 以太网接口连接示意图	13
图 3-7 LED 指示灯原理图.....	15
图 3-8 按键连接示意图	16
图 3-9 GPIO 接口原理图	16
图 3-10 ADC 接口原理图.....	21
图 3-11 USB2.0 接口原理图	22

表目录

表 1-1 术语、缩略语.....	1
表 3-1 JTAG 管脚分配.....	9
表 3-2 时钟管脚分配.....	9
表 3-3 LVDS_TX 接口管脚分配.....	11
表 3-4 LVDS_RX 接口管脚分配	11
表 3-5 MIPI 接口管脚分配	12
表 3-6 Ethernet1 接口管脚分配.....	14
表 3-7 Ethernet2 接口管脚分配.....	14
表 3-8 LED 管脚分配.....	16
表 3-9 按键管脚分配.....	16
表 3-10 GPIO 接口 J11 管脚分配	17
表 3-11 GPIO 接口 J12 管脚分配	19
表 3-12 ADC 接口管脚分配	21
表 3-13 USB2.0 接口管脚分配	22

1 关于本手册

1.1 手册内容

DK_START_GW5AR-LV25UG256PC2I1_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1103, Arora V 25K FPGA 产品数据手册](#)
- [UG1110, GW5AR-25 器件 Pinout 手册](#)
- [UG1109, GW5AR 系列 FPGA 产品封装与管脚手册](#)
- [UG714, Arora V 25K FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
MIPI	Mobile Industry Processor Interface	移动产业处理器接口

术语、缩略语	全称	含义
ADC	Analog-to-digital Converter	模数转换器
JTAG	Joint Test Action Group	联合测试工作组
LDO	Low Dropout Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW5AR-LV25UG256PC2I1_V1.0 开发板



高云半导体 GW5AR 系列 FPGA 产品是高云半导体晨熙家族 5 系列产品，是一款系统级封装芯片，在 GW5A 基础上集成了 PSRAM 存储芯片，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW5AR 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

DK_START_GW5AR-LV25UG256PC2I1_V1.0 开发板适用于以太网通信，LVDS 通信和 MIPI 通信，集成 MIPI 接口、LVDS-TX 接口、LVDS-RX 接口、以太网接口，USB 接口、GPIO 接口等等，满足 FPGA 的 MIPI D-

PHY 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

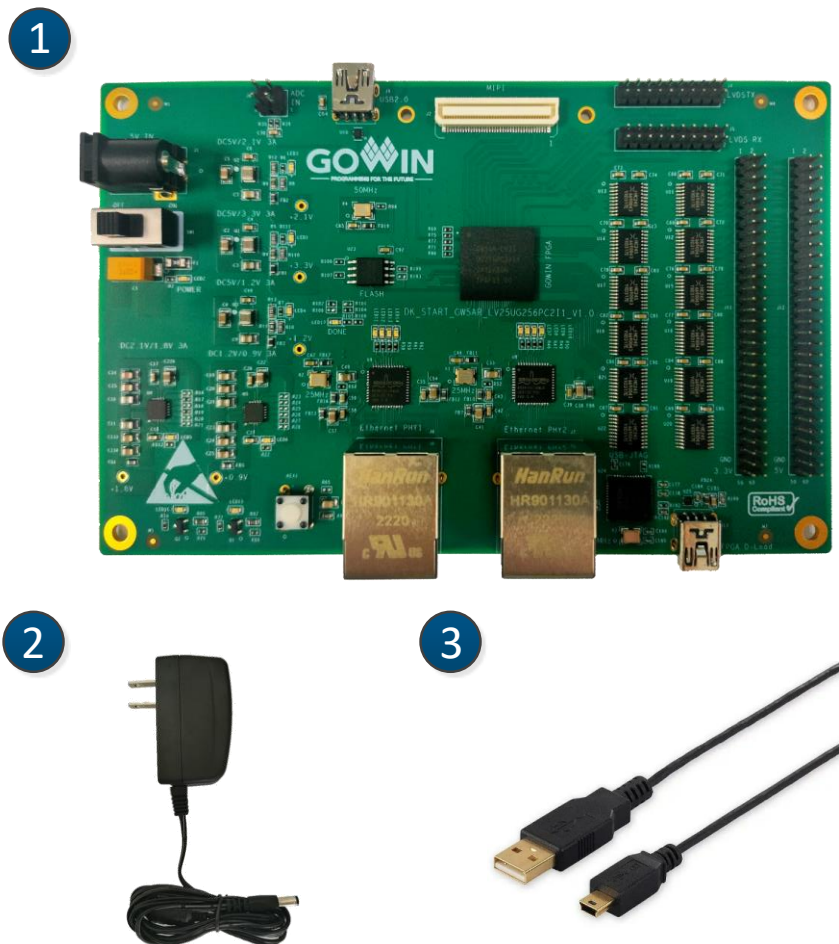
开发板采用高云的“GW5AR-LV25UG256P”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1108, Arora V 25K FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_START_GW5AR-LV25UG256PC2I1_V1.0 开发板
2. 5V 电源适配器（输入：AC 100-240V~50/60Hz 0.5A，输出：DC5V 2A）
3. Mini USB-B 下载线

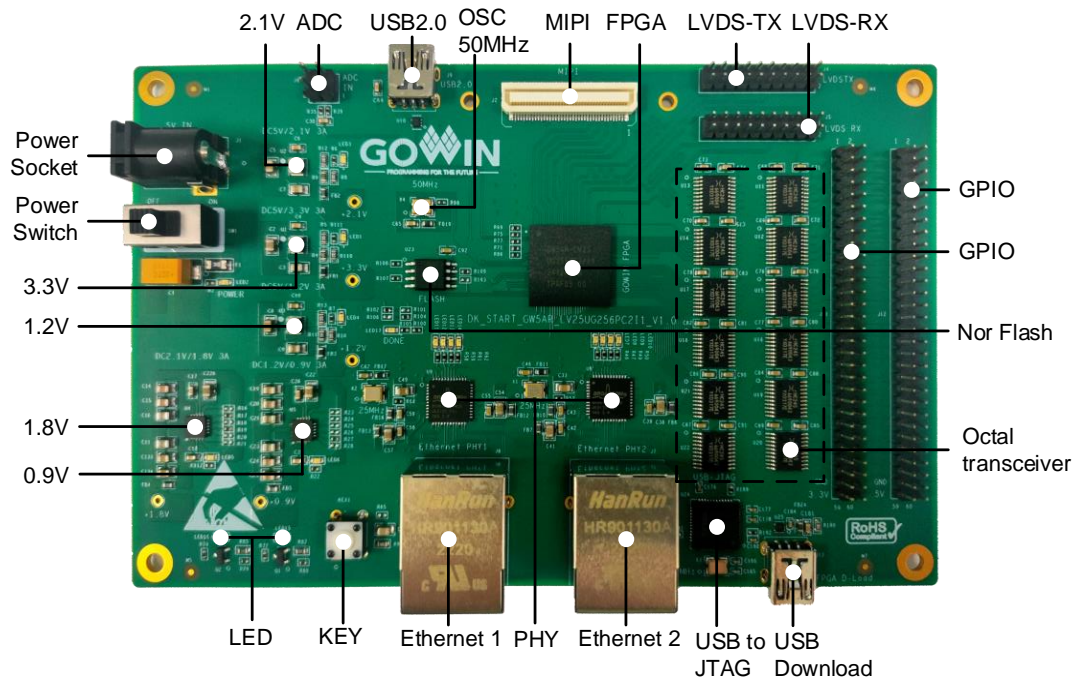
图 2-2 开发板套件



- ① DK_START_GW5AR-LV25UG256PC2I1_V1.0开发板
- ② 5V电源
- ③ Mini USB-B下载线

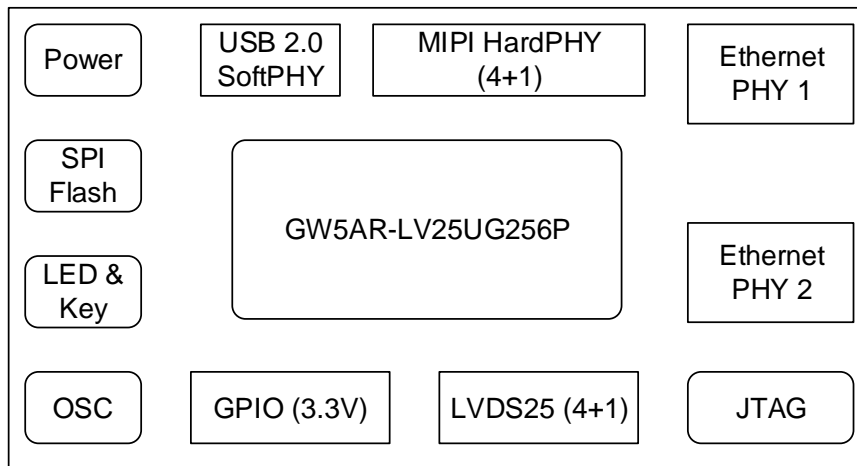
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- FPGA 器件
 - 高云 GW5AR-LV25UG256P 的 FPGA
 - 最多用户 I/O 178 个

- 下载与启动
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外部 SPI FLASH 启动
- 供电方式
 - 外部 DC5V 2A 供电
 - 上电后，POWER 灯亮
 - 开发板产生 3.3V、2.1V、1.8V、1.2V、0.9V 电源
- 系统时钟
 - 50MHz 时钟
- 存储器件
 - 64Mbit NOR Flash
- 以太网接口
 - 2 路以太网接口
 - RGMII 接口，支持 10BASE-T/100BASE-TX/1000BASE-T
 - 采用 RJ45 连接器，内部集成网络变压器
- MIPI 接口
 - MIPI_RX/TX 硬核，单通道，包括 4data+1clk
 - 4*GPIO
 - 3.3V 电源供电
 - 采用 80 触点，0.5mm 间距连接器
- LVDS 接口
 - 1 路 LVDS-TX 接口，单通道，包括 4data+1clk
 - 1 路 LVDS-RX 接口，单通道，包括 4data+1clk
- USB2.0 接口
 - Mini USB-B 接口，带静电防护
- ADC 接口
 - 1 路 ADC 接口
 - 接口采用 2x2p 插针
 - ADC 差分输入设计了抗混叠滤波电路
- LED&按键
 - 2 个 LED 指示灯
 - 1 个按键
- GPIO
 - 96 个 5V 电平输出信号

3 开发板电路

3.1 FPGA

3.1.1 概述

GW5AR 系列 FPGA 产品资源信息参考 [DS1103, Arora V 25K FPGA 产品数据手册](#)。

3.1.2 I/O BANK 说明

GW5AR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1109, GW5AR 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

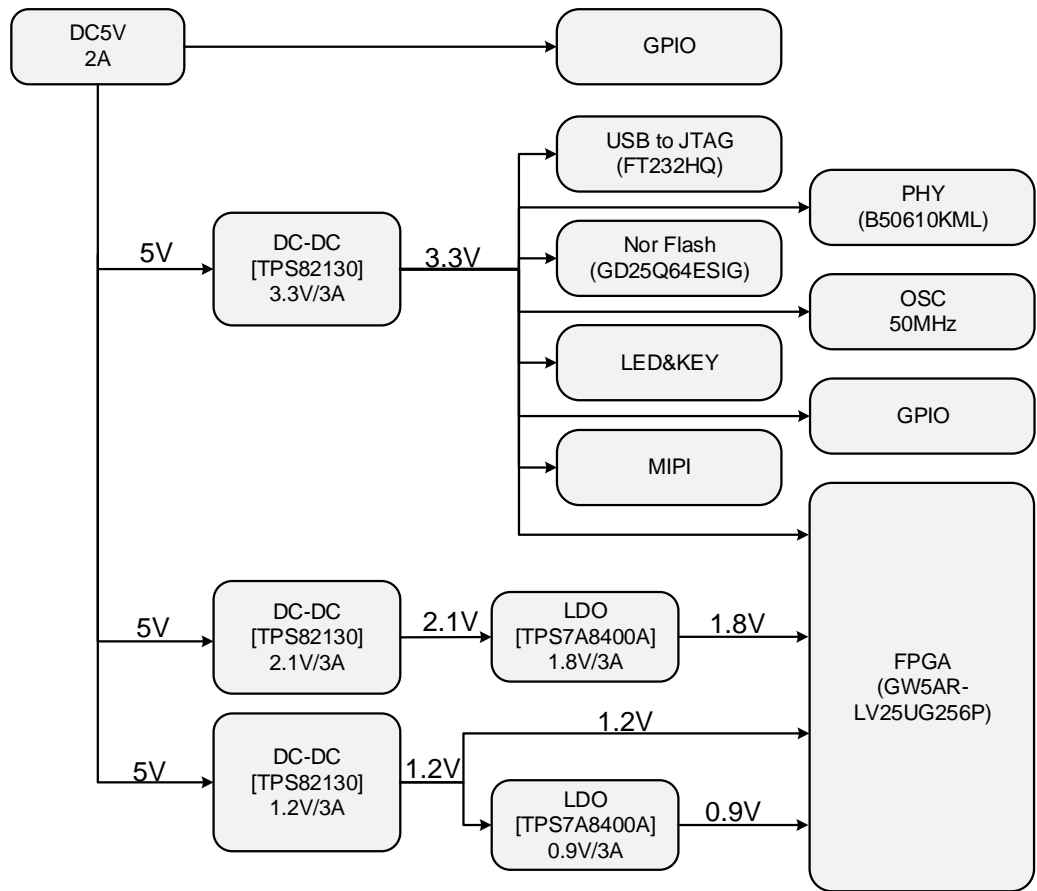
开发板需要通过 5V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.5A，输出：DC5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、2.1V、1.8V、1.2V、0.9V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



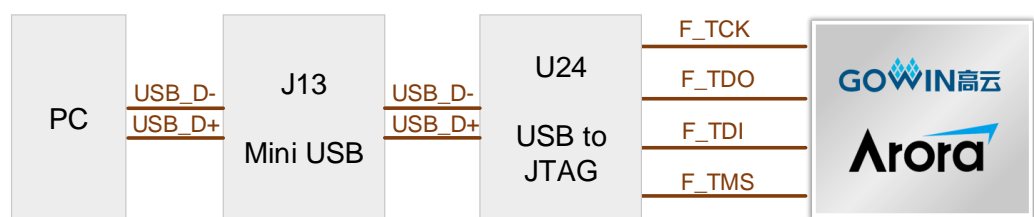
3.3 下载模块

3.3.1 介绍

开发板设计有 Mini USB-B 下载口（J13），可将程序烧录到外部 SPI FLASH 或下载到 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

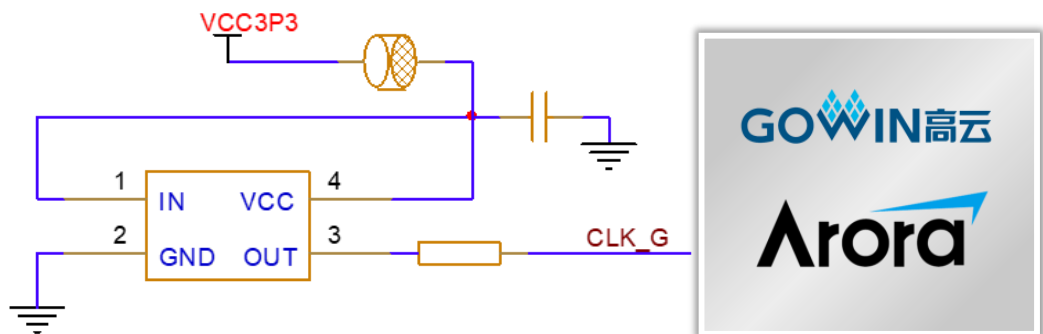
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
JTAG_TCK	R13	10	3.3V	JTAG 信号
JTAG_TDO	T15	10	3.3V	
JTAG_TDI	R14	10	3.3V	
JTAG_TMS	T14	10	3.3V	

3.4 时钟

3.4.1 介绍

FPGA 时钟源，50MHz 单端时钟信号引入。时钟连接原理图如图 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_G	H2	5	3.3V	50MHz 单端时钟

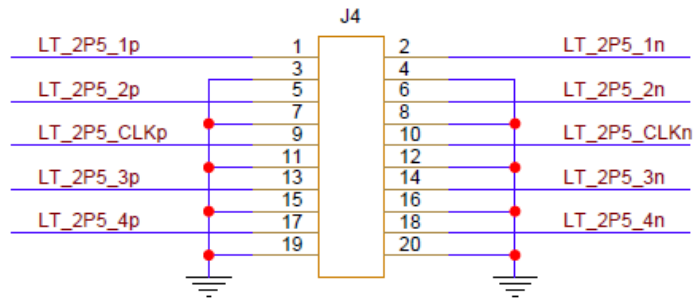
3.5 LVDS 接口

3.5.1 介绍

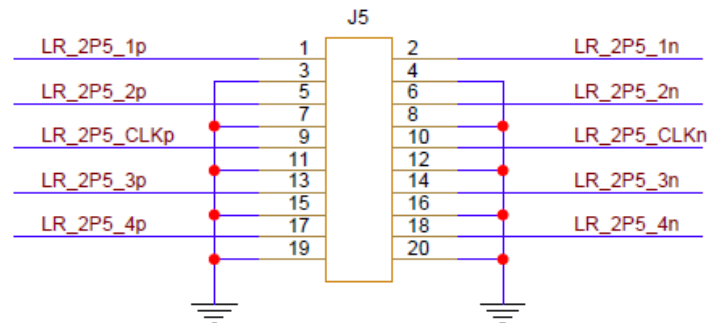
开发板配有 LVDS 收发两部分接口，其连接器均为 2x10P 的 2.0mm 间距排针，LVDS_TX 包含：4 data + 1 clk；LVDS_RX 包含：4 data + 1 clk。接口电路图如下图所示。

图 3-4 LVDS 接口原理图

LVDS TX



LVDS RX



3.5.2 管脚分配

表 3-3 LVDS_TX 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LT_2P5_1p	B10	6	3.3V	LVDS 数据
LT_2P5_1n	A10	6	3.3V	LVDS 数据
LT_2P5_2p	C9	6	3.3V	LVDS 数据
LT_2P5_2n	D9	6	3.3V	LVDS 数据
LT_2P5_CLKp	B9	6	3.3V	LVDS 时钟
LT_2P5_CLKn	A9	6	3.3V	LVDS 时钟
LT_2P5_3p	C8	6	3.3V	LVDS 数据
LT_2P5_3n	D8	6	3.3V	LVDS 数据
LT_2P5_4p	A8	6	3.3V	LVDS 数据
LT_2P5_4n	B8	6	3.3V	LVDS 数据

表 3-4 LVDS_RX 接口管脚分配

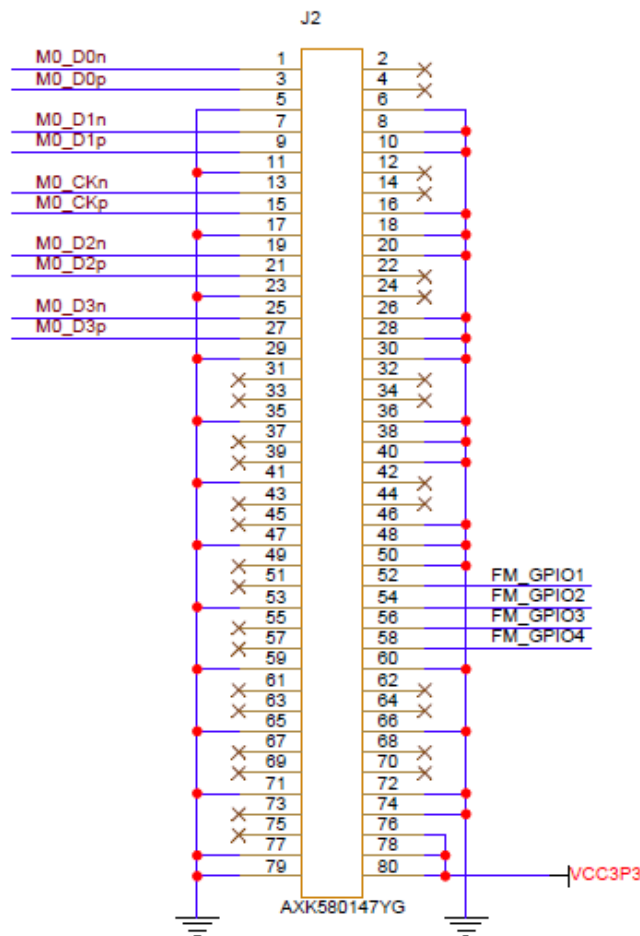
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LR_2P5_1p	B13	6	3.3V	LVDS 数据
LR_2P5_1n	A13	6	3.3V	LVDS 数据
LR_2P5_2p	D11	6	3.3V	LVDS 数据
LR_2P5_2n	C11	6	3.3V	LVDS 数据
LR_2P5_CLKp	B14	6	3.3V	LVDS 时钟
LR_2P5_CLKn	A14	6	3.3V	LVDS 时钟
LR_2P5_3p	B11	6	3.3V	LVDS 数据
LR_2P5_3n	B12	6	3.3V	LVDS 数据
LR_2P5_4p	A11	6	3.3V	LVDS 数据
LR_2P5_4n	A12	6	3.3V	LVDS 数据

3.6 MIPI 接口

3.6.1 介绍

开发板上的 MIPI 接口采用 80pin、0.5mm 间距的 AXK580147YG 连接器。从 FPGA 引出 MIPI DPHY RX/TX 硬核信号(4 data + 1 clk)和 4 个 GPIO。接口电路图如图 3-5 所示。

图 3-5 MIPI 接口原理图



3.6.2 管脚分配

表 3-5 MIPI 接口管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
M0_D0n	B7	MIPI	-	MIPI 数据信号
M0_D0p	A7	MIPI	-	MIPI 数据信号
M0_D1n	B6	MIPI	-	MIPI 数据信号
M0_D1p	A6	MIPI	-	MIPI 数据信号

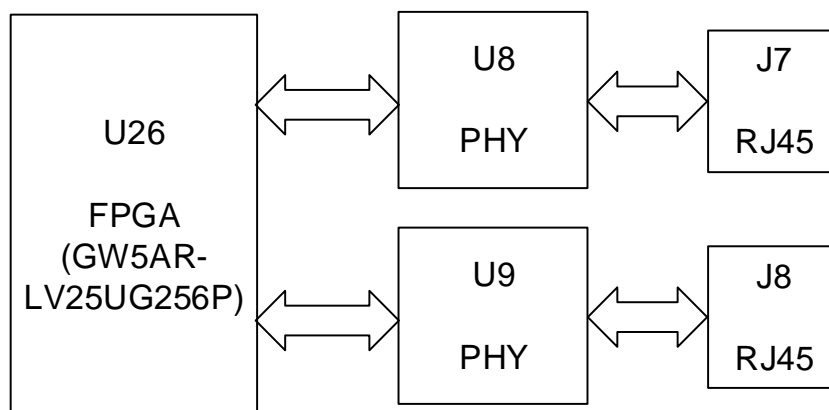
信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
M0_CKn	B5	MIPI	-	MIPI 时钟信号
M0_CKp	A5	MIPI	-	MIPI 时钟信号
M0_D2n	B4	MIPI	-	MIPI 数据信号
M0_D2p	A4	MIPI	-	MIPI 数据信号
M0_D3n	B3	MIPI	-	MIPI 数据信号
M0_D3p	A3	MIPI	-	MIPI 数据信号
FM_GPIO1	D5	5	3.3V	GPIO
FM_GPIO2	E5	5	3.3V	GPIO
FM_GPIO3	F5	5	3.3V	GPIO
FM_GPIO4	G5	5	3.3V	GPIO

3.7 以太网接口

3.7.1 介绍

开发板提供了两路以太网，支持 RGMII（10BASE-T/100BASE-TX/1000BASE-T）接口。使用 RJ45 连接器，内部集成网络变压器。连接示意图如图 3-6 所示。

图 3-6 以太网接口连接示意图



3.7.2 管脚分配

表 3-6 Ethernet1 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_TXD0	H1	5	3.3V	RGMII 发送数据
PHY1_TXD1	H3	4	3.3V	RGMII 发送数据
PHY1_TXD2	H4	4	3.3V	RGMII 发送数据
PHY1_TXD3	J1	4	3.3V	RGMII 发送数据
PHY1_GTXCLK	F3	5	3.3V	RGMII 发送时钟
PHY1_TXEN	J3	4	3.3V	RGMII 发送数据使能
PHY1_RXD0	K1	4	3.3V	RGMII 接收数据
PHY1_RXD1	K2	4	3.3V	RGMII 接收数据
PHY1_RXD2	M1	4	3.3V	RGMII 接收数据
PHY1_RXD3	M2	4	3.3V	RGMII 接收数据
PHY1_RXC	J2	4	3.3V	RGMII 接收时钟
PHY1_RXDV	N1	4	3.3V	RGMII 接收数据使能
PHY_MDIO	G1	5	3.3V	管理通道数据
PHY_MDC	F2	5	3.3V	管理通道时钟
PHY_RST_N	G2	5	3.3V	复位信号

表 3-7 Ethernet2 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY2_TXD0	T3	2	3.3V	RGMII 发送数据
PHY2_TXD1	T4	2	3.3V	RGMII 发送数据
PHY2_TXD2	J4	4	3.3V	RGMII 发送数据
PHY2_TXD3	R5	2	3.3V	RGMII 发送数据
PHY2_GTXCLK	T2	2	3.3V	RGMII 发送时钟
PHY2_TXEN	N5	3	3.3V	RGMII 发送数据使能
PHY2_RXD0	K5	3	3.3V	RGMII 接收数据
PHY2_RXD1	J5	3	3.3V	RGMII 接收数据
PHY2_RXD2	T6	2	3.3V	RGMII 接收数据
PHY2_RXD3	R6	2	3.3V	RGMII 接收数据

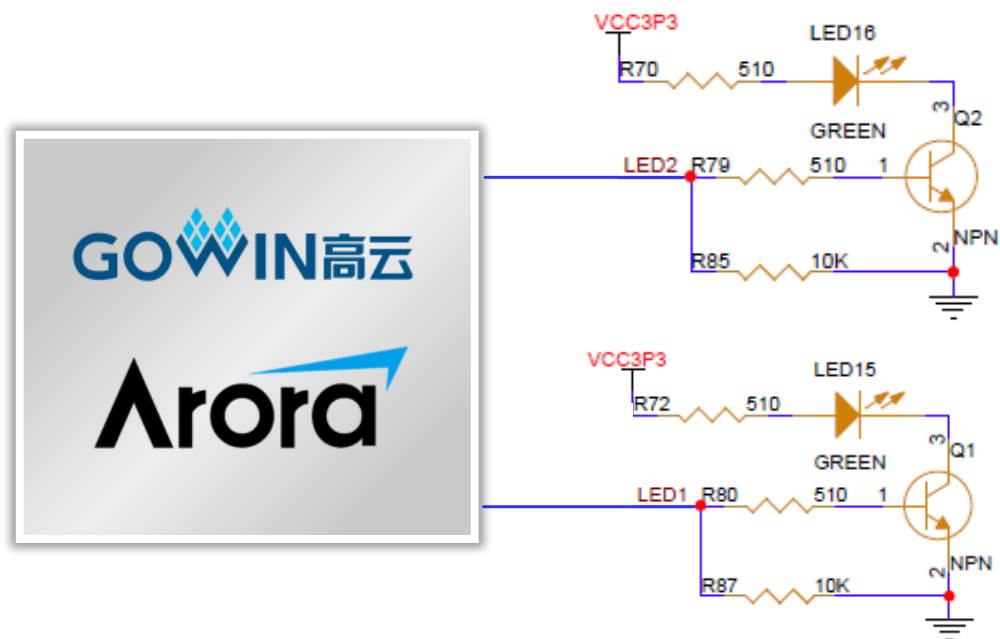
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY2_RXC	T5	2	3.3V	RGMII 接收时钟
PHY2_RXDV	P6	2	3.3V	RGMII 接收数据使能
PHY_MDIO	G1	5	3.3V	管理通道数据
PHY_MDC	F2	5	3.3V	管理通道时钟
PHY_RST_N	G2	5	3.3V	复位信号

3.8 LED&按键

3.8.1 介绍

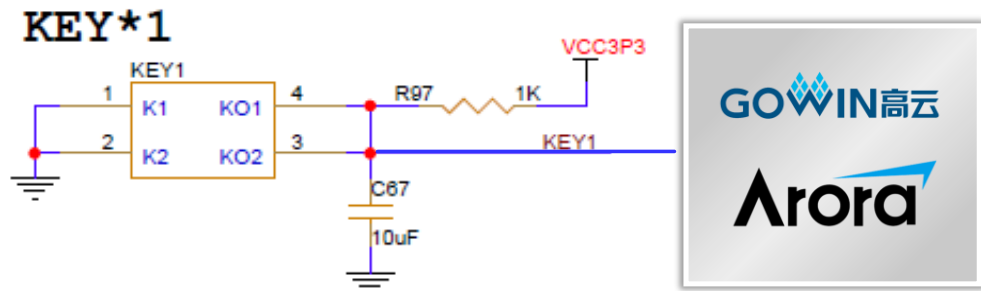
开发板共有 2 个用户 LED，连接 FPGA BANK5 的 IO，可以通过程序来控制亮和灭，当对应 IO 电压为高时，用户 LED 点亮，当连接 IO 电压为低时，用户 LED 熄灭。连接示意图如图 3-7 所示。

图 3-7 LED 指示灯原理图



开发板上有 1 个用户按键，连接 FPGA BANK0 的普通 IO。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。按键电路配有硬件消抖功能。连接示意图如图 3-8 所示。

图 3-8 按键连接示意图



3.8.2 管脚分配

表 3-8 LED 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LED1	F4	5	3.3V	LED 指示灯
LED2	D4	5	3.3V	LED 指示灯

表 3-9 按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
KEY1	K15	0	3.3V	按键

3.9 GPIO

3.9.1 介绍

开发板上 FPGA 通过总线收发器连接 J11、J12 接口，对外引出 5V 电平输出的 GPIO。GPIO 接口原理图如下图所示。

图 3-9 GPIO 接口原理图



3.9.2 管脚分配

表 3-10 GPIO 接口 J11 管脚分配

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	O_D1	H5	5	3.3V	输出
2	O_D2	E6	5	3.3V	输出
3	O_D3	F6	5	3.3V	输出
4	O_D4	C6	6	3.3V	输出
5	O_D5	D6	6	3.3V	输出
6	O_D6	E7	6	3.3V	输出
7	O_D7	F7	6	3.3V	输出
8	O_D8	E8	6	3.3V	输出
9	O_D9	A15	6	3.3V	输出
10	O_D10	B16	6	3.3V	输出
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	O_D11	C15	7	3.3V	输出
14	O_D12	C16	7	3.3V	输出
15	O_D13	D15	7	3.3V	输出
16	O_D14	D16	7	3.3V	输出
17	O_D15	E15	7	3.3V	输出
18	O_D16	E16	7	3.3V	输出
19	O_D17	G16	7	3.3V	输出
20	O_D18	H14	7	3.3V	输出
21	O_D19	J16	7	3.3V	输出
22	O_D20	J15	7	3.3V	输出
23	GND	-	-	-	GND
24	GND	-	-	-	GND
25	O_D21	K16	0	3.3V	输出
26	O_D22	L16	0	3.3V	输出
27	O_D23	L15	0	3.3V	输出

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
28	O_D24	M16	0	3.3V	输出
29	O_D25	N16	0	3.3V	输出
30	O_D26	N15	0	3.3V	输出
31	O_D27	P16	0	3.3V	输出
32	O_D28	P15	0	3.3V	输出
33	O_D29	R16	0	3.3V	输出
34	O_D30	T13	2	3.3V	输出
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	O_D31	R12	2	3.3V	输出
38	O_D32	T12	2	3.3V	输出
39	O_D33	R11	2	3.3V	输出
40	O_D34	T11	2	3.3V	输出
41	O_D35	R10	2	3.3V	输出
42	O_D36	T10	2	3.3V	输出
43	O_D37	T9	2	3.3V	输出
44	O_D38	R9	2	3.3V	输出
45	O_D39	T8	2	3.3V	输出
46	O_D40	R8	2	3.3V	输出
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	O_D41	N9	2	3.3V	输出
50	O_D42	M9	0	3.3V	输出
51	O_D43	M8	3	3.3V	输出
52	O_D44	P8	2	3.3V	输出
53	O_D45	N8	2	3.3V	输出
54	O_D46	N6	2	3.3V	输出
55	O_D47	T7	2	3.3V	输出
56	O_D48	R7	2	3.3V	输出
57	GND	-	-	-	GND

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
58	GND	-	-	-	GND
59	VCC3P3	-	-	3.3V	POWER
60	VCC3P3	-	-	3.3V	POWER

表 3-11 GPIO 接口 J12 管脚分配

J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	O_D49	F8	6	3.3V	输出
2	O_D50	E9	7	3.3V	输出
3	O_D51	F9	7	3.3V	输出
4	O_D52	E10	7	3.3V	输出
5	O_D53	F10	7	3.3V	输出
6	O_D54	E11	7	3.3V	输出
7	O_D55	F11	7	3.3V	输出
8	O_D56	G11	7	3.3V	输出
9	O_D57	C14	7	3.3V	输出
10	O_D58	D12	7	3.3V	输出
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	O_D59	D14	7	3.3V	输出
14	O_D60	F13	7	3.3V	输出
15	O_D61	F14	7	3.3V	输出
16	O_D62	F15	7	3.3V	输出
17	O_D63	F16	7	3.3V	输出
18	O_D64	G15	7	3.3V	输出
19	O_D65	J12	7	3.3V	输出
20	O_D66	J13	7	3.3V	输出
21	O_D67	J14	7	3.3V	输出
22	O_D68	K12	0	3.3V	输出
23	GND	-	-	-	GND
24	GND	-	-	-	GND

J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
25	O_D69	L13	0	3.3V	输出
26	O_D70	L14	0	3.3V	输出
27	O_D71	L12	0	3.3V	输出
28	O_D72	M15	0	3.3V	输出
29	O_D73	J11	0	3.3V	输出
30	O_D74	K11	0	3.3V	输出
31	O_D75	L11	0	3.3V	输出
32	O_D76	M12	0	3.3V	输出
33	O_D77	N12	0	3.3V	输出
34	O_D78	N13	0	3.3V	输出
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	O_D79	N14	0	3.3V	输出
38	O_D80	P14	0	3.3V	输出
39	O_D81	K10	0	3.3V	输出
40	O_D82	M11	0	3.3V	输出
41	O_D83	L9	0	3.3V	输出
42	O_D84	N11	2	3.3V	输出
43	O_D85	P11	2	3.3V	输出
44	O_D86	M10	0	3.3V	输出
45	O_D87	L10	0	3.3V	输出
46	O_D88	P9	2	3.3V	输出
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	O_D89	K6	3	3.3V	输出
50	O_D90	K8	3	3.3V	输出
51	O_D91	L7	3	3.3V	输出
52	O_D92	L8	3	3.3V	输出
53	O_D93	L6	3	3.3V	输出
54	O_D94	M7	3	3.3V	输出

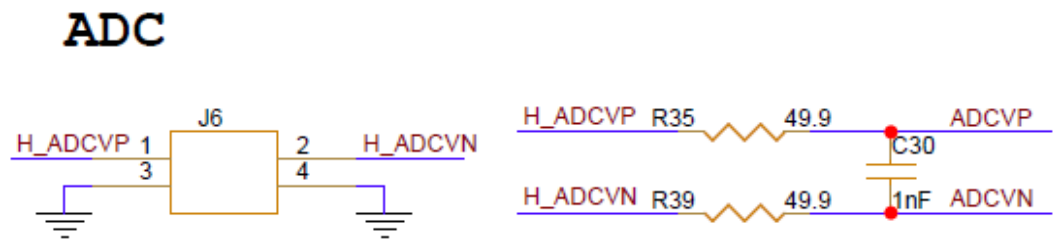
J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
55	O_D95	M6	3	3.3V	输出
56	O_D96	K9	0	3.3V	输出
57	GND	-	-	-	GND
58	GND	-	-	-	GND
59	VCC5P0	-	-	5V	POWER
60	VCC5P0	-	-	5V	POWER

3.10 ADC 接口

3.10.1 介绍

开发板上设计了 ADC 信号输入接口，连接器使用的是 2x2P 的 2.54mm 间距排针。图 3-10 为 ADC 接口原理图和抗混叠滤波电路。

图 3-10 ADC 接口原理图



3.10.2 管脚分配

表 3-12 ADC 接口管脚分配

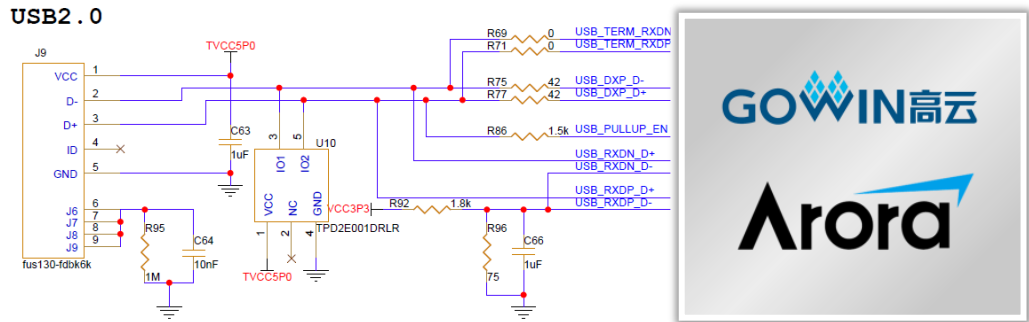
信号名称	FPGA 管脚号	BANK	IO 电平	描述
H_ADCVP	R3	3	3.3V	模拟信号输入
H_ADCVN	R4	3	3.3V	模拟信号输入

3.11 USB2.0 接口

3.11.1 介绍

开发板通过采用 Mini USB-B 连接器实现 USB2.0 接口，设计有 ESD 保护电路，用于 FPGA 与外部通信。

图 3-11 USB2.0 接口原理图



3.11.2 管脚分配

表 3-13 USB2.0 接口管脚分配

信号名称	FPGA (U1) 管脚号	BANK	IO 电平	描述
USB_TERM_RXDN	C2	5	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_TERM_RXDP	C3	5	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_DXP_D-	B1	5	3.3V	USB 高速时数据管脚
USB_DXP_D+	C1	5	3.3V	USB 高速时数据管脚
USB_PULLUP_EN	F1	5	3.3V	上拉
USB_RXDN_D+	D3	5	3.3V	USB-信号
USB_RXDN_D-	D2	5	3.3V	USB+端参考信号
USB_RXDP_D+	E1	5	3.3V	USB+信号
USB_RXDP_D-	D1	5	3.3V	USB-端参考信号

