



DK_DP_GW5AT-LV60UG225_V1.0

用户手册

DEBUG1274-1.0.1, 2025-02-07

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/10/18	1.0	初始版本。
2025/02/07	1.0.1	更新“表 3-5 DP-TX 接口管脚分配”和“表 3-6 DP-RX 接口管脚分配”的 Bank 信息。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	7
3.1 FPGA	7
3.2 电源	7
3.2.1 介绍	7
3.2.2 电源分配	8
3.3 下载模块	9
3.3.1 介绍	9
3.3.2 管脚分配	9
3.4 时钟	9
3.4.1 介绍	9
3.4.2 管脚分配	10

3.5 DDR3 模块	10
3.5.1 介绍	10
3.5.2 管脚分配	11
3.6 DP 接口	13
3.6.1 介绍	13
3.6.2 管脚分配	14
3.7 MIPI 接口	15
3.7.1 介绍	15
3.7.2 管脚分配	16
3.8 I2C 接口	21
3.8.1 介绍	21
3.8.2 管脚分配	21
3.9 按键&指示灯	21
3.9.1 介绍	21
3.9.2 管脚分配	22
3.10 GPIO	23
3.10.1 介绍	23
3.10.2 管脚分配	23

图目录

图 2-1 DK_DP_GW5AT-LV60UG225_V1.0 开发板.....	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	5
图 3-1 电源分配示意图	8
图 3-2 下载连接示意图	9
图 3-3 时钟连接示意图	10
图 3-4 DDR3 的硬件连接示意图	11
图 3-5 DP-TX 接口连接示意图	13
图 3-6 DP-RX 接口连接示意图.....	13
图 3-7 MIPI CPHY&DPHY 硬核接口连接示意图.....	16
图 3-8 MIPI DPHY 软核接口连接示意图	16
图 3-9 I2C 接口连接示意图	21
图 3-10 按键连接示意图	22
图 3-11 指示灯连接示意图.....	22
图 3-12 GPIO 连接示意图	23

表目录

表 1-1 术语、缩略语.....	1
表 3-1 JTAG 管脚分配.....	9
表 3-2 时钟管脚分配.....	10
表 3-3 DDR3 配置	10
表 3-4 DDR3 模块管脚分配.....	11
表 3-5 DP-TX 接口管脚分配.....	14
表 3-6 DP-RX 接口管脚分配	14
表 3-7 MIPI CPHY&DPHY 硬核接口管脚分配	16
表 3-8 MIPI DPHY 软核接口管脚分配.....	19
表 3-9 I2C-1 接口 J21 管脚分配	21
表 3-10 按键管脚分配.....	22
表 3-11 指示灯管脚分配	23
表 3-12 GPIO 接口管脚分配.....	23

1 关于本手册

1.1 手册内容

DK_DP_GW5AT-LV60UG225_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [UG1222, GW5AT-60 器件 Pinout 手册](#)
- [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)
- [UG718, Arora V 60K FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
DP	Display Port	显示端口

术语、缩略语	全称	含义
DDR	Double Data Rate	双倍速率
JTAG	Joint Test Action Group	联合测试工作组
I2C	Inter-Integrated Circuit	两线式串行总线
LDO	Low Dropout Regulator	低压差线性稳压器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

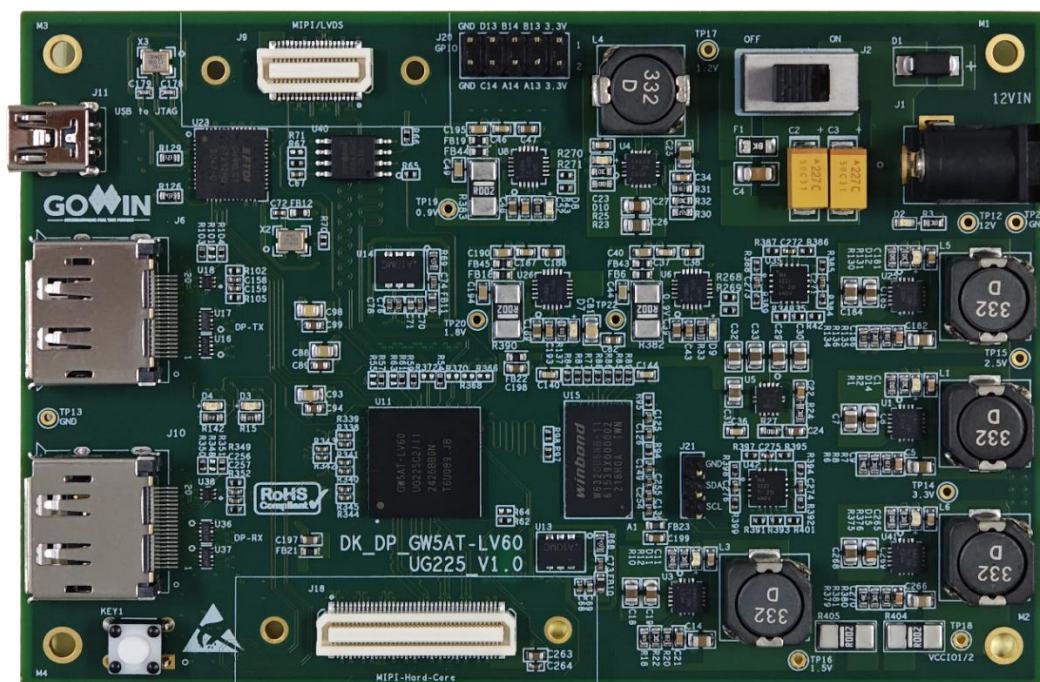
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_DP_GW5AT-LV60UG225_V1.0 开发板



高云半导体 GW5AT 系列 FPGA 产品是高云半导体晨熙家族 5 系列产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

DK_DP_GW5AT-LV60UG225_V1.0 开发板适用于 DDR3 高速存储，DP 和 MIPI 高速通信，开发板集成 DP-RX 接口、DP-TX 接口、MIPI CPHY 接口、MIPI DPHY 接口、GPIO 接口等，满足 FPGA 的 MIPI C-PHY、MIPI D-PHY 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

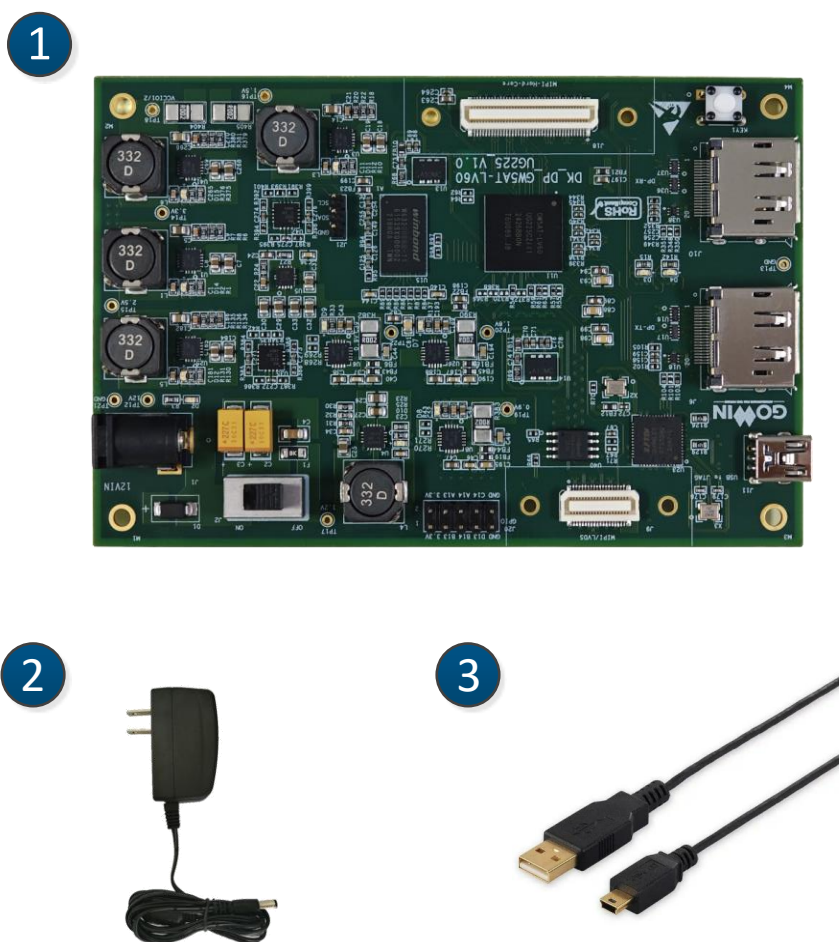
开发板采用高云的“GW5AT-LV60UG225”型号的 FPGA 器件，芯片内部资源具体请查看 [DS981](#)，[GW5AT 系列 FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_DP_GW5AT-LV60UG225_V1.0 开发板
2. 12V 电源适配器 (输入：AC 100-240V~50/60Hz 0.6A，输出：DC12V 2A)
3. Mini USB-B 下载线

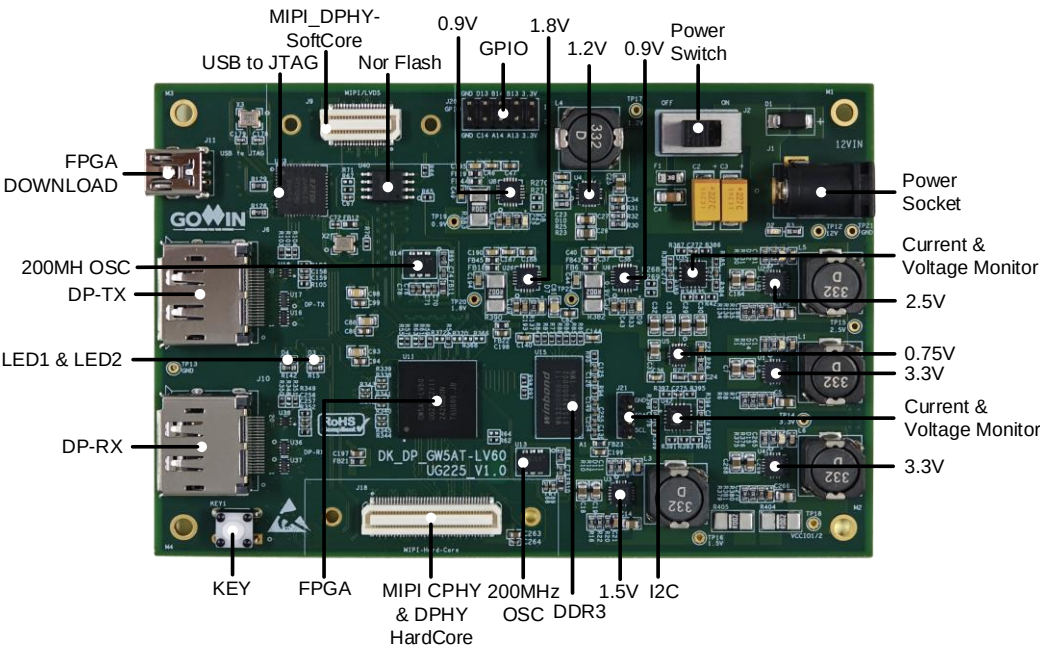
图 2-2 开发板套件



- ① DK_DP_GW5AT-LV60UG225_V1.0开发板
- ② 12V电源适配器
- ③ Mini USB-B下载线

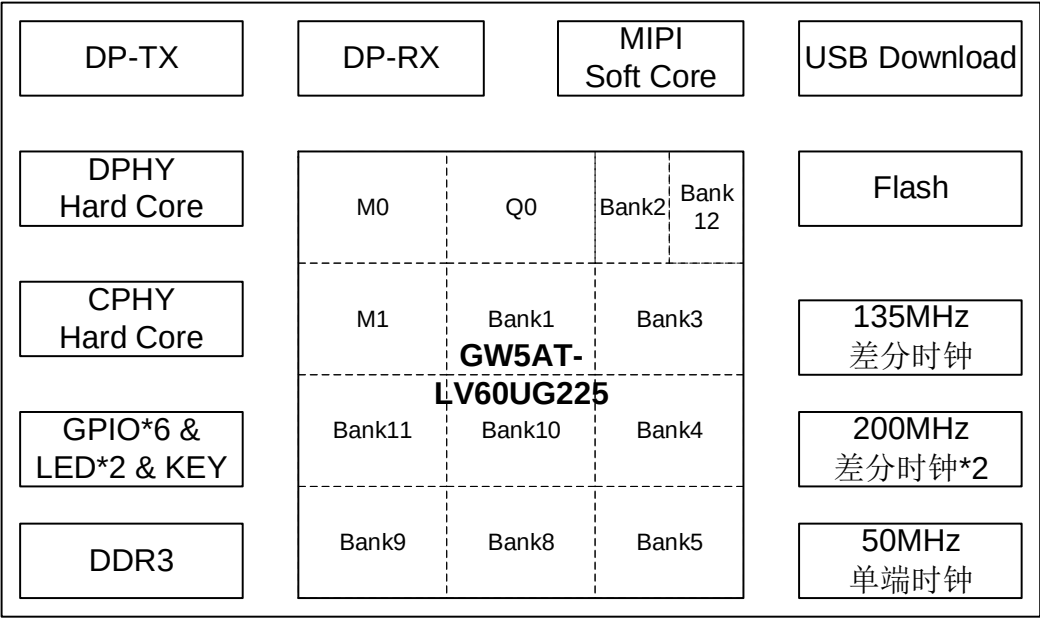
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 高云 GW5AT-LV60UG225 的 FPGA
 - 最多用户 I/O 113 个
- **下载与启动**
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外部 SPI FLASH 启动
- **供电方式**
 - 外部 DC12V/2A 供电
 - 上电后，POWER 灯亮
 - 开发板产生 3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、0.75V 电源
- **时钟系统**
 - 一路 50MHz 时钟
 - 一路 135MHz 差分时钟
 - 两路 200MHz 差分时钟
- **存储器件**
 - 2Gbit DDR3 SDRAM
 - 64Mbit NOR Flash
- **DP 接口**
 - 一路 DP-TX 接口
 - 一路 DP-RX 接口
 - 采用 Display Port 连接器
- **MIPI 接口**
 - 一路 CPHY 硬核接口，包括 3*三线 data
 - 一路 DPHY 硬核接口，包括 4data+1clk
 - 一路 DPHY 软核接口，包括 8data+1clk
- **I2C 接口**
 - 一路 I2C 接口
- **按键&指示灯**
 - 一个按键
 - 两个 LED 指示灯
- **GPIO**
 - 十四个 3.3V 电平标准的 GPIO

3 开发板电路

3.1 FPGA

概述

GW5AT 系列 FPGA 产品资源信息参考 [DS981, GW5AT 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW5AT 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

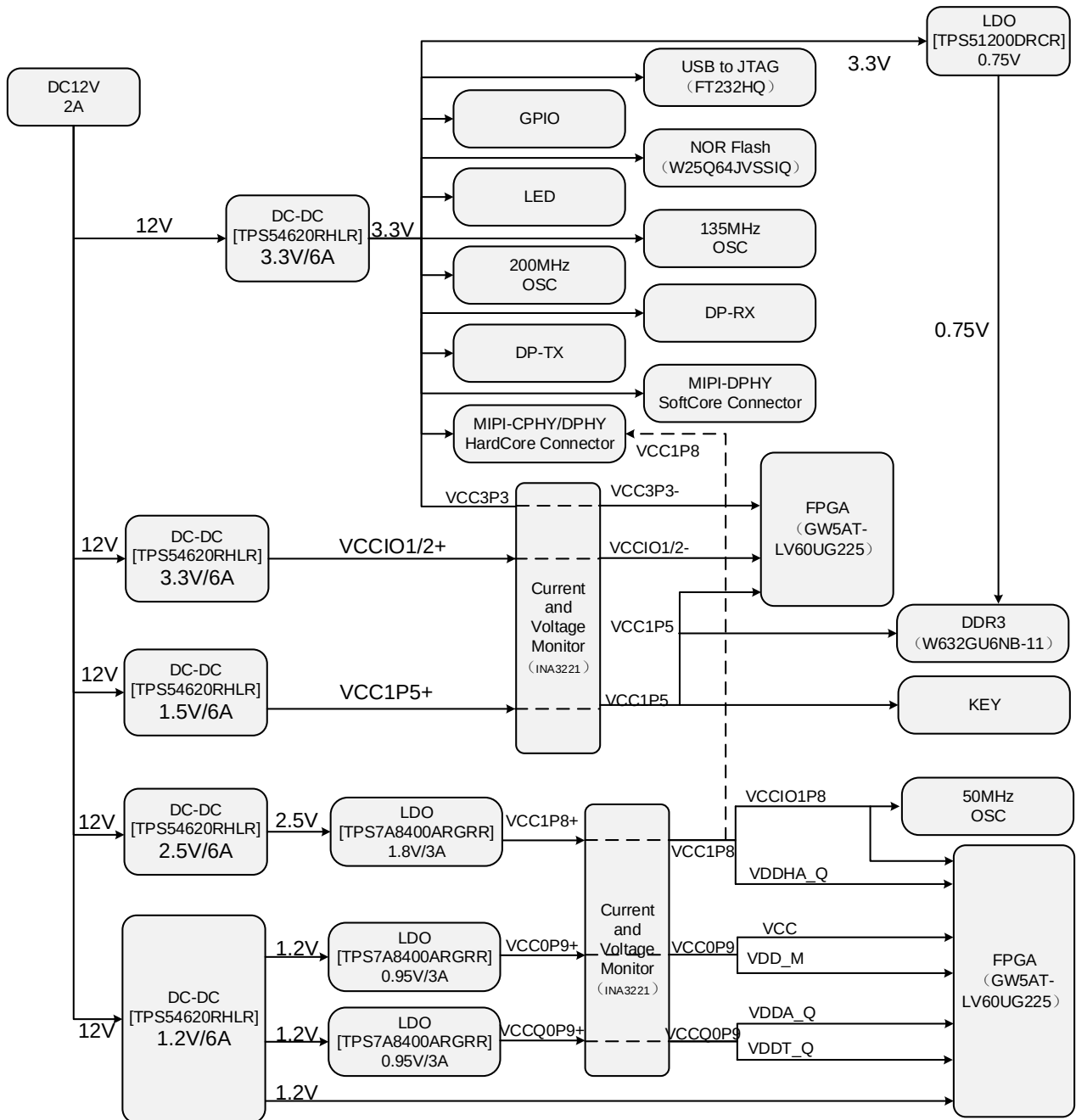
开发板需要通过 12V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.6A，输出：DC12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、0.75V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



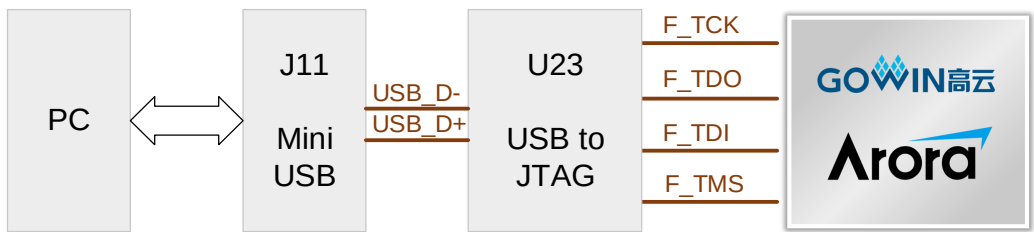
3.3 下载模块

3.3.1 介绍

开发板设计有 Mini USB-B 下载口（J11），可将程序烧录到外部 SPI FLASH 或下载到 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_TCK	C15	12	3.3V	JTAG 信号
F_TDO	D15	12	3.3V	
F_TDI	B15	12	3.3V	
F_TMS	E15	12	3.3V	

3.4 时钟

3.4.1 介绍

开发板上提供多种 FPGA 时钟源，包括一路 50MHz 单端时钟，一路 135MHz 差分时钟和两路 200MHz 差分时钟，其中 135MHz 差分时钟和一路 200MHz 差分时钟连接到 FPGA SERDES 高速时钟引脚。时钟管脚分配如图 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_CLK_50M	H5	10	1.8V	50MHz 单端时钟
F_CLK_200M_P	K5	10	1.8V	200MHz 差分时钟
F_CLK_200M_N	J5	10	1.8V	200MHz 差分时钟
Q0_135MHz_P	B5	Q0	-	135M 差分时钟
Q0_135MHz_N	A5	Q0	-	135M 差分时钟
Q0_200MHz_P	D10	Q0	-	200MHz 差分时钟
Q0_200MHz_N	C10	Q0	-	200MHz 差分时钟

3.5 DDR3 模块

3.5.1 介绍

开发板上配有 1 个 2Gbit 的 DDR3 芯片。DDR3 芯片的信号连接到 FPGA 的 BANK8、BANK9 上。DDR3 的具体配置如表 3-3 所示。

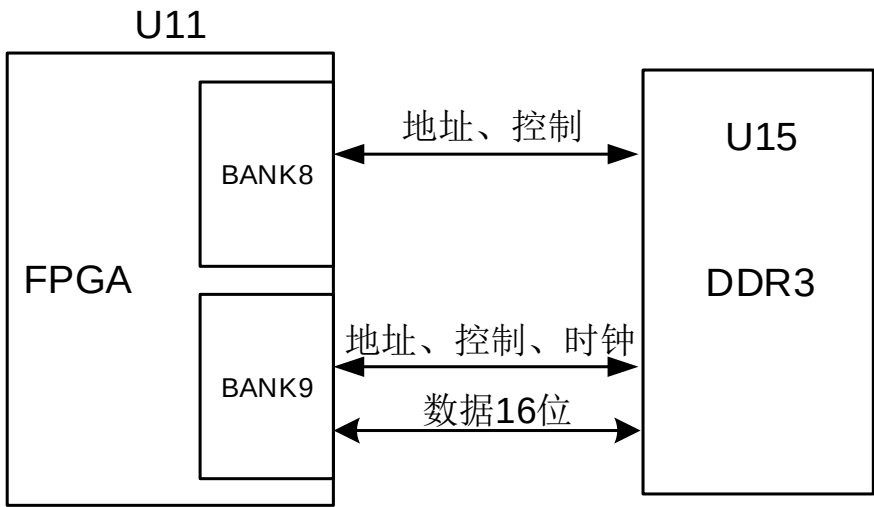
表 3-3 DDR3 配置

位号	容量
U15	128M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，在电路设计和 PCB 设计时已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制等，以保证 DDR3 高速稳定的工作。

DDR3 的硬件连接示意图如图 3-4 所示。

图 3-4 DDR3 的硬件连接示意图



3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_A0	L7	9	1.5V	地址
DDR3_A1	M11	8	1.5V	地址
DDR3_A2	N11	8	1.5V	地址
DDR3_A3	N10	8	1.5V	地址
DDR3_A4	L10	8	1.5V	地址
DDR3_A5	M10	8	1.5V	地址
DDR3_A6	L8	9	1.5V	地址
DDR3_A7	N12	8	1.5V	地址
DDR3_A8	M9	9	1.5V	地址
DDR3_A9	R13	8	1.5V	地址
DDR3_A10	P13	8	1.5V	地址
DDR3_A11	K10	8	1.5V	地址
DDR3_A12	R14	8	1.5V	地址
DDR3_A13	P9	9	1.5V	地址
DDR3_BA0	N2	9	1.5V	Bank 地址
DDR3_BA1	P11	8	1.5V	Bank 地址

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_BA2	L6	9	1.5V	Bank 地址
DDR3_CS#	P2	9	1.5V	片选通
DDR3_CAS#	R2	9	1.5V	列地址选通
DDR3_CKE	R12	8	1.5V	时钟使能
DDR3_ODT	N1	9	1.5V	片上终端使能
DDR3_RAS#	N7	9	1.5V	行地址选通
DDR3_RESET	N9	9	1.5V	复位
DDR3_WE#	P1	9	1.5V	写使能
DDR3_CLK0_P	N8	9	1.5V	差分时钟
DDR3_CLK0_N	M8	9	1.5V	差分时钟
DDR3_DQ0	M6	9	1.5V	数据
DDR3_DQ1	R4	9	1.5V	数据
DDR3_DQ2	M5	9	1.5V	数据
DDR3_DQ3	R6	9	1.5V	数据
DDR3_DQ4	L5	9	1.5V	数据
DDR3_DQ5	R7	9	1.5V	数据
DDR3_DQ6	N6	9	1.5V	数据
DDR3_DQ7	P7	9	1.5V	数据
DDR3_DQ8	M4	9	1.5V	数据
DDR3_DQ9	M1	9	1.5V	数据
DDR3_DQ10	N5	9	1.5V	数据
DDR3_DQ11	L1	9	1.5V	数据
DDR3_DQ12	N4	9	1.5V	数据
DDR3_DQ13	L3	9	1.5V	数据
DDR3_DQ14	P5	9	1.5V	数据
DDR3_DQ15	L2	9	1.5V	数据
DDR3_LDM0	R5	9	1.5V	数据输入屏蔽
DDR3_UDM0	M3	9	1.5V	数据输入屏蔽
DDR3_LDQS0_P	R8	9	1.5V	数据时钟
DDR3_LDQS0_N	R9	9	1.5V	数据时钟

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_UDQS0_P	R3	9	1.5V	数据时钟
DDR3_UDQS0_N	P3	9	1.5V	数据时钟

3.6 DP 接口

3.6.1 介绍

开发板提供了一路 DP 输出接口，一路 DP 接收接口。接口连接示意图如下图所示。

图 3-5 DP-TX 接口连接示意图



图 3-6 DP-RX 接口连接示意图



3.6.2 管脚分配

表 3-5 DP-TX 接口管脚分配

J6 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	DP_TX0_P	D4	Q0	-	DP 数据发送
2	GND	-	-	-	GND
3	DP_TX0_N	C4	Q0	-	DP 数据发送
4	DP_TX1_P	D6	Q0	-	DP 数据发送
5	GND	-	-	-	GND
6	DP_TX1_N	C6	Q0	-	DP 数据发送
7	DP_TX2_P	D8	Q0	-	DP 数据发送
8	GND	-	-	-	GND
9	DP_TX2_N	C8	Q0	-	DP 数据发送
10	DP_TX3_P	D12	Q0	-	DP 数据发送
11	GND	-	-	-	GND
12	DP_TX3_N	C12	Q0	-	DP 数据发送
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	DP_TX_P	F5	11	1.8V	辅助通道
16	GND	-	-	-	GND
17	DP_TX_N	G5	11	1.8V	辅助通道
18	DP_HPD_T	F11	3	3.3V	热插拔检测
19	NC	-	-	-	悬空
20	VCC3P3	-	-	3.3V	POWER

表 3-6 DP-RX 接口管脚分配

J10 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	DP_RX3_N	A11	Q0	-	DP 数据接收
2	GND	-	-	-	GND
3	DP_RX3_P	B11	Q0	-	DP 数据接收
4	DP_RX2_N	A9	Q0	-	DP 数据接收
5	GND	-	-	-	GND

J10 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
6	DP_RX2_P	B9	Q0	-	DP 数据接收
7	DP_RX1_N	A7	Q0	-	DP 数据接收
8	GND	-	-	-	GND
9	DP_RX1_P	B7	Q0	-	DP 数据接收
10	DP_RX0_N	A3	Q0	-	DP 数据接收
11	GND	-	-	-	GND
12	DP_RX0_P	B3	Q0	-	DP 数据接收
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	DP_RX_P	K4	11	1.8V	辅助通道
16	GND	-	-	-	GND
17	DP_RX_N	K3	11	1.8V	辅助通道
18	DP_HPD_R	G11	3	3.3V	热插拔检测
19	NC	-	-	-	悬空
20	VCC3P3	-	-	3.3V	POWER

3.7 MIPI 接口

3.7.1 介绍

开发板从 FPGA 引出一路 MIPI CPHY 硬核接口（3*三线 data），一路 MIPI DPHY 软核接口（8data+1clk），一路 MIPI DPHY 硬核接口（4data+1clk）。其中 MIPI CPHY 硬核接口、MIPI DPHY 硬核接口以及 8 个 3.3V 电平标准的 GPIO 引出到 80pin 0.5mm 间距的 AXK580147YG 连接器，MIPI DPHY 软核接口及 RST 信号引出到 40pin 0.5mm 间距的 AXK540147YG 连接器。连接示意图如下图所示。

图 3-7 MIPI CPHY&DPHY 硬核接口连接示意图



图 3-8 MIPI DPHY 软核接口连接示意图



3.7.2 管脚分配

表 3-7 MIPI CPHY&DPHY 硬核接口管脚分配

J18 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	M0_D3N	C2	MIPI	-	MIPI DPHY 数据信号
2	NC	-	-	-	悬空
3	M0_D3P	C1	MIPI	-	MIPI DPHY 数据信号
4	NC	-	-	-	悬空
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	M0_D2N	E3	MIPI	-	MIPI DPHY 数据信号
8	GND	-	-	-	GND
9	M0_D2P	F4	MIPI	-	MIPI DPHY 数据信号

J18 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
10	GND	-	-	-	GND
11	GND	-	-	-	GND
12	NC	-	-	-	悬空
13	M0_DCN	F3	MIPI	-	MIPI DPHY 时钟信号
14	NC	-	-	-	悬空
15	M0_DCP	G3	MIPI	-	MIPI DPHY 时钟信号
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	M0_D1N	H3	MIPI	-	MIPI DPHY 数据信号
20	GND	-	-	-	GND
21	M0_D1P	H4	MIPI	-	MIPI DPHY 数据信号
22	VCC1P8	-	-	1.8V	POWER
23	GND	-	-	-	GND
24	VCC1P8	-	-	1.8V	POWER
25	M0_D0N	J3	MIPI	-	MIPI DPHY 数据信号
26	VCC1P8	-	-	1.8V	POWER
27	M0_D0P	J4	MIPI	-	MIPI DPHY 数据信号
28	GND	-	-	-	GND
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	GND	-	-	-	GND
32	NC	-	-	-	悬空
33	GND	-	-	-	GND
34	NC	-	-	-	悬空
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	GND	-	-	-	GND
38	GND	-	-	-	GND
39	GND	-	-	-	GND

J18 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
40	GND	-	-	-	GND
41	M1_D0A	D1	MIPI	-	MIPI CPHY 数据信号
42	NC	-	-	-	悬空
43	M1_D0B	E2	MIPI	-	MIPI CPHY 数据信号
44	NC	-	-	-	悬空
45	M1_D0C	E1	MIPI	-	MIPI CPHY 数据信号
46	GND	-	-	-	GND
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	GND	-	-	-	GND
50	GND	-	-	-	GND
51	M1_D1A	F1	MIPI	-	MIPI CPHY 数据信号
52	MIPI_GPI O1	E8	1	3.3V	预留 GPIO
53	M1_D1B	G1	MIPI	-	MIPI CPHY 数据信号
54	MIPI_GPI O2	E7	1	3.3V	预留 GPIO
55	M1_D1C	G2	MIPI	-	MIPI CPHY 数据信号
56	MIPI_GPI O3	E6	1	3.3V	预留 GPIO
57	GND	-	-	-	GND
58	MIPI_GPI O4	E5	1	3.3V	预留 GPIO
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	M1_D2A	H1	MIPI	-	MIPI CPHY 数据信号
62	MIPI_GPI O5	E10	1	3.3V	预留 GPIO
63	M1_D2B	J1	MIPI	-	MIPI CPHY 数据信号
64	MIPI_GPI O6	F10	1	3.3V	预留 GPIO

J18 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
65	M1_D2C	J2	MIPI	-	MIPI CPHY 数据信号
66	GND	-	-	-	GND
67	GND	-	-	-	GND
68	MIPI_GPI O7	E9	1	3.3V	预留 GPIO
69	GND	-	-	-	GND
70	MIPI_GPI O8	F8	1	3.3V	预留 GPIO
71	GND	-	-	-	GND
72	GND	-	-	-	GND
73	GND	-	-	-	GND
74	GND	-	-	-	GND
75	GND	-	-	-	GND
76	VCC3P3	-	-	3.3V	POWER
77	GND	-	-	-	GND
78	VCC3P3	-	-	3.3V	POWER
79	GND	-	-	-	GND
80	VCC3P3	-	-	3.3V	POWER

表 3-8 MIPI DPHY 软核接口管脚分配

J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	GND	-	-	-	GND
2	GND	-	-	-	GND
3	MIPI_D4N	K11	5	3.3V	MIPI 发送数据
4	MIPI_D3P	N14	5	3.3V	MIPI 发送数据
5	MIPI_D4P	J11	5	3.3V	MIPI 发送数据
6	MIPI_D3N	N15	5	3.3V	MIPI 发送数据
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	MIPI_D5N	M15	5	3.3V	MIPI 发送数据
10	MIPI_D2P	K12	5	3.3V	MIPI 发送数据

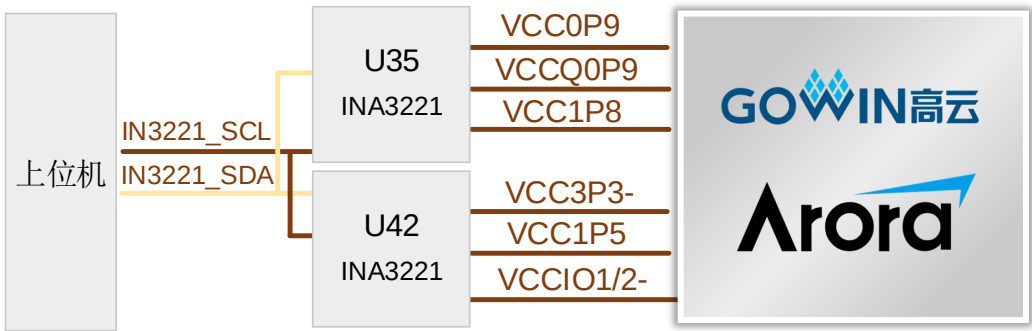
J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
11	MIPI_D5P	L15	5	3.3V	MIPI 发送数据
12	MIPI_D2N	K13	5	3.3V	MIPI 发送数据
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	MIPI_D6N	L14	5	3.3V	MIPI 发送数据
16	MIPI_D1P	L12	5	3.3V	MIPI 发送数据
17	MIPI_D6P	L13	5	3.3V	MIPI 发送数据
18	MIPI_D1N	M13	5	3.3V	MIPI 发送数据
19	GND	-	-	-	GND
20	GND	-	-	-	GND
21	MIPI_D7N	J15	4	3.3V	MIPI 发送数据
22	MIPI_D0P	J13	5	3.3V	MIPI 发送数据
23	MIPI_D7P	H15	4	3.3V	MIPI 发送数据
24	MIPI_D0N	J14	5	3.3V	MIPI 发送数据
25	GND	-	-	-	GND
26	GND	-	-	-	GND
27	MIPI_D8N	H10	5	3.3V	MIPI 发送数据
28	MIPI_CKP	G12	4	3.3V	MIPI 时钟信号
29	MIPI_D8P	H11	5	3.3V	MIPI 发送数据
30	MIPI_CKN	H12	4	3.3V	MIPI 时钟信号
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	MIPI_RST	G15	3	3.3V	复位信号
34	GND	-	-	-	GND
35	GND	-	-	-	GND
36	VCC3P3	-	-	3.3V	POWER
37	GND	-	-	-	GND
38	VCC3P3	-	-	3.3V	POWER
39	GND	-	-	-	GND
40	VCC3P3	-	-	3.3V	POWER

3.8 I2C 接口

3.8.1 介绍

开发板上提供一路 I2C 接口，作为上位机通信接口。上位机可以通过该接口监测 FPGA VCC、MIPI、VCCX、SERDES 及各 BANK 的电压。I2C 接口连接示意图如图 3-9 所示。

图 3-9 I2C 接口连接示意图



3.8.2 管脚分配

表 3-9 I2C-1 接口 J21 管脚分配

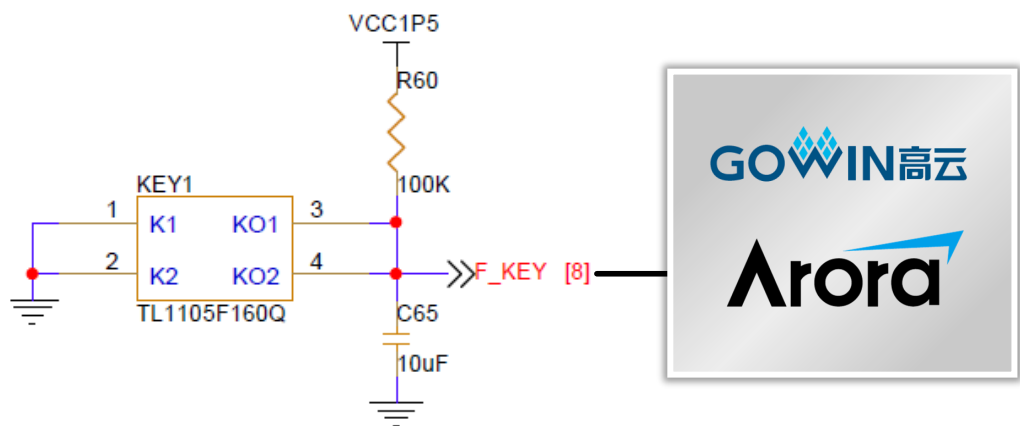
J21 管脚号	信号名称	I/O 电平	描述
1	INA3221_SCL	3.3V	串行总线时钟线
2	INA3221_SDA	3.3V	串行总线数据线
3	GND	-	GND

3.9 按键&指示灯

3.9.1 介绍

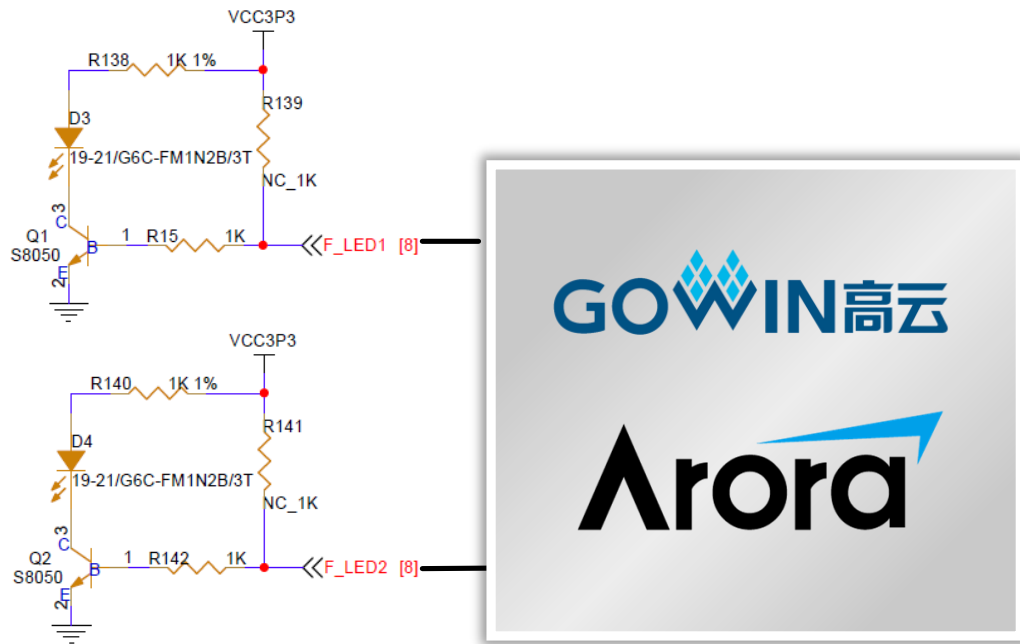
开发板上有 1 个用户按键，连接 FPGA BANK8 的普通 IO。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如图 3-10 所示。

图 3-10 按键连接示意图



开发板共有 2 个用户 LED，连接 FPGA BANK8 的 IO，可以通过程序来控制亮和灭，当对应 IO 电压为高时，用户 LED 点亮，当连接 IO 电压为低时，用户 LED 熄灭。连接示意图如图 3-10 所示。

图 3-11 指示灯连接示意图



3.9.2 管脚分配

表 3-10 按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_KEY	L9	8	1.5V	按键

表 3-11 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_LED1	R11	8	1.5V	LED 指示灯
F_LED2	R10	8	1.5V	LED 指示灯

3.10 GPIO

3.10.1 介绍

开发板上预留了 1 个 10pin 2.54mm 间距的排针 J20，共有 6 个 3.3V 电平标准的 GPIO 接口，便于用户测试。

图 3-12 GPIO 连接示意图



3.10.2 管脚分配

表 3-12 GPIO 接口管脚分配

J20 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	VCC3P3	-	-	3.3V	POWER
2	VCC3P3	-	-	3.3V	POWER
3	F_GPIO0	B13	2	3.3V	预留 GPIO
4	F_GPIO1	A13	2	3.3V	预留 GPIO
5	F_GPIO2	B14	2	3.3V	预留 GPIO
6	F_GPIO3	A14	2	3.3V	预留 GPIO
7	F_GPIO4	D13	2	3.3V	预留 GPIO
8	F_GPIO5	C14	2	3.3V	预留 GPIO
9	GND	-	-	-	GND
10	GND	-	-	-	GND

