



DK_START_GW5AST-LV138FPG676A_V2.1

用户手册

DBUG1275-1.0.1, 2025-04-30

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/12/13	1.0	初始版本。
2025/04/30	1.0.1	更新“3.3 下载模块”中“表 3-1 JTAG 管脚分配”的 IO 电平。

目录

目录	i
图目录	iv
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	8
3.1 FPGA	8
3.2 电源	8
3.2.1 介绍	8
3.2.2 电源分配	9
3.3 下载模块	10
3.3.1 介绍	10
3.3.2 管脚分配	10
3.4 时钟	10
3.4.1 介绍	10
3.4.2 管脚分配	11

3.5 DDR3 模块	12
3.5.1 介绍	12
3.5.2 管脚分配	12
3.6 ADC 接口	15
3.6.1 介绍	15
3.6.2 管脚分配	16
3.7 I2C 接口	16
3.7.1 介绍	16
3.7.2 管脚分配	16
3.8 MIPI 接口	17
3.8.1 介绍	17
3.8.2 管脚分配	17
3.9 PCIE 接口	20
3.9.1 介绍	20
3.9.2 管脚分配	21
3.10 SFP 接口	22
3.10.1 介绍	22
3.10.2 管脚分配	22
3.11 LVDS 接口	24
3.11.1 介绍	24
3.11.2 管脚分配	25
3.12 GPIO 接口	26
3.12.1 介绍	26
3.12.2 管脚分配	26
3.13 USB2.0 接口	27
3.13.1 介绍	27
3.13.2 管脚分配	28
3.14 HDMI 接口	28
3.14.1 介绍	28
3.14.2 管脚分配	29
3.15 UART 接口	32
3.15.1 介绍	32
3.15.2 管脚分配	32
3.16 按键&指示灯	32

3.16.1 介绍	32
3.16.2 管脚分配	33
3.17 6G SDI 接口	34
3.17.1 介绍	34
3.17.2 管脚分配	34
3.18 3G SDI 接口	34
3.18.1 介绍	34
3.18.2 管脚分配	35
3.19 以太网接口	36
3.19.1 介绍	36
3.19.2 管脚分配	36

图目录

图 2-1 DK_START_GW5AST-LV138FPG676A_V2.1 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 电源分配示意图	9
图 3-2 下载连接示意图	10
图 3-3 时钟连接示意图	11
图 3-4 DDR3 的硬件连接示意图	12
图 3-5 ADC 原理图	15
图 3-6 I2C 接口连接示意图	16
图 3-7 MIPI 接口连接示意图	17
图 3-8 PCIE 接口连接示意图	20
图 3-9 SFP 接口连接示意图	22
图 3-10 LVDS 接口连接示意图	24
图 3-11 GPIO 接口连接示意图	26
图 3-12 USB2.0 接口连接示意图	27
图 3-13 HDMI_TX 接口连接示意图	28
图 3-14 HDMI_RX 接口连接示意图	29
图 3-15 UART 接口连接示意图	32
图 3-16 按键连接示意图	32
图 3-17 LED 指示灯连接示意图	33
图 3-18 6G SDI 接口连接示意图	34
图 3-19 3G SDI 接口连接示意图	35
图 3-20 以太网接口连接示意图	36

表目录

表 1-1 术语、缩略语.....	1
表 3-1 JTAG 管脚分配.....	10
表 3-2 时钟管脚分配.....	11
表 3-3 DDR3 配置	12
表 3-4 DDR3 模块管脚分配.....	12
表 3-5 ADC 接口管脚分配	16
表 3-6 I2C 接口管脚分配	16
表 3-7 MIPI 接口管脚分配	17
表 3-8 PCIE 接口管脚分配	21
表 3-9 SFP1 接口管脚分配.....	22
表 3-10 SFP2 接口管脚分配.....	23
表 3-11 LVDS_TX 接口管脚分配	25
表 3-12 LVDS_RX 接口管脚分配	25
表 3-13 GPIO 接口管脚分配.....	26
表 3-14 USB2.0 接口管脚分配	28
表 3-15 HDMI_TX 接口管脚分配.....	29
表 3-16 HDMI_RX 接口管脚分配	30
表 3-17 UART 接口管脚分配.....	32
表 3-18 按键管脚分配.....	33
表 3-19 LED 指示灯管脚分配	33
表 3-20 6G SDI 接口管脚分配.....	34
表 3-21 3G SDI-IN 接口管脚分配	35
表 3-22 3G SDI-OUT 接口管脚分配.....	35
表 3-23 以太网接口管脚分配.....	36

1 关于本手册

1.1 手册内容

DK_START_GW5AST-LV138FPG676A_V2.1 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [UG986, GW5AST-138 器件 Pinout 手册](#)
- [UG1102, GW5AST 系列 FPGA 产品封装与管脚手册](#)
- [UG704, Arora V 138K FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
ADC	Mobile Industry Processor Interface	模拟数字转换
SFP	Small Form Pluggable	小型可插拔连接器

术语、缩略语	全称	含义
DDR	Double Data Rate	双倍速率
JTAG	Joint Test Action Group	联合测试工作组
LDO	Low Dropout Regulator	低压差线性稳压器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
HDMI	High-Definition Multimedia Interface	高清多媒体接口
SDI	Serial digital interface	串行数字接口
LVDS	Low-Voltage Differential Signaling	低电压差分信号

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

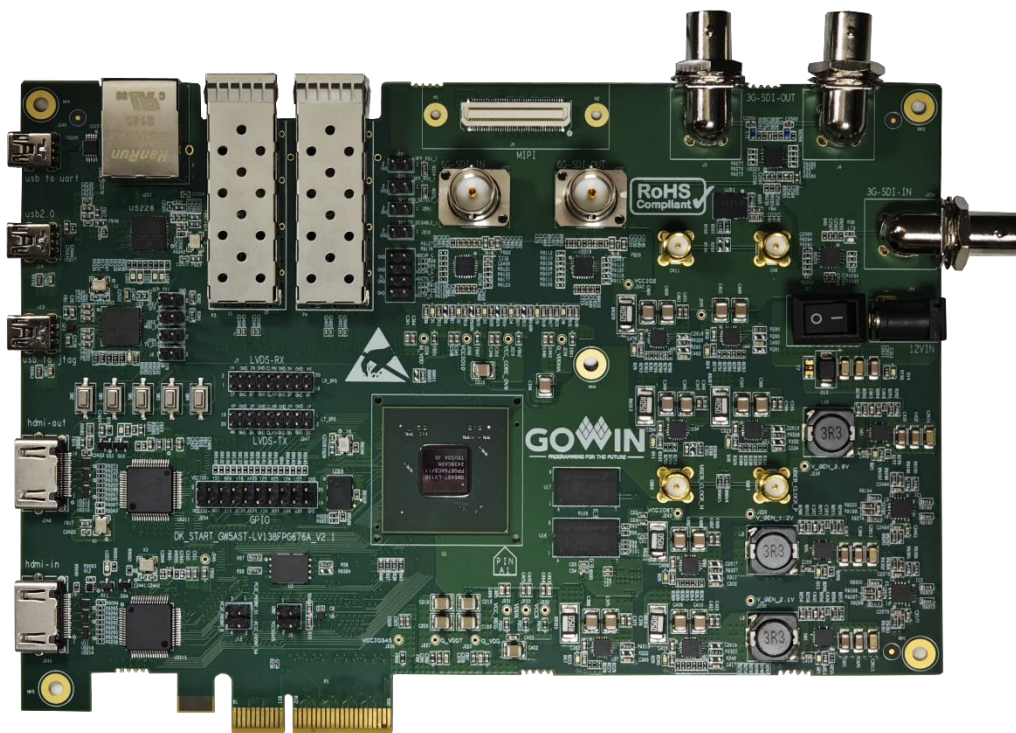
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW5AST-LV138FPG676A_V2.1 开发板



高云半导体 GW5AST 系列 FPGA 产品是高云半导体晨熙家族 5 系列产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3、支持多种协议的 12.5Gbps SerDes，同时集成硬核处理器 RiscV AE350_SOC，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

DK_START_GW5AST-LV138FPG676A_V2.1 开发板适用于 DDR3 高

速数据存储，MIPI、SFP 高速通信，集成 LVDS 接口、SDI 接口、Ethernet 接口、HDMI 接口、ADC 硬核接口等，满足 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

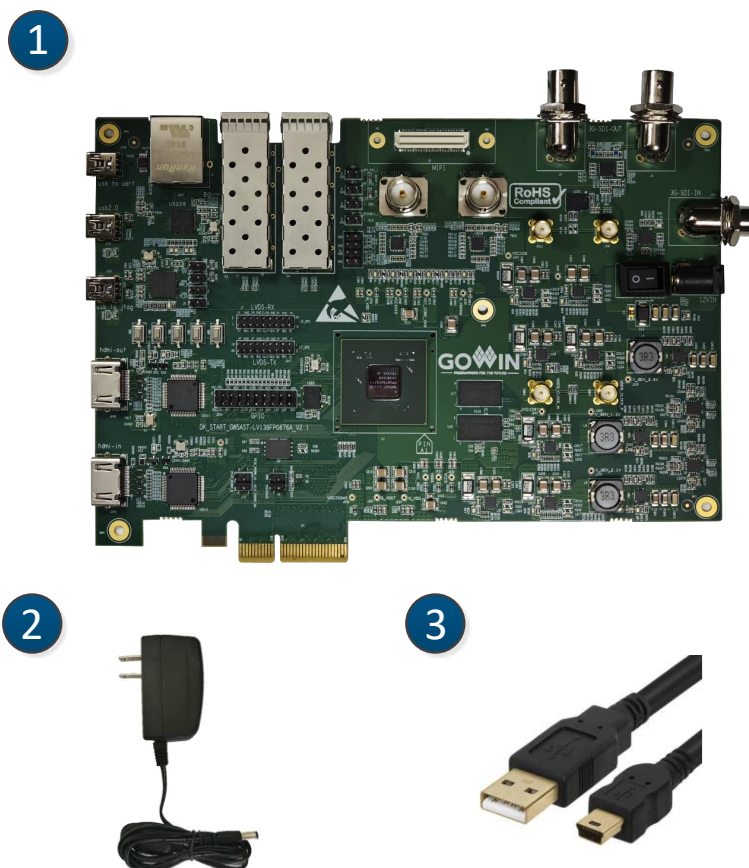
开发板采用高云的“GW5AST-LV138FPG676A”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1239](#)，[GW5AST 系列 FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_START_GW5AST-LV138FPG676A_V2.1 开发板
2. 12V 电源适配器（输入：AC 100-240V~50/60Hz 0.6A，输出：DC12V 2A）
3. Mini USB-B 下载线

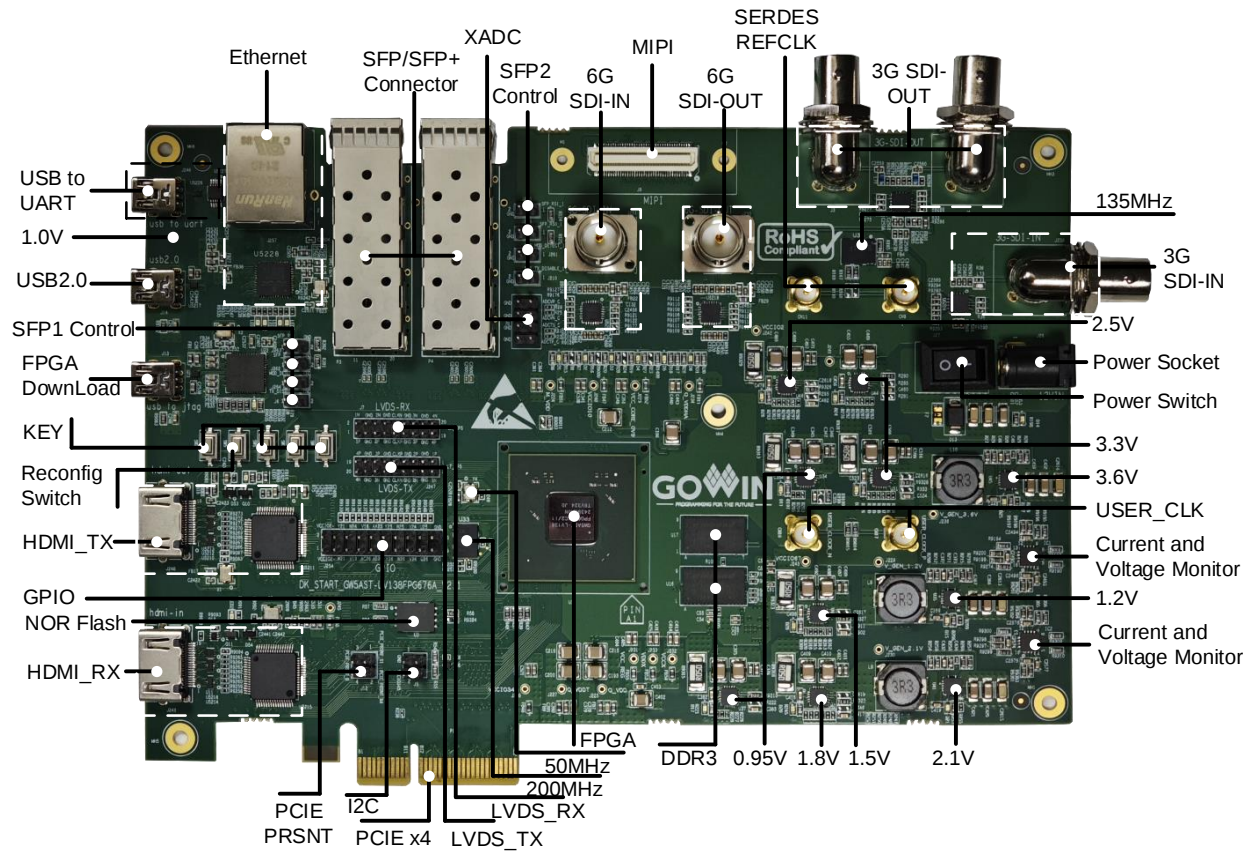
图 2-2 开发板套件



- ① DK_START_GW5AST-LV138FPG676A_V2.1开发板
- ② 12V电源适配器
- ③ Mini USB-B下载线

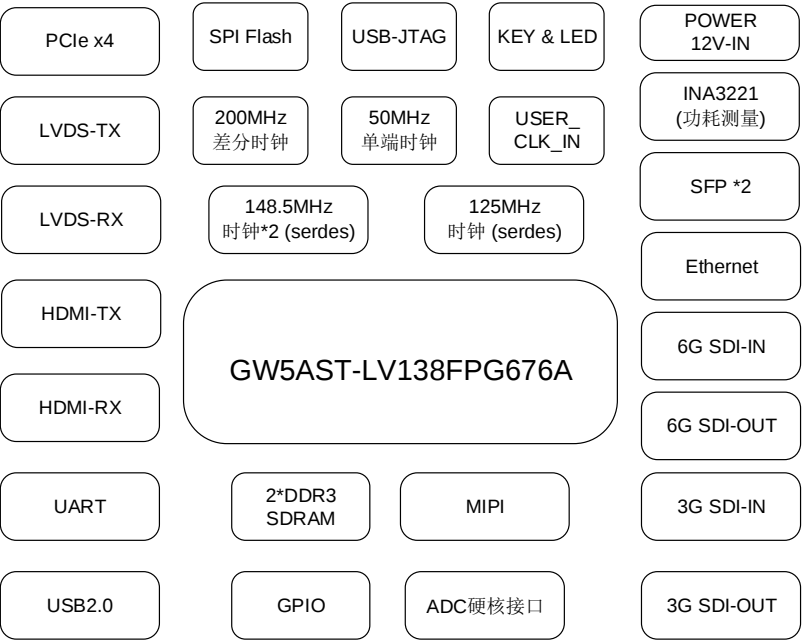
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 高云 GW5AST-LV138FPG676A 的 FPGA
- **下载与启动**
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外部 SPI FLASH 启动
- **供电方式**
 - 外部 DC 12V 2A 供电
 - 上电后，POWER 灯亮
 - 开发板产生 3.6V、3.3V、2.5V、2.1V、1.8V、1.5V、1.2V、0.95V、0.75V 电源
- **时钟系统**
 - 50MHz 单端时钟
 - 125MHz 差分时钟
 - 148.5MHz 差分时钟
 - 200MHz 差分时钟
 - 通过 SMA 接口可接收差分时钟信号
- **存储器件**
 - 4Gbit DDR3 SDRAM
 - 256Mbit NOR Flash
- **SFP 接口**
 - 两路小型可插拔 SFP 连接器，可连接 SFP 或 SFP+模块
- **HDMI 接口**
 - 一路 HDMI-TX 接口，通过编码芯片实现 HDMI-TX 通信
 - 一路 HDMI-RX 接口，通过解码芯片实现 HDMI-RX 通信
- **SDI 接口**
 - 3G SDI 接口，分为一路 3G SDI-IN 接口和两路 3G SDI-OUT 接口
 - 6G SDI 接口，分为一路 6G SDI-IN 接口和一路 6G SDI-OUT 接口
 - 3G SDI 接口，支持 2.97 Gbps SDI 数据传输
 - 6G SDI 接口，支持 5.94 Gbps SDI 数据传输
- **以太网接口**
 - 一路以太网接口
 - 支持 RGMII 接口（10Base-T/100Base-TX/ 1000BASE-T）
 - RJ45 连接器，内部集成网络变压器

- MIPI 接口
 - MIPI 接口，双通道，每个通道包括 4Data+1Clk
 - MIPI D-PHY RX 硬核
 - 四路单端信号
- PCIe 接口
 - 一路 PClex4 接口
- LVDS 接口
 - 一路 LVDS-TX 接口，包括 4Data+1Clk
 - 一路 LVDS-RX 接口，包括 4Data+1Clk
- USB2.0 接口
 - 一路 USB2.0 接口
 - 采用 Mini USB-B 接口
- UART 接口
 - 一路 UART 接口
 - 采用 Mini USB-B 接口
- ADC 接口
 - 一路 ADC 接口
- LED&按键
 - 四个按键
 - 四个 LED 指示灯
- GPIO
 - 16 个 2.5V 电平标准的 GPIO

3 开发板电路

3.1 FPGA

概述

GW5AST 系列 FPGA 产品资源信息参考 [DS1239, GW5AST 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW5AST 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1102, GW5AST 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

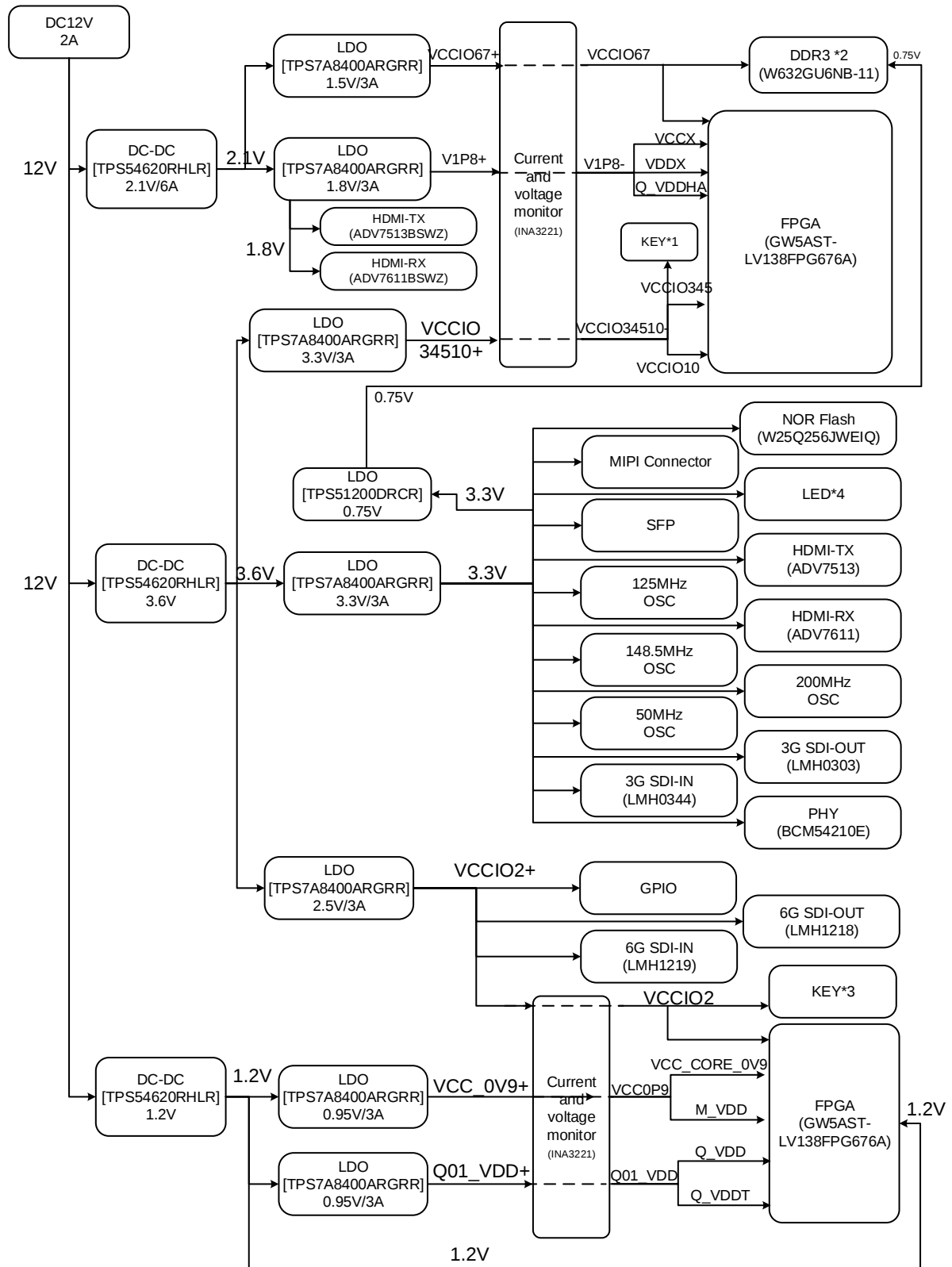
开发板需要通过 12V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.6A，输出：DC 12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 3.6V、3.3V、2.5V、2.1V、1.8V、1.5V、1.2V、0.95V、0.75V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



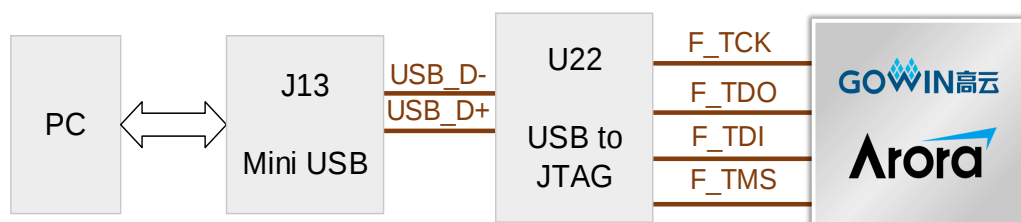
3.3 下载模块

3.3.1 介绍

开发板设计有 Mini USB-B 下载口（J13），可将程序烧录到外部 SPI FLASH 或 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

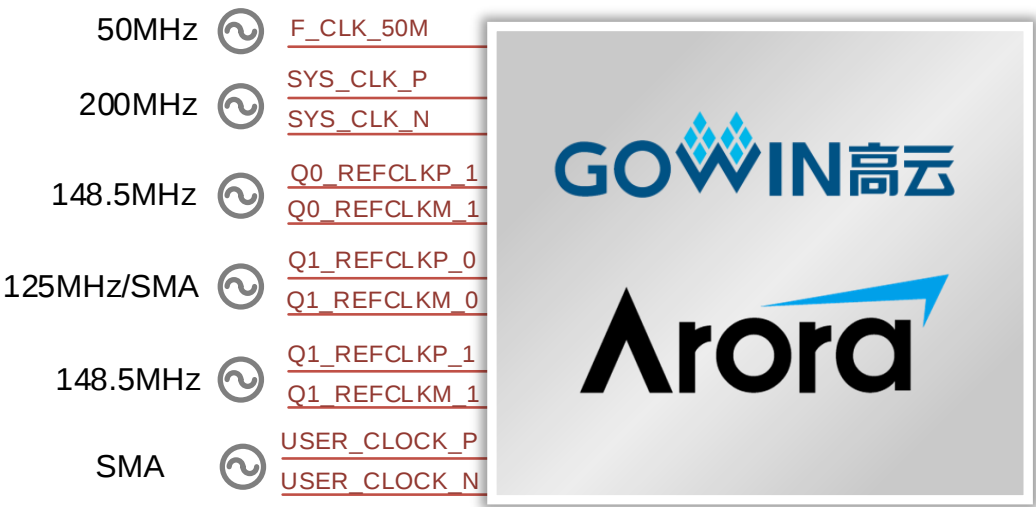
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
TCK	H12	10	3.3V	JTAG 信号
TDO	J10	10	3.3V	
TDI	H10	10	3.3V	
TMS	H11	10	3.3V	

3.4 时钟

3.4.1 介绍

开发板上包含多种 FPGA 时钟源，包括一路 50MHz 单端时钟，一路 200MHz 差分时钟，一路 125MHz 差分时钟，两路 148.5MHz 差分时钟和一路 SMA 输入差分时钟。125MHz 差分时钟信号和 148.5MHz 差分时钟信号连接到 FPGA 的 SerDes 高速时钟管脚上，其中为 SerDes Q1 提供时钟的 125MHz 差分时钟可以改为外部 SMA 输入时钟。时钟管脚分配如图 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_CLK_50M	N21	3	3.3V	50MHz 单端时钟
SYS_CLK_P	M21	3	3.3V	200MHz 差分时钟
SYS_CLK_N	M22	3	3.3V	200MHz 差分时钟
Q1_REFCLKP_0	AA11	Q1	-	125MHz 差分时钟/SMA 输入差分时钟
Q1_REFCLKM_0	AB11	Q1	-	125MHz 差分时钟/SMA 输入差分时钟
Q1_REFCLKP_1	AA13	Q1	-	148.5MHz 差分时钟
Q1_REFCLKM_1	AB13	Q1	-	148.5MHz 差分时钟
Q0_REFCLKP_1	F13	Q0	-	148.5MHz 差分时钟
Q0_REFCLKM_1	E13	Q0	-	148.5MHz 差分时钟
USER_CLOCK_P	R3	7	1.5V	SMA 输入差分时钟
USER_CLOCK_N	P3	7	1.5V	SMA 输入差分时钟

3.5 DDR3 模块

3.5.1 介绍

开发板上配有 2 个 2Gbit 的 DDR3 芯片。DDR3 芯片的信号连接到 FPGA 的 BANK6、BANK7 上。DDR3 的具体配置如表 3-3 所示。

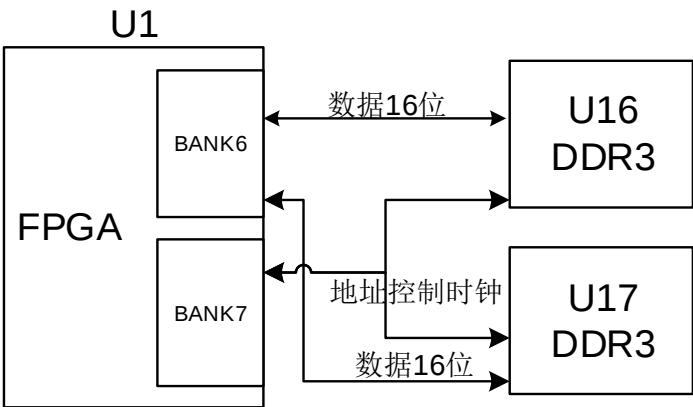
表 3-3 DDR3 配置

位号	容量
U16	16M x 8 Banks x 16bit
U17	16M x 8 Banks x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，在电路设计和 PCB 设计时已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制等，以保证 DDR3 高速稳定的工作。

DDR3 的硬件连接示意图如图 3-4 所示。

图 3-4 DDR3 的硬件连接示意图



3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	N1	7	1.5V	地址
DDR3_A1	R1	7	1.5V	地址
DDR3_A2	R2	7	1.5V	地址
DDR3_A3	N2	7	1.5V	地址
DDR3_A4	P1	7	1.5V	地址

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A5	T2	7	1.5V	地址
DDR3_A6	N4	7	1.5V	地址
DDR3_A7	U1	7	1.5V	地址
DDR3_A8	T4	7	1.5V	地址
DDR3_A9	T3	7	1.5V	地址
DDR3_A10	M1	7	1.5V	地址
DDR3_A11	P4	7	1.5V	地址
DDR3_A12	N3	7	1.5V	地址
DDR3_A13	U2	7	1.5V	地址
DDR3_BA0	M4	7	1.5V	Bank 地址
DDR3_BA1	L5	7	1.5V	Bank 地址
DDR3_BA2	K3	7	1.5V	Bank 地址
DDR3_CS#	L4	7	1.5V	片选通
DDR3_CAS#	H1	7	1.5V	列地址选通
DDR3_CKE	L3	7	1.5V	时钟使能
DDR3_ODT	J1	7	1.5V	片上终端使能
DDR3_RAS#	H2	7	1.5V	行地址选通
DDR3_RESET	N8	7	1.5V	复位
DDR3_WE#	J3	7	1.5V	写使能
DDR3_CLK0_P	M2	7	1.5V	差分时钟
DDR3_CLK0_N	L2	7	1.5V	差分时钟
DDR3_DQ0	G4	6	1.5V	数据
DDR3_DQ1	J6	6	1.5V	数据
DDR3_DQ2	L8	6	1.5V	数据
DDR3_DQ3	G5	6	1.5V	数据
DDR3_DQ4	K7	6	1.5V	数据
DDR3_DQ5	J5	6	1.5V	数据
DDR3_DQ6	K8	6	1.5V	数据
DDR3_DQ7	K6	6	1.5V	数据
DDR3_DQ8	E6	6	1.5V	数据

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_DQ9	H8	6	1.5V	数据
DDR3_DQ10	H6	6	1.5V	数据
DDR3_DQ11	G8	6	1.5V	数据
DDR3_DQ12	D6	6	1.5V	数据
DDR3_DQ13	F8	6	1.5V	数据
DDR3_DQ14	G6	6	1.5V	数据
DDR3_DQ15	F7	6	1.5V	数据
DDR3_DM0	F4	6	1.5V	数据输入屏蔽
DDR3_DM1	H9	6	1.5V	数据输入屏蔽
DDR3_DQS0_P	J4	6	1.5V	数据时钟
DDR3_DQS0_N	H4	6	1.5V	数据时钟
DDR3_DQS1_P	H7	6	1.5V	数据时钟
DDR3_DQS1_N	G7	6	1.5V	数据时钟
DDR3_DQ0_1	C4	6	1.5V	数据
DDR3_DQ1_1	F3	6	1.5V	数据
DDR3_DQ2_1	B4	6	1.5V	数据
DDR3_DQ3_1	E5	6	1.5V	数据
DDR3_DQ4_1	D3	6	1.5V	数据
DDR3_DQ5_1	D5	6	1.5V	数据
DDR3_DQ6_1	A4	6	1.5V	数据
DDR3_DQ7_1	D4	6	1.5V	数据
DDR3_DQ8_1	E1	6	1.5V	数据
DDR3_DQ9_1	A2	6	1.5V	数据
DDR3_DQ10_1	G2	6	1.5V	数据
DDR3_DQ11_1	C2	6	1.5V	数据
DDR3_DQ12_1	F2	6	1.5V	数据
DDR3_DQ13_1	E2	6	1.5V	数据
DDR3_DQ14_1	G1	6	1.5V	数据
DDR3_DQ15_1	D1	6	1.5V	数据
DDR3_DM0_1	E3	6	1.5V	数据输入屏蔽

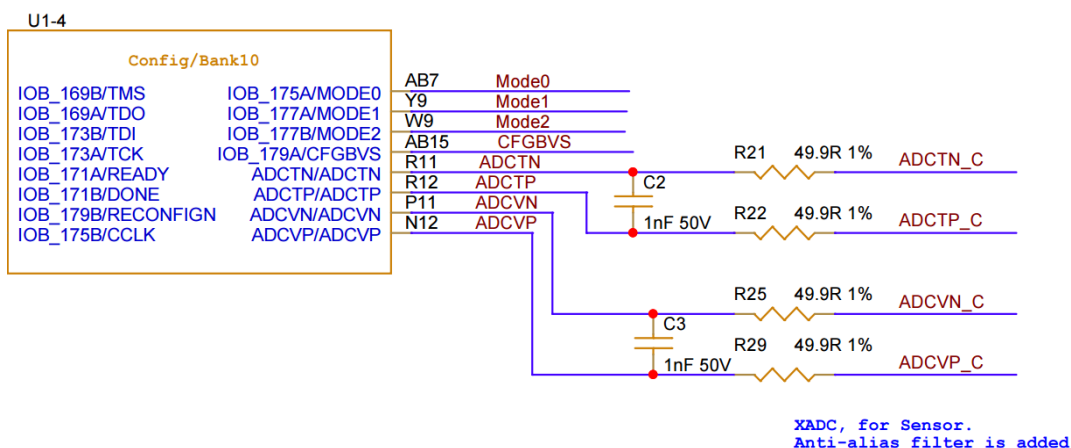
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_DM1_1	A3	6	1.5V	数据输入屏蔽
DDR3_DQS0_P_1	B5	6	1.5V	数据时钟
DDR3_DQS0_N_1	A5	6	1.5V	数据时钟
DDR3_DQS1_P_1	C1	6	1.5V	数据时钟
DDR3_DQS1_N_1	B1	6	1.5V	数据时钟

3.6 ADC 接口

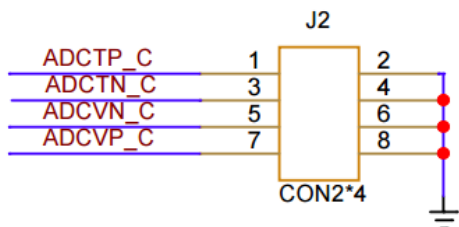
3.6.1 介绍

开发板提供了 ADC 信号输入接口，连接器使用的是 2x4P 的 2.54mm 间距排针。图 3-5 为 ADC 原理图连接示意图和抗混叠滤波电路。

图 3-5 ADC 原理图



XADC Header



3.6.2 管脚分配

表 3-5 ADC 接口管脚分配

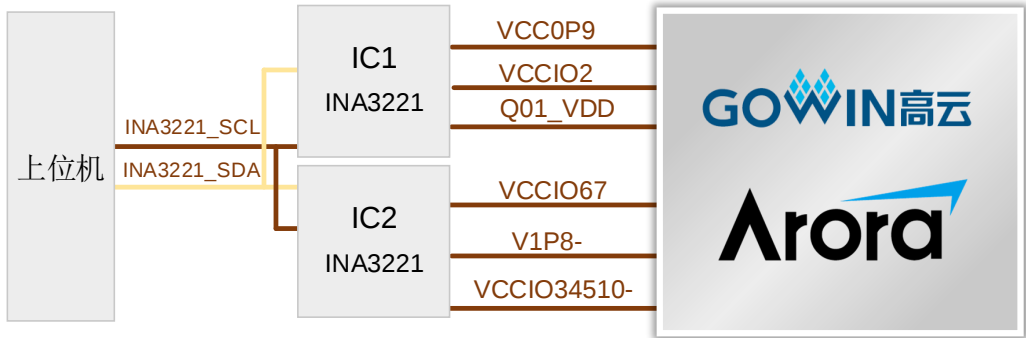
J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	ADCTP_C	R12	10	3.3V	模拟信号输入
3	ADCTN_C	R11	10	3.3V	模拟信号输入
5	ADCVN_C	P11	10	3.3V	模拟信号输入
7	ADCVP_C	N12	10	3.3V	模拟信号输入

3.7 I2C 接口

3.7.1 介绍

开发板上提供一路 I2C 接口，作为上位机通信接口。上位机可以通过该接口监测 FPGA VCC、MIPI、VCCX、SerDes 及各 BANK 的功耗情况。I2C 接口连接示意图如图 3-6 所示。

图 3-6 I2C 接口连接示意图



3.7.2 管脚分配

表 3-6 I2C 接口管脚分配

J5 管脚号	信号名称	I/O 电平	描述
1	GND	-	GND
2	VCCIO345	3.3V	POWER
3	INA3221_SDA	3.3V	串行总线数据线
4	INA3221_SCL	3.3V	串行总线时钟线

3.8 MIPI 接口

3.8.1 介绍

开发板从 FPGA 引出一路双通道 MIPI 接口，每个通道含 4 路 Data 和 1 路 Clk。MIPI 接口连接到 FPGA 的 MIPI-DPHY RX 硬核上，该接口采用 80Pin 0.5mm 间距的 AXK580147YG 连接器。此外 MIPI 接口还对外引出 4 个单端信号、供电电源和地。MIPI 接口连接示意图如图 3-7 所示。

图 3-7 MIPI 接口连接示意图



3.8.2 管脚分配

表 3-7 MIPI 接口管脚分配

J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	M0_D0N	W1	MIPI	-	MIPI 数据信号
2	NC	-	-	-	悬空
3	M0_D0P	V1	MIPI	-	MIPI 数据信号
4	NC	-	-	-	悬空
5	GND	-	-	-	GND
6	NC	-	-	-	悬空
7	M0_D1N	AA2	MIPI	-	MIPI 数据信号
8	NC	-	-	-	悬空
9	M0_D1P	Y2	MIPI	-	MIPI 数据信号
10	GND	-	-	-	GND
11	GND	-	-	-	GND

J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
12	NC	-	-	-	悬空
13	M0_CKN	AA3	MIPI	-	MIPI 时钟信号
14	NC	-	-	-	悬空
15	M0_CKP	Y3	MIPI	-	MIPI 时钟信号
16	NC	-	-	-	悬空
17	GND	-	-	-	GND
18	NC	-	-	-	悬空
19	M0_D2N	W3	MIPI	-	MIPI 数据信号
20	GND	-	-	-	GND
21	M0_D2P	V3	MIPI	-	MIPI 数据信号
22	NC	-	-	-	悬空
23	GND	-	-	-	GND
24	NC	-	-	-	悬空
25	M0_D3N	W4	MIPI	-	MIPI 数据信号
26	NC	-	-	-	悬空
27	M0_D3P	V4	MIPI	-	MIPI 数据信号
28	NC	-	-	-	悬空
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	M1_D0N	AC1	MIPI	-	MIPI 数据信号
32	NC	-	-	-	悬空
33	M1_D0P	AB1	MIPI	-	MIPI 数据信号
34	NC	-	-	-	悬空
35	GND	-	-	-	GND
36	NC	-	-	-	悬空
37	M1_D1N	AE1	MIPI	-	MIPI 数据信号
38	NC	-	-	-	悬空
39	M1_D1P	AD1	MIPI	-	MIPI 数据信号
40	GND	-	-	-	GND
41	GND	-	-	-	GND

J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
42	NC	-	-	-	悬空
43	M1_CKN	AF2	MIPI	-	MIPI 时钟信号
44	NC	-	-	-	悬空
45	M1_CKP	AE2	MIPI	-	MIPI 时钟信号
46	NC	-	-	-	悬空
47	GND	-	-	-	GND
48	NC	-	-	-	悬空
49	M1_D2N	AF3	MIPI	-	MIPI 数据信号
50	GND	-	-	-	GND
51	M1_D2P	AE3	MIPI	-	MIPI 数据信号
52	CSI_RST	G17	5	3.3V	复位信号
53	GND	-	-	-	GND
54	CSI_CLK	J23	4	3.3V	时钟信号
55	M1_D3N	AF5	MIPI	-	MIPI 数据信号
56	CSI_SCL	H23	4	3.3V	I2C 时钟信号
57	M1_D3P	AE5	MIPI	-	MIPI 数据信号
58	CSI_SDA	H24	4	3.3V	I2C 数据信号
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	GND	-	-	-	GND
62	NC	-	-	-	悬空
63	NC	-	-	-	悬空
64	NC	-	-	-	悬空
65	NC	-	-	-	悬空
66	GND	-	-	-	GND
67	NC	-	-	-	悬空
68	NC	-	-	-	悬空
69	NC	-	-	-	悬空
70	NC	-	-	-	悬空
71	GND	-	-	-	GND

J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
72	NC	-	-	-	悬空
73	NC	-	-	-	悬空
74	GND	-	-	-	GND
75	NC	-	-	-	悬空
76	AlwaysOn_3.3V	-	-	3.3V	POWER
77	NC	-	-	-	悬空
78	AlwaysOn_3.3V	-	-	3.3V	POWER
79	NC	-	-	-	悬空
80	AlwaysOn_3.3V	-	-	3.3V	POWER

3.9 PCIE 接口

3.9.1 介绍

开发板上提供一个 PCIe x4 接口。PCIe 接口的收发信号与 FPGA 的 SerDes 高速信号管脚相连接，四通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA。PCIe 接口的设计示意图如图 3-8 所示。

图 3-8 PCIE 接口连接示意图



3.9.2 管脚分配

表 3-8 PCIE 接口管脚分配

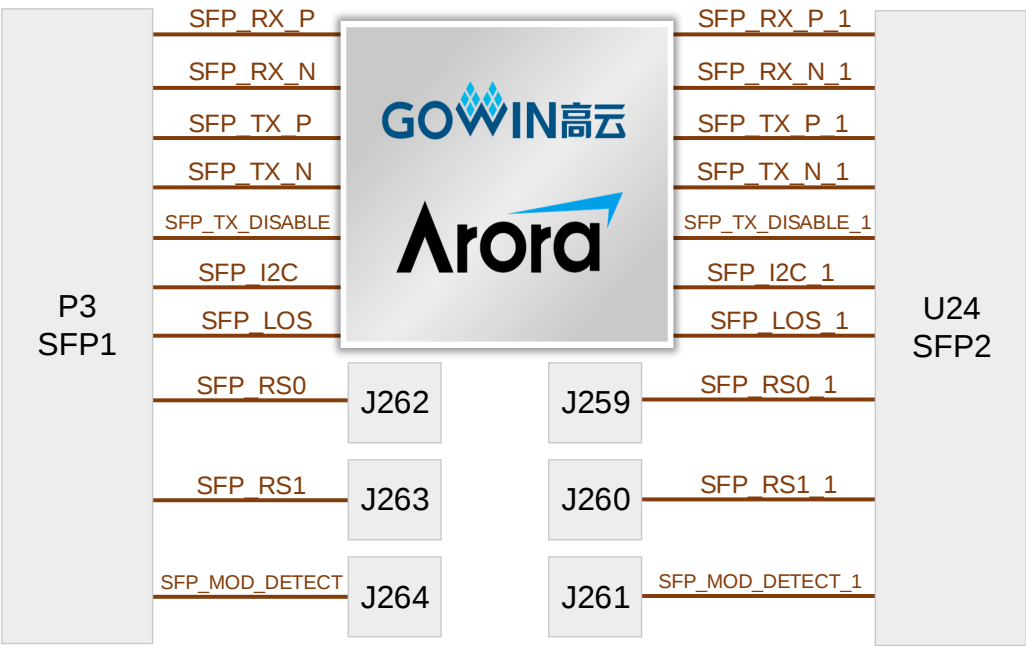
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PCIE_WAKE_B	N26	3	3.3V	PCIE 设备唤醒
PCIE_PERST	M26	3	3.3V	PCIE 设备复位
PCIE_CLK_QO_C_P	F11	Q0	-	PCIE 的参考时钟
PCIE_CLK_QO_C_N	E11	Q0	-	PCIE 的参考时钟
PCIE_RX0_P	D12	Q0	-	PCIE 接收数据
PCIE_RX0_N	C12	Q0	-	PCIE 接收数据
PCIE_RX1_P	D14	Q0	-	PCIE 接收数据
PCIE_RX1_N	C14	Q0	-	PCIE 接收数据
PCIE_RX2_P	B13	Q0	-	PCIE 接收数据
PCIE_RX2_N	A13	Q0	-	PCIE 接收数据
PCIE_RX3_P	B11	Q0	-	PCIE 接收数据
PCIE_RX3_N	A11	Q0	-	PCIE 接收数据
PCIE_TX0_P	D10	Q0	-	PCIE 发送数据
PCIE_TX0_N	C10	Q0	-	PCIE 发送数据
PCIE_TX1_P	D8	Q0	-	PCIE 发送数据
PCIE_TX1_N	C8	Q0	-	PCIE 发送数据
PCIE_TX2_P	B9	Q0	-	PCIE 发送数据
PCIE_TX2_N	A9	Q0	-	PCIE 发送数据
PCIE_TX3_P	B7	Q0	-	PCIE 发送数据
PCIE_TX3_N	A7	Q0	-	PCIE 发送数据

3.10 SFP 接口

3.10.1 介绍

开发板上提供两个 SFP 连接器，可插入 SFP 或 SFP+模块。可通过外部跳线帽控制电平高低来进行选择是否关断发射、SFP 模块速率以及模块是否在位。设计示意图如图 3-9 所示。

图 3-9 SFP 接口连接示意图



3.10.2 管脚分配

表 3-9 SFP1 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SFP_RX_P	AC12	Q1	-	接收部分差分信号输出
SFP_RX_N	AD12	Q1	-	接收部分差分信号输出
SFP_TX_P	AC10	Q1	-	发射部分差分信号输入
SFP_TX_N	AD10	Q1	-	发射部分差分信号输入
SFP_TX_FAULT	-	-	-	发射报错
SFP_TX_DISABLE	R23	3	3.3V	关断使能输入，发射时应连接插针 J6； High: 禁止发射； Low: 可以发射 当前默认为高。

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SFP_IIC_SDA	N19	3	3.3V	I2C 数据线
SFP_IIC_SCL	P19	3	3.3V	I2C 时钟线
SFP_MOD_DETECT	-	-	-	模块在位检测，插入模块时应连接插针 J264； High: P3 插槽中没有 SFP+ 模块； Low: 插槽中有 SFP+ 模块； 当前默认为高。
SFP_RS0	-	-	-	速率选择，可控制接收器速率，连接插针 J262； High: 高速； Low: 低速； 当前默认为高。
SFP_RS1	-	-	-	速率选择，可控制接收器速率，连接插针 J263； High: 高速； Low: 低速； 当前默认为高。
SFP_LOS	R20	3	3.3V	接收方丢失指示信号

表 3-10 SFP2 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SFP_RX_P_1	AE11	Q1	-	接收部分差分信号输出
SFP_RX_N_1	AF11	Q1	-	接收部分差分信号输出
SFP_TX_P_1	AE7	Q1	-	发射部分差分信号输入
SFP_TX_N_1	AF7	Q1	-	发射部分差分信号输入
SFP_TX_FAULT_1	-	-	-	发射报错
SFP_TX_DISABLE_1	R25	3	3.3V	关断使能输入，发射时应连接插针 J210； High: 禁止发射； Low: 可以发射 当前默认为高。

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SFP_IIC_SDA_1	P26	3	3.3V	I2C 数据线
SFP_IIC_SCL_1	R26	3	3.3V	I2C 时钟线
SFP_MOD_DETECT_1	-	-	-	模块在位检测，插入模块时应连接插针 J261； High: P3 插槽中没有 SFP+模块； Low: 插槽中有 SFP+模块； 当前默认为高。
SFP_RS0_1	-	-	-	速率选择，可控制接收器速率，连接插针 J259； High: 高速； Low: 低速； 当前默认为高。
SFP_RS1_1	-	-	-	速率选择，可控制接收器速率，连接插针 J260； High: 高速； Low: 低速； 当前默认为高。
SFP_LOS_1	T23	3	3.3V	接收方丢失指示信号

3.11 LVDS 接口

3.11.1 介绍

开发板配有 LVDS 收发两部分接口，连接器形式均为 2x9P 的 2.0mm 间距排针，LVDS_TX 包含：4 Data + 1 Clk；LVDS_RX 包含：4 Data + 1 Clk。LVDS 接口的连接示意图如图 3-10 所示。

图 3-10 LVDS 接口连接示意图



3.11.2 管脚分配

表 3-11 LVDS_TX 接口管脚分配

J247 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LT_2P5_1p	Y22	2	2.5V	LVDS 数据
2	LT_2P5_1n	Y23	2	2.5V	LVDS 数据
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LT_2P5_2p	T20	2	2.5V	LVDS 数据
6	LT_2P5_2n	U20	2	2.5V	LVDS 数据
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	LT_2P5_CLKp	U21	2	2.5V	LVDS 时钟
10	LT_2P5_CLKn	V21	2	2.5V	LVDS 时钟
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LT_2P5_3p	W20	2	2.5V	LVDS 数据
14	LT_2P5_3n	Y20	2	2.5V	LVDS 数据
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LT_2P5_4p	T19	2	2.5V	LVDS 数据
18	LT_2P5_4n	U19	2	2.5V	LVDS 数据

表 3-12 LVDS_RX 接口管脚分配

J7 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LR_2P5_1p	AA24	2	2.5V	LVDS 数据
2	LR_2P5_1n	AB25	2	2.5V	LVDS 数据
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LR_2P5_2p	V23	2	2.5V	LVDS 数据
6	LR_2P5_2n	W23	2	2.5V	LVDS 数据
7	GND	-	-	-	GND

J7 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
8	GND	-	-	-	GND
9	LR_2P5_CLKp	U22	2	2.5V	LVDS 时钟
10	LR_2P5_CLKn	V22	2	2.5V	LVDS 时钟
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LR_2P5_3p	AB24	2	2.5V	LVDS 数据
14	LR_2P5_3n	AC24	2	2.5V	LVDS 数据
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LR_2P5_4p	AA22	2	2.5V	LVDS 数据
18	LR_2P5_4n	AA23	2	2.5V	LVDS 数据

3.12 GPIO 接口

3.12.1 介绍

开发板上通过 1 个 2x10P 的 2.54mm 间距插针引出了 16 个 2.5V 电平标准的 GPIO，便于用户测试。

图 3-11 GPIO 接口连接示意图



3.12.2 管脚分配

表 3-13 GPIO 接口管脚分配

J254 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	VCCIO2+	-	-	2.5V	POWER
2	VCCIO2+	-	-	2.5V	POWER
3	HGPIO1	W21	2	2.5V	GPIO
4	HGPIO2	Y21	2	2.5V	GPIO

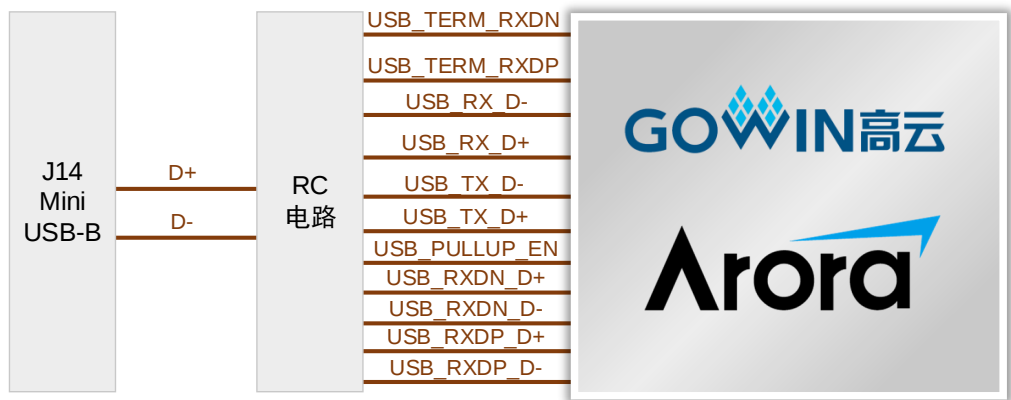
J254 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
5	HGPIO3	V19	2	2.5V	GPIO
6	HGPIO4	W24	2	2.5V	GPIO
7	HGPIO5	AC26	2	2.5V	GPIO
8	HGPIO6	V18	2	2.5V	GPIO
9	HGPIO7	AB26	2	2.5V	GPIO
10	HGPIO8	AA25	2	2.5V	GPIO
11	HGPIO9	Y26	2	2.5V	GPIO
12	HGPIO10	Y25	2	2.5V	GPIO
13	HGPIO11	W26	2	2.5V	GPIO
14	HGPIO12	W25	2	2.5V	GPIO
15	HGPIO13	V26	2	2.5V	GPIO
16	HGPIO14	V24	2	2.5V	GPIO
17	HGPIO15	U26	2	2.5V	GPIO
18	HGPIO16	U25	2	2.5V	GPIO
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.13 USB2.0 接口

3.13.1 介绍

开发板通过 Mini USB-B 连接器引出 USB2.0 接口，并设计有 ESD 保护电路，用于 FPGA 与外部通信。USB2.0 接口连接示意图如图 3-12 所示。

图 3-12 USB2.0 接口连接示意图



3.13.2 管脚分配

表 3-14 USB2.0 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
USB_TERM_RXDP	G22	4	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_TERM_RXDN	F22	4	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_RX_D+	M16	4	3.3V	USB 高速时数据管脚
USB_RX_D-	M17	4	3.3V	USB 高速时数据管脚
USB_TX_D+	K16	4	3.3V	USB 高速时数据管脚
USB_TX_D-	K17	4	3.3V	USB 高速时数据管脚
USB_PULLUP_EN	M14	4	3.3V	上拉
USB_RXDN_D+	K22	4	3.3V	USB-信号
USB_RXDN_D-	K23	4	3.3V	USB-端参考信号
USB_RXDP_D+	F23	4	3.3V	USB+信号
USB_RXDP_D-	E23	4	3.3V	USB+端参考信号

3.14 HDMI 接口

3.14.1 介绍

开发板引出一路 HDMI 输入接口和一路 HDMI 输出接口。通过编解码芯片实现输入输出通信。HDMI 接口连接示意图如下图所示。

图 3-13 HDMI_TX 接口连接示意图

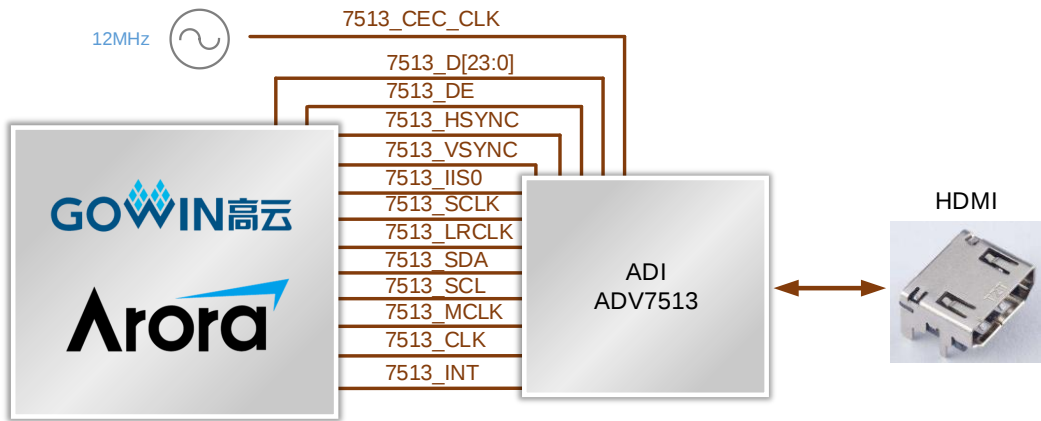
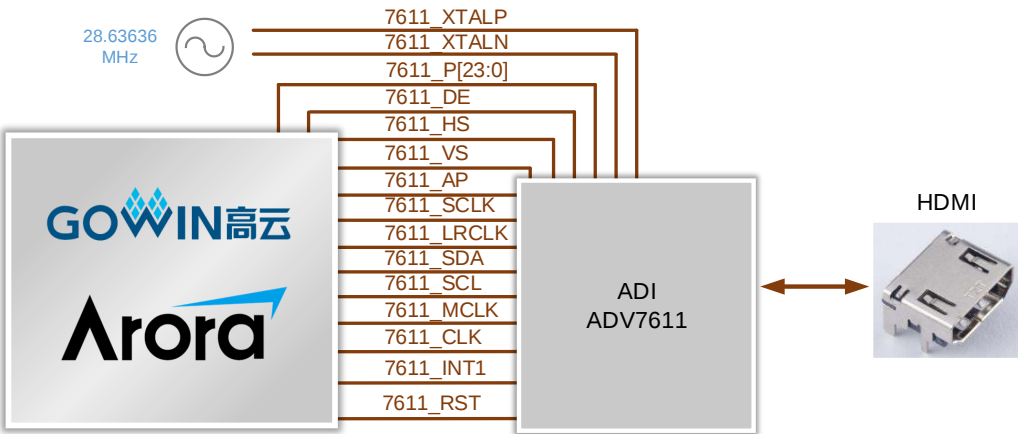


图 3-14 HDMI_RX 接口连接示意图



3.14.2 管脚分配

表 3-15 HDMI_TX 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_CLK	K21	4	3.3V	RGB 数据行锁定输出时钟
7513_D0	K20	4	3.3V	RGB 数据信号
7513_D1	L19	4	3.3V	RGB 数据信号
7513_D2	L18	4	3.3V	RGB 数据信号
7513_D3	J24	4	3.3V	RGB 数据信号
7513_D4	J26	4	3.3V	RGB 数据信号
7513_D5	J25	4	3.3V	RGB 数据信号
7513_D6	H26	4	3.3V	RGB 数据信号
7513_D7	G26	4	3.3V	RGB 数据信号
7513_D8	E26	4	3.3V	RGB 数据信号
7513_D9	E25	4	3.3V	RGB 数据信号
7513_D10	D26	4	3.3V	RGB 数据信号
7513_D11	D25	4	3.3V	RGB 数据信号
7513_D12	G24	4	3.3V	RGB 数据信号
7513_D13	F24	4	3.3V	RGB 数据信号
7513_D14	J20	4	3.3V	RGB 数据信号
7513_D15	J19	4	3.3V	RGB 数据信号
7513_D16	G20	4	3.3V	RGB 数据信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_D17	H19	4	3.3V	RGB 数据信号
7513_D18	K18	4	3.3V	RGB 数据信号
7513_D19	H18	4	3.3V	RGB 数据信号
7513_D20	J18	4	3.3V	RGB 数据信号
7513_D21	J16	4	3.3V	RGB 数据信号
7513_D22	K15	4	3.3V	RGB 数据信号
7513_D23	J15	4	3.3V	RGB 数据信号
7513_VSYNC	M15	4	3.3V	场同步信号
7513_HSYNC	L15	4	3.3V	行同步信号
7513_DE	L14	4	3.3V	RGB 数据使能
7513_SCLK	G21	4	3.3V	IIS 接口 SCLK
7513_LRCLK	J21	4	3.3V	IIS 接口 LRCLK
7513_MCLK	H21	4	3.3V	IIS 接口 MCLK
7513_IIS0	H22	4	3.3V	IIS 接口数据信号
7513_SCL	G25	4	3.3V	I2C 串行接口时钟
7513_SDA	F25	4	3.3V	I2C 串行接口数据
7513_INT	J14	4	3.3V	中断信号

表 3-16 HDMI_RX 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7611_CLK	D18	5	3.3V	RGB 数据行锁定输出时钟
7611_P0	D16	5	3.3V	RGB 数据信号
7611_P1	C26	5	3.3V	RGB 数据信号
7611_P2	B26	5	3.3V	RGB 数据信号
7611_P3	B25	5	3.3V	RGB 数据信号
7611_P4	A25	5	3.3V	RGB 数据信号
7611_P5	B24	5	3.3V	RGB 数据信号
7611_P6	A23	5	3.3V	RGB 数据信号
7611_P7	B22	5	3.3V	RGB 数据信号
7611_P8	A22	5	3.3V	RGB 数据信号

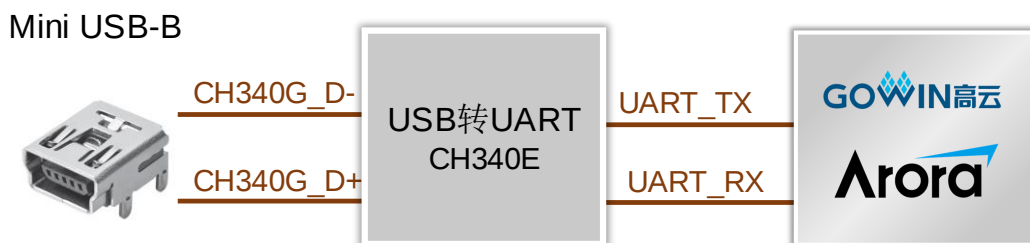
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7611_P9	B20	5	3.3V	RGB 数据信号
7611_P10	A20	5	3.3V	RGB 数据信号
7611_P11	B19	5	3.3V	RGB 数据信号
7611_P12	A19	5	3.3V	RGB 数据信号
7611_P13	A18	5	3.3V	RGB 数据信号
7611_P14	B17	5	3.3V	RGB 数据信号
7611_P15	A17	5	3.3V	RGB 数据信号
7611_P16	D21	5	3.3V	RGB 数据信号
7611_P17	C22	5	3.3V	RGB 数据信号
7611_P18	E21	5	3.3V	RGB 数据信号
7611_P19	C23	5	3.3V	RGB 数据信号
7611_P20	C24	5	3.3V	RGB 数据信号
7611_P21	D23	5	3.3V	RGB 数据信号
7611_P22	D24	5	3.3V	RGB 数据信号
7611_P23	E22	5	3.3V	RGB 数据信号
7611_VS	E18	5	3.3V	场同步信号
7611_HS	C17	5	3.3V	行同步信号
7611_DE	E16	5	3.3V	RGB 数据使能
7611_SCLK	E20	5	3.3V	IIS 接口 SCLK
7611_LRCLK	C19	5	3.3V	IIS 接口 LRCLK
7611_MCLK	D19	5	3.3V	IIS 接口 MCLK
7611_AP	B21	5	3.3V	音频输入引脚
7611_SCL	H16	5	3.3V	I2C 串行接口时钟
7611_SDA	G16	5	3.3V	I2C 串行接口数据
7611_INT1	C21	5	3.3V	中断信号
7611_RST	D20	5	3.3V	系统复位

3.15 UART 接口

3.15.1 介绍

开发板引出的 UART 接口采用 MiniUSB-B 连接器，通过 USB 转换芯片实现。UART 接口连接示意图如图 3-15 所示。

图 3-15 UART 接口连接示意图



3.15.2 管脚分配

表 3-17 UART 接口管脚分配

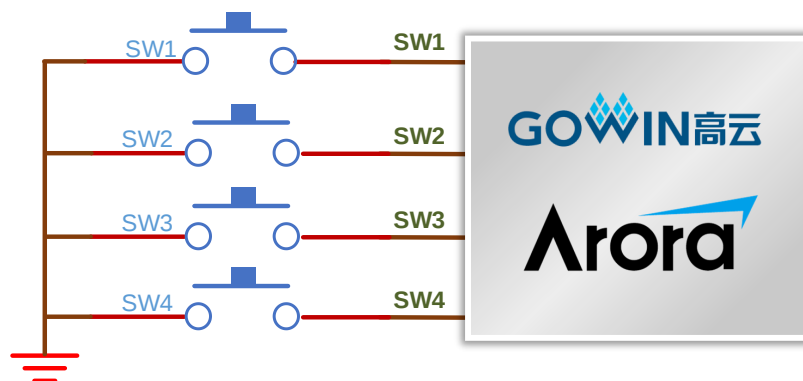
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
UART_TX	R17	3	3.3V	发送数据
UART_RX	R16	3	3.3V	接收数据

3.16 按键&指示灯

3.16.1 介绍

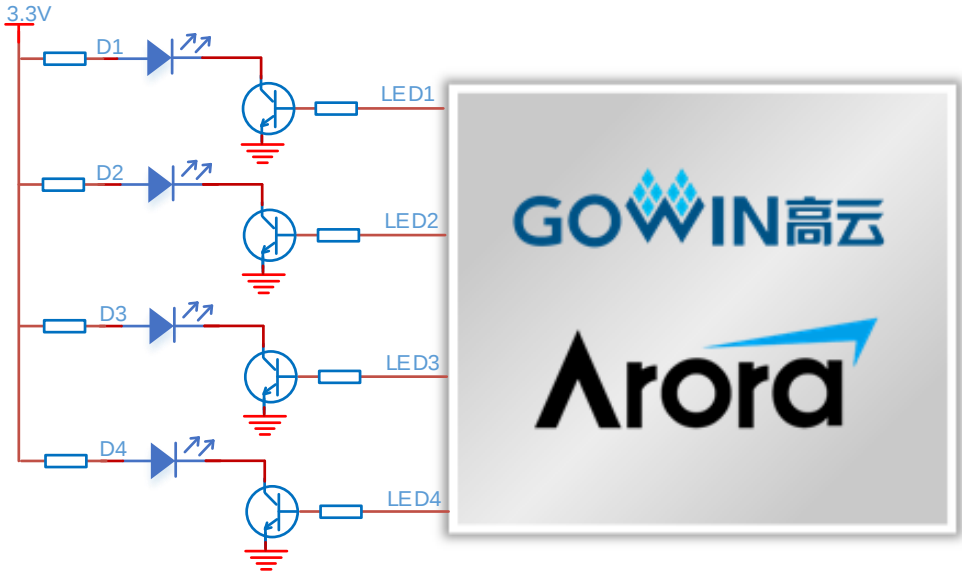
开发板上有 4 个用户按键，连接 FPGA BANK2 和 BANK3 的普通 IO。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如下图所示。

图 3-16 按键连接示意图



开发板共有 4 个用户 LED ,连接 FPGA BANK3 的 IO，可以通过程序来控制亮和灭，当对应 IO 电压为高时，用户 LED 点亮，当连接 IO 电压为低时，用户 LED 熄灭。连接示意图如图 3-17 所示。

图 3-17 LED 指示灯连接示意图



3.16.2 管脚分配

表 3-18 按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SW1	N16	3	3.3V	按键
SW2	U17	2	2.5V	按键
SW3	U24	2	2.5V	按键
SW4	V14	2	2.5V	按键

表 3-19 LED 指示灯管脚分配

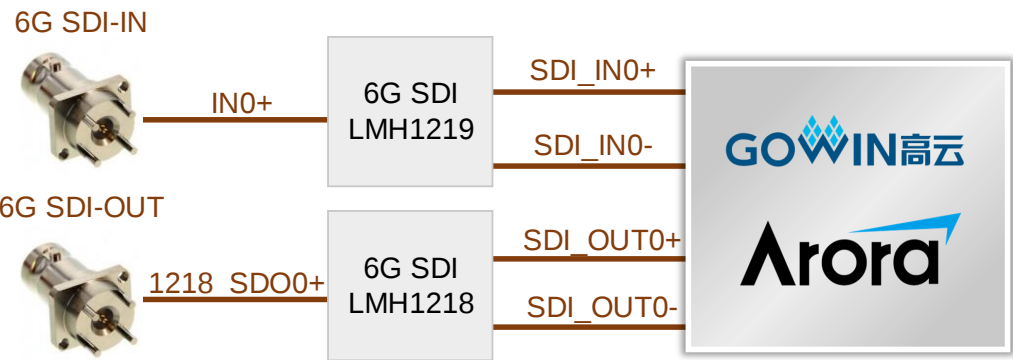
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LED1	R21	3	3.3V	LED
LED2	M19	3	3.3V	LED
LED3	P23	3	3.3V	LED
LED4	P24	3	3.3V	LED

3.17 6G SDI 接口

3.17.1 介绍

开发板提供了 6G SDI 接口，配有收发两部分。SDI-IN 接口由一个 BNC 座接收串行数据；SDI-OUT 接口由一个 BNC 座发送处理后的串行数据。6G SDI 接口的设计示意图如图 3-18 所示。

图 3-18 6G SDI 接口连接示意图



3.17.2 管脚分配

表 3-20 6G SDI 接口管脚分配

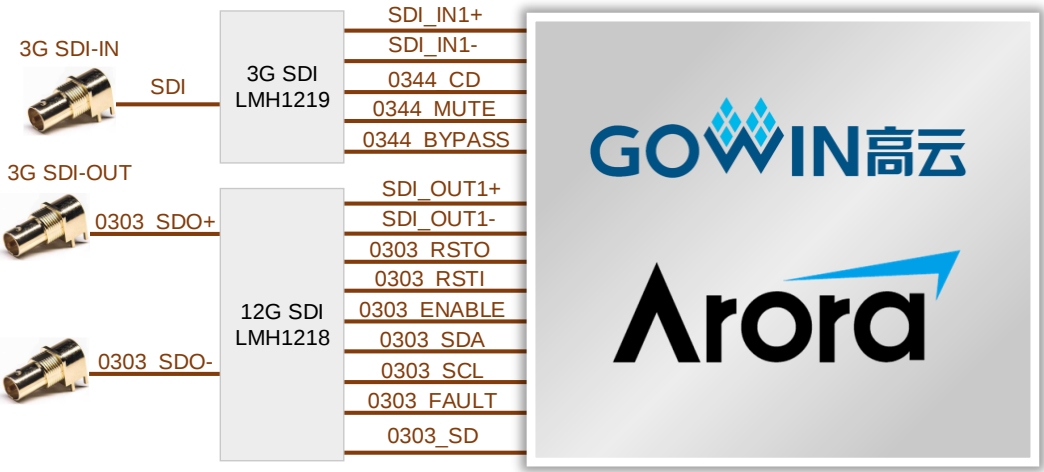
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SDI_IN0+	AC14	Q1	--	SDI+输入
SDI_IN0-	AD14	Q1	--	SDI-输入
SDI_OUT0+	AC8	Q1	--	SDI+输出
SDI_OUT0-	AD8	Q1	--	SDI-输出

3.18 3G SDI 接口

3.18.1 介绍

开发板提供了 3G SDI 接口，配有收发两部分。SDI-IN 接口由一个 BNC 座接收串行数据；SDI-OUT 接口由两个 BNC 座发送处理后的串行数据。3G SDI 接口的设计示意图如图 3-19 所示。

图 3-19 3G SDI 接口连接示意图



3.18.2 管脚分配

表 3-21 3G SDI-IN 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SDI_IN1+	AE13	Q1	--	SDI+输入
SDI_IN1-	AF13	Q1	--	SDI-输入
0344_CD	N24	3	3.3V	载波检测
0344_BYPASS	N22	3	3.3V	旁路信号
0344_MUTE	M20	3	3.3V	输出静音

表 3-22 3G SDI-OUT 接口管脚分配

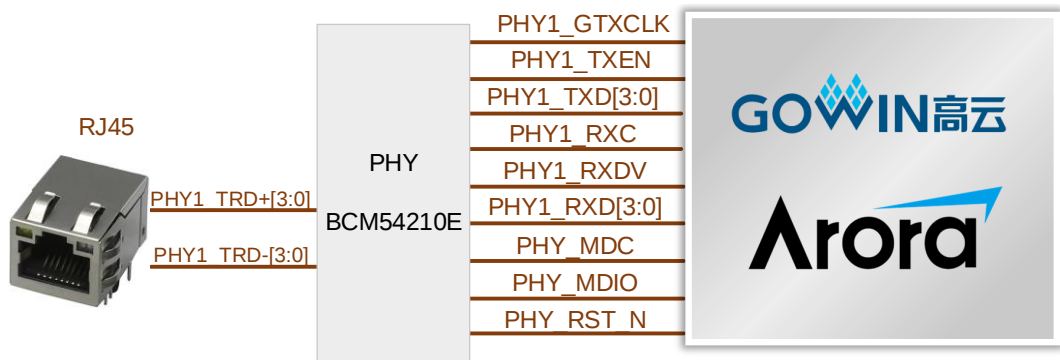
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SDI_OUT1+	AE9	Q1	--	SDI+输出
SDI_OUT-	AF9	Q1	--	SDI-输出
0303_SCL	L22	3	3.3V	SMBus 时钟信号
0303_SDA	L23	3	3.3V	SMBus 双向数据信号
0303_ENABLE	M24	3	3.3V	输出驱动器使能
0303_RSTI	L20	3	3.3V	重置输入
0303_SD	M25	3	3.3V	标准定义
0303_RSTO	L25	3	3.3V	复位输出
0303_FAULT	L24	3	3.3V	故障信号

3.19 以太网接口

3.19.1 介绍

开发板提供了一路以太网接口，支持 RGMII (10BASE-T/100BASE-TX /1000BASE-T)。使用 RJ45 连接器，内部集成网络变压器。连接示意图如图 3-20 所示。

图 3-20 以太网接口连接示意图



3.19.2 管脚分配

表 3-23 以太网接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_RXC	C18	5	3.3V	RGMII 接收时钟
PHY1_GTXCLK	A24	5	3.3V	RGMII 发送时钟
PHY1_RXDV	G19	5	3.3V	RGMII 接收数据有效
PHY1_RXD3	F20	5	3.3V	RGMII 接收数据
PHY1_RXD2	F18	5	3.3V	RGMII 接收数据
PHY1_RXD1	F19	5	3.3V	RGMII 接收数据
PHY1_RXD0	F17	5	3.3V	RGMII 接收数据
PHY1_TXEN	H15	5	3.3V	RGMII 发送使能
PHY1_TXD3	G15	5	3.3V	RGMII 传输数据
PHY1_TXD2	H14	5	3.3V	RGMII 传输数据
PHY1_TXD1	E17	5	3.3V	RGMII 传输数据
PHY1_TXD0	F15	5	3.3V	RGMII 传输数据
PHY_MDC	N18	3	3.3V	管理数据时钟

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY_MDIO	R18	3	3.3V	管理数据 I/O
PHY_RST_N	N23	3	3.3V	复位

