



DK_START_GW5AT-LV60PG484A_V1.1

用户手册

DBUG1276-1.0, 2024-12-31

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/12/31	1.0	初始版本。

目录

目录	i
图目录	iv
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	8
3.1 FPGA	8
3.2 电源	8
3.2.1 介绍	8
3.2.2 电源分配	9
3.3 下载模块	10
3.3.1 介绍	10
3.3.2 管脚分配	10
3.4 时钟	10
3.4.1 介绍	10
3.4.2 管脚分配	11

3.5 DDR3 模块	11
3.5.1 介绍	11
3.5.2 管脚分配	12
3.6 ADC 接口	15
3.6.1 介绍	15
3.6.2 管脚分配	15
3.7 SFP 接口	16
3.7.1 介绍	16
3.7.2 管脚分配	16
3.8 HDMI 接口	17
3.8.1 介绍	17
3.8.2 管脚分配	18
3.9 SDI 接口	21
3.9.1 介绍	21
3.9.2 管脚分配	21
3.10 以太网接口	21
3.10.1 介绍	21
3.10.2 管脚分配	22
3.11 MIPI 接口	23
3.11.1 介绍	23
3.11.2 管脚分配	24
3.12 LVDS 接口	27
3.12.1 介绍	27
3.12.2 管脚分配	27
3.13 UART 接口	29
3.13.1 介绍	29
3.13.2 管脚分配	29
3.14 I2C 接口	29
3.14.1 介绍	29
3.14.2 管脚分配	30
3.15 按键&指示灯	30
3.15.1 介绍	30
3.15.2 管脚分配	31
3.16 GPIO	31

3.16.1 介绍	31
3.16.2 管脚分配	32

图目录

图 2-1 DK_START_GW5AT-LV60PG484A_V1.1 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 电源分配示意图	9
图 3-2 下载连接示意图	10
图 3-3 时钟连接示意图	11
图 3-4 DDR3 的硬件连接示意图	12
图 3-5 ADC 接口原理图连接示意图	15
图 3-6 SFP 接口连接示意图	16
图 3-7 HDMI_TX 接口连接示意图	17
图 3-8 HDMI_RX 接口连接示意图	18
图 3-9 SDI 接口连接示意图	21
图 3-10 以太网接口连接示意图	22
图 3-11 MIPI 接口连接示意图	23
图 3-12 LVDS 接口连接示意图	27
图 3-13 UART 接口连接示意图	29
图 3-14 I2C 接口连接示意图	29
图 3-15 按键连接示意图	30
图 3-16 指示灯连接示意图	31
图 3-17 GPIO 接口连接示意图	31

表目录

表 1-1 术语、缩略语.....	1
表 3-1 JTAG 管脚分配.....	10
表 3-2 时钟管脚分配.....	11
表 3-3 DDR3 配置	11
表 3-4 DDR3 模块管脚分配.....	12
表 3-5 ADC 接口管脚分配	15
表 3-6 SFP-1 接口管脚分配	16
表 3-7 SFP2 接口管脚分配.....	17
表 3-8 HDMI_TX 接口管脚分配.....	18
表 3-9 HDMI_RX 接口管脚分配	19
表 3-10 SDI 接口管脚分配.....	21
表 3-11 以太网接口 1 管脚分配	22
表 3-12 以太网接口 2 管脚分配	22
表 3-13 MIPI 接口管脚分配	24
表 3-14 LVDS 接口管脚分配	27
表 3-15 UART 接口管脚分配.....	29
表 3-16 I2C 接口管脚分配	30
表 3-17 按键管脚分配.....	31
表 3-18 指示灯管脚分配	31
表 3-19 GPIO 接口管脚分配.....	32

1 关于本手册

1.1 手册内容

DK_START_GW5AT-LV60PG484A_V1.1 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [UG1222, GW5AT-60 器件 Pinout 手册](#)
- [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)
- [UG718, Arora V 60K FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
ADC	Analog-to-digital converter	模拟数字转换器
SFP	Small Form-factor Pluggable	小封装可插拔收发器

术语、缩略语	全称	含义
	Transceiver	
DDR	Double Data Rate	双倍速率
JTAG	Joint Test Action Group	联合测试工作组
SDI	Serial digital interface	串行数字接口
LDO	Low Dropout Regulator	低压差线性稳压器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW5AT-LV60PG484A_V1.1 开发板



高云半导体 GW5AT 系列 FPGA 产品是高云半导体晨熙家族 5 系列产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

DK_START_GW5AT-LV60PG484A_V1.1 开发板适用于 DDR3 高速存储，MIPI、SFP 高速通信，集成 LVDS 接口、SDI-IN 接口、SDI-OUT 接口、Ethernet 接口、HDMI-TX、HDMI-RX 接口、ADC 硬核接口等，满足 FPGA 的功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

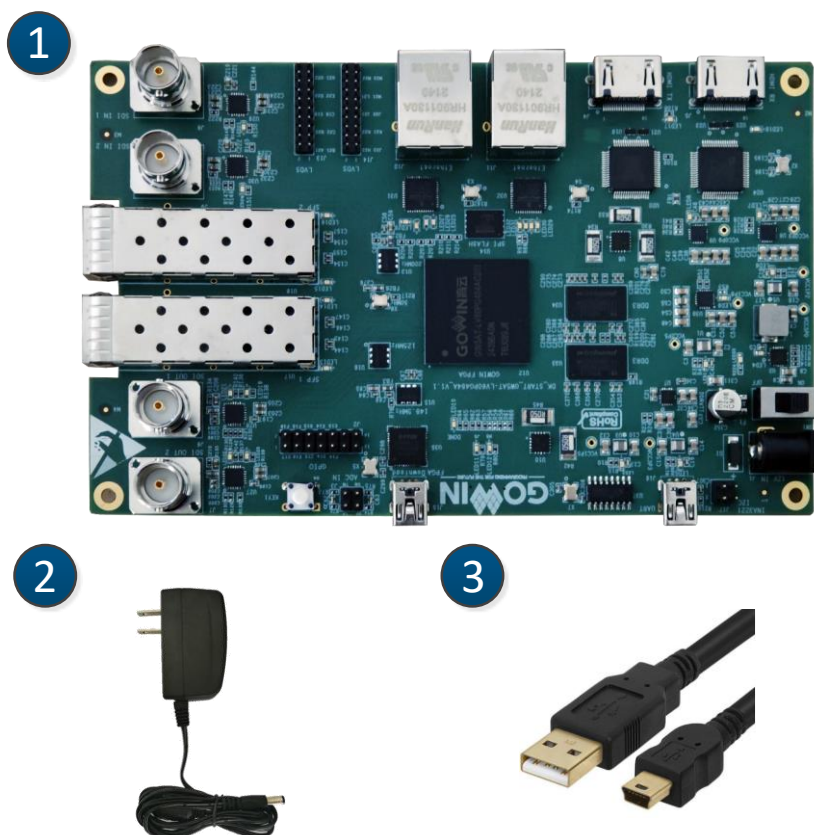
开发板采用高云的“GW5AT-LV60PG484A”型号的FPGA器件，芯片内部资源具体请查看 [DS981](#)，[GW5AT 系列FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_START_GW5AT-LV60PG484A_V1.1 开发板
2. 12V 电源适配器（输入：AC 100-240V~50/60Hz 0.6A，输出：DC12V 2A）
3. Mini USB-B 下载线

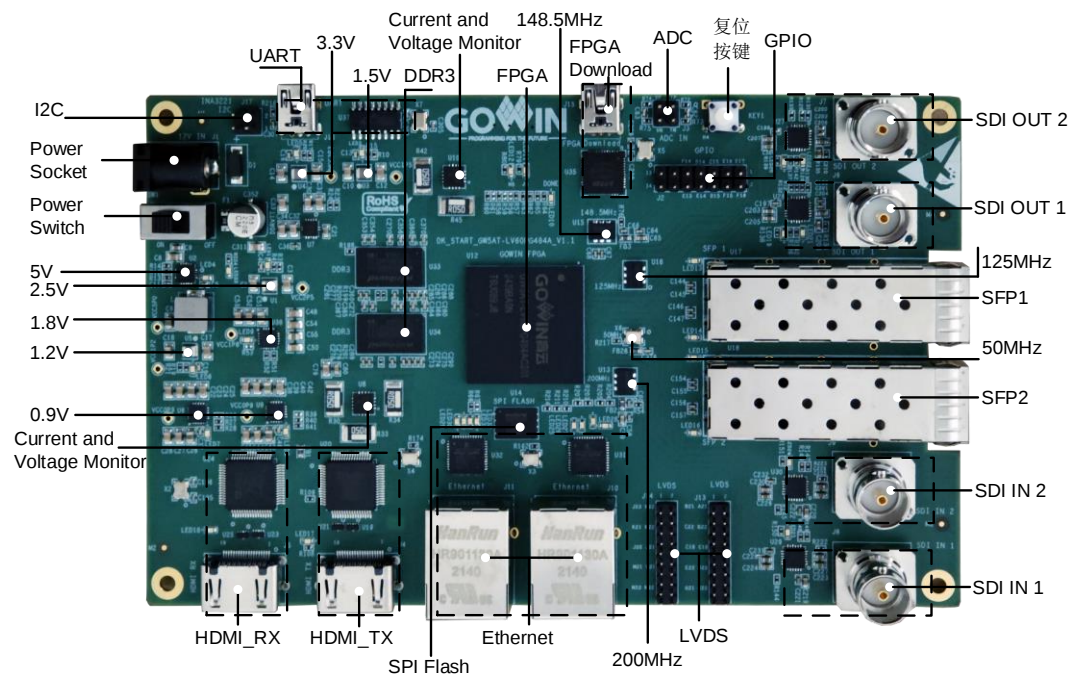
图 2-2 开发板套件



- ① DK_START_GW5AT-LV60PG484A_V1.1开发板
- ② 12V电源适配器
- ③ Mini USB-B下载线

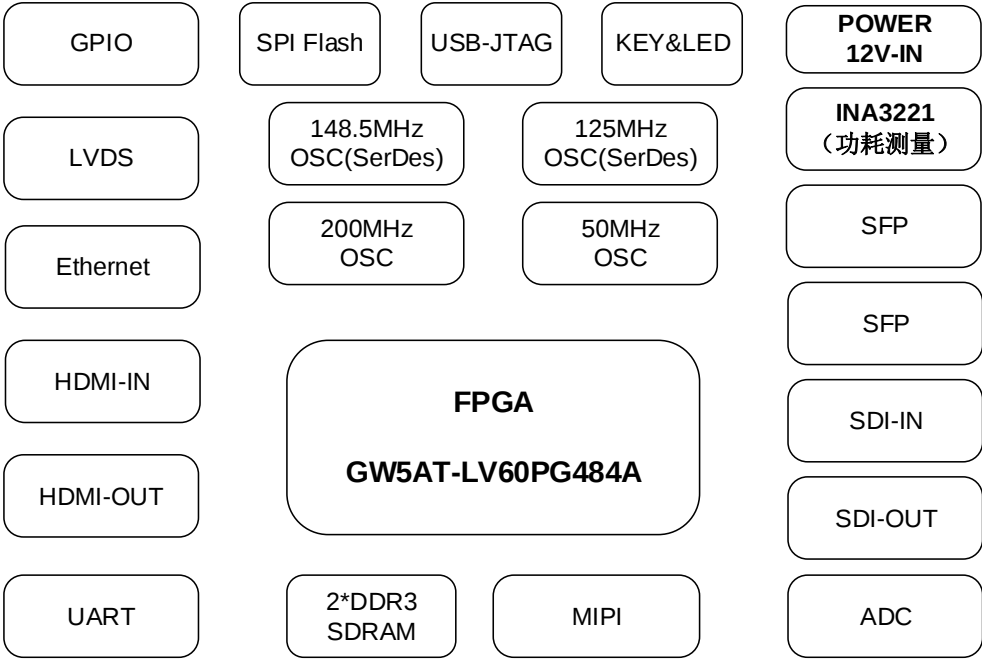
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 高云 GW5AT-LV60PG484A 的 FPGA
- **下载与启动**
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外部 SPI FLASH 启动
- **供电方式**
 - 外部 DC12V 2A 供电
 - 上电后，POWER 灯亮
 - 开发板产生 5V、3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、0.75V 电源
- **时钟系统**
 - 50MHz 单端时钟
 - 125MHz 差分时钟
 - 148.5MHz 差分时钟
 - 200MHz 差分时钟
- **存储器件**
 - 4Gbit DDR3 SDRAM
 - 256Mbit NOR Flash
- **SFP 接口**
 - 两路 SFP 接口，可连接 SFP 或 SFP+模块
- **HDMI 接口**
 - 一路 HDMI-TX 接口，通过编码芯片实现 HDMI-TX 通信
 - 一路 HDMI-RX 接口，通过解码芯片实现 HDMI-RX 通信
- **SDI 接口**
 - 两路 SDI-IN 接口
 - 两路 SDI-OUT 接口
 - 6G SDI 接口，支持 5.94 Gbps SDI 数据传输
- **以太网接口**
 - 两路以太网接口
 - 支持 RGMII 接口（10Base-T/100Base-T/1000BASE-T）
 - RJ45 连接器，内部集成网络变压器
- **MIPI 接口**
 - MIPI 接口，双通道，每个通道包括 4data+1clk

- 预留四个 3.3V 电平标准的 GPIO
- LVDS 接口
 - 两路 LVDS 接口，每路包括 4data+1clk
- I2C 接口
 - 一路 I2C 接口
- UART 接口
 - 一路 UART 接口
 - 采用 Mini USB-B 连接器
- ADC 接口
 - 一路 ADC 接口
- 按键&指示灯
 - 一个低电平复位按键
 - 两个 LED 指示灯
- GPIO
 - 十个 3.3V 电平标准的 GPIO

3 开发板电路

3.1 FPGA

概述

GW5AT 系列 FPGA 产品资源信息参考 [DS981, GW5AT 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW5AT 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

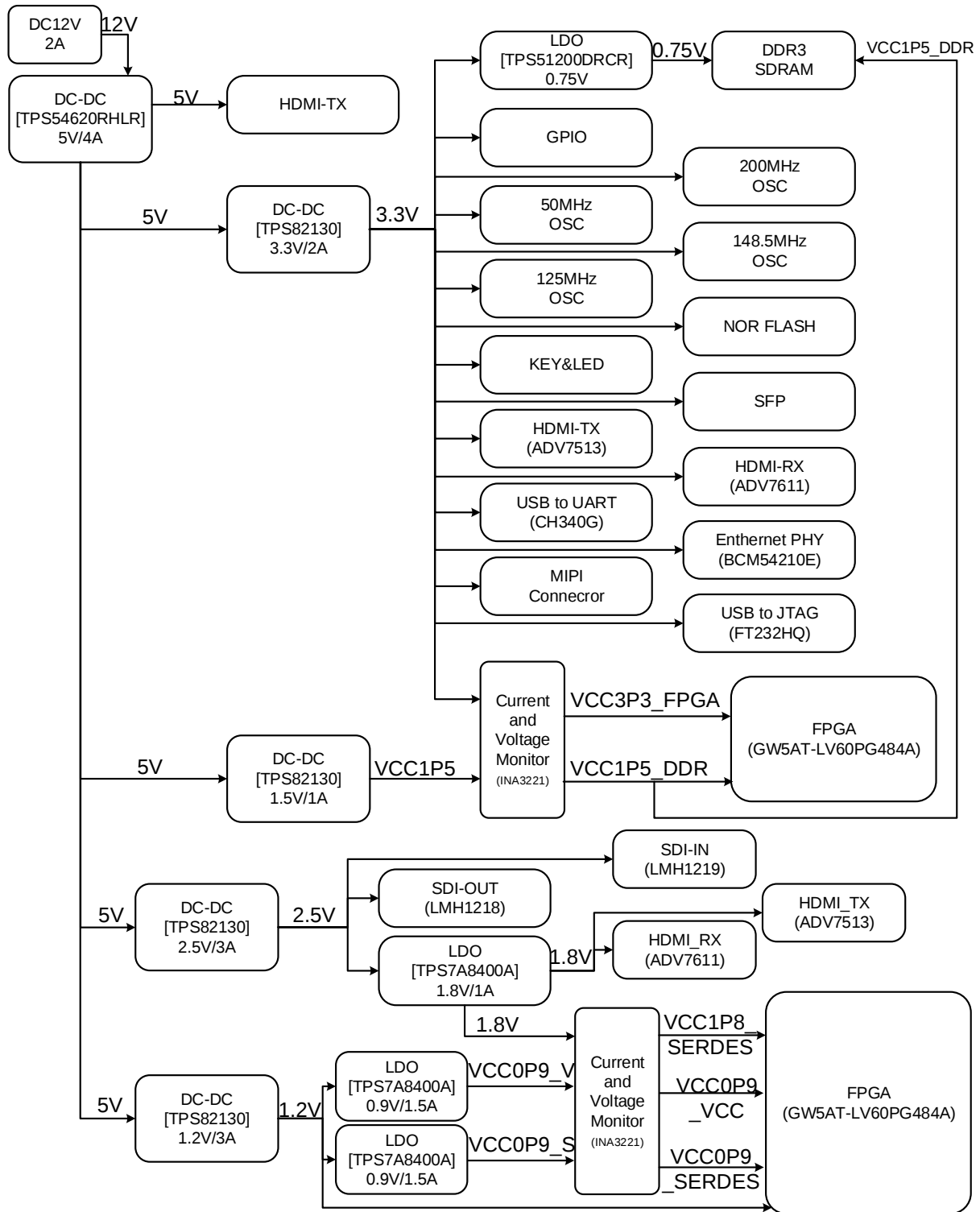
开发板需要通过 12V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.6A，输出：DC12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 5V、3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、0.75V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



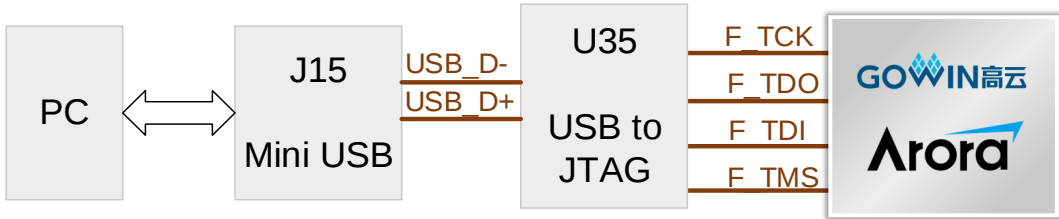
3.3 下载模块

3.3.1 介绍

开发板设计有 Mini USB-B 下载口（J15），可将程序烧录到外部 SPI FLASH 或 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_TCK	V12	12	3.3V	JTAG 信号
F_TDO	U13	12	3.3V	
F_TDI	R13	12	3.3V	
F_TMS	T13	12	3.3V	

3.4 时钟

3.4.1 介绍

开发板上配有多种 FPGA 时钟源，包括一路 50MHz 单端时钟、一路 200MHz 差分时钟、一路 125MHz 差分时钟和一路 148.5MHz 差分时钟，其中 125MHz 差分时钟和 148.5MHz 差分时钟连接到 FPGA SERDES 高速时钟引脚。时钟管脚分配如图 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_50MHz	F13	1	3.3V	50MHz 单端时钟
F_CLK_200M_P	D17	1	3.3V	200MHz 差分时钟
F_CLK_200M_N	C17	1	3.3V	200MHz 差分时钟
Q0_REFCLKP_1	F10	Q0	-	125MHz 差分时钟
Q0_REFCLKM_1	E10	Q0	-	125MHz 差分时钟
Q0_REFCLKP_0	F6	Q0	-	148.5MHz 差分时钟
Q0_REFCLKM_0	E6	Q0	-	148.5MHz 差分时钟

3.5 DDR3 模块

3.5.1 介绍

开发板上配有 2 个 2Gbit 的 DDR3 芯片。DDR3 芯片的信号连接到 FPGA 的 BANK9、BANK10 上。DDR3 的具体配置如表 3-3 所示。

表 3-3 DDR3 配置

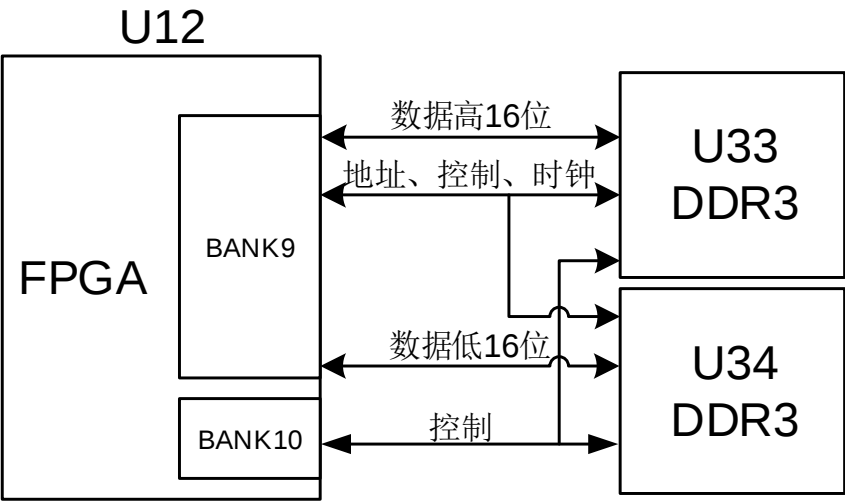
位号	容量
U33	128M x 16bit
U34	128M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，在电路设计和 PCB 设计

时已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制等，以保证 DDR3 高速稳定的工作。

DDR3 的硬件连接示意图如图 3-4 所示。

图 3-4 DDR3 的硬件连接示意图



3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_A0	AA10	9	1.5V	地址
DDR3_A1	Y12	9	1.5V	地址
DDR3_A2	W10	9	1.5V	地址
DDR3_A3	Y2	9	1.5V	地址
DDR3_A4	AA13	9	1.5V	地址
DDR3_A5	AB10	9	1.5V	地址
DDR3_A6	Y13	9	1.5V	地址
DDR3_A7	AB11	9	1.5V	地址
DDR3_A8	Y14	9	1.5V	地址
DDR3_A9	AA11	9	1.5V	地址
DDR3_A10	AB12	9	1.5V	地址
DDR3_A11	W11	9	1.5V	地址
DDR3_A12	W12	9	1.5V	地址
DDR3_A13	Y11	9	1.5V	地址
DDR3_BA0	V4	9	1.5V	Bank 地址

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_BA1	AB13	9	1.5V	Bank 地址
DDR3_BA2	U2	9	1.5V	Bank 地址
DDR3_CS#	P1	10	1.8V	片选通
DDR3_CAS#	U7	9	1.5V	列地址选通
DDR3_CKE	R1	10	1.8V	时钟使能
DDR3_ODT	N2	10	1.8V	片上终端使能
DDR3_RAS#	AA9	9	1.5V	行地址选通
DDR3_RESET	P2	10	1.8V	复位
DDR3_WE#	R4	9	1.5V	写使能
DDR3_CLK_P	V7	9	1.5V	差分时钟
DDR3_CLK_N	W7	9	1.5V	差分时钟
DDR3_DQ0	AB7	9	1.5V	数据
DDR3_DQ1	Y8	9	1.5V	数据
DDR3_DQ2	Y7	9	1.5V	数据
DDR3_DQ3	W9	9	1.5V	数据
DDR3_DQ4	AB8	9	1.5V	数据
DDR3_DQ5	V10	9	1.5V	数据
DDR3_DQ6	AB6	9	1.5V	数据
DDR3_DQ7	AA8	9	1.5V	数据
DDR3_DQ8	T5	9	1.5V	数据
DDR3_DQ9	Y6	9	1.5V	数据
DDR3_DQ10	U6	9	1.5V	数据
DDR3_DQ11	T4	9	1.5V	数据
DDR3_DQ12	T6	9	1.5V	数据
DDR3_DQ13	AA6	9	1.5V	数据
DDR3_DQ14	R6	9	1.5V	数据
DDR3_DQ15	U5	9	1.5V	数据
DDR3_DQ16	AB1	9	1.5V	数据
DDR3_DQ17	AA4	9	1.5V	数据
DDR3_DQ18	AA1	9	1.5V	数据

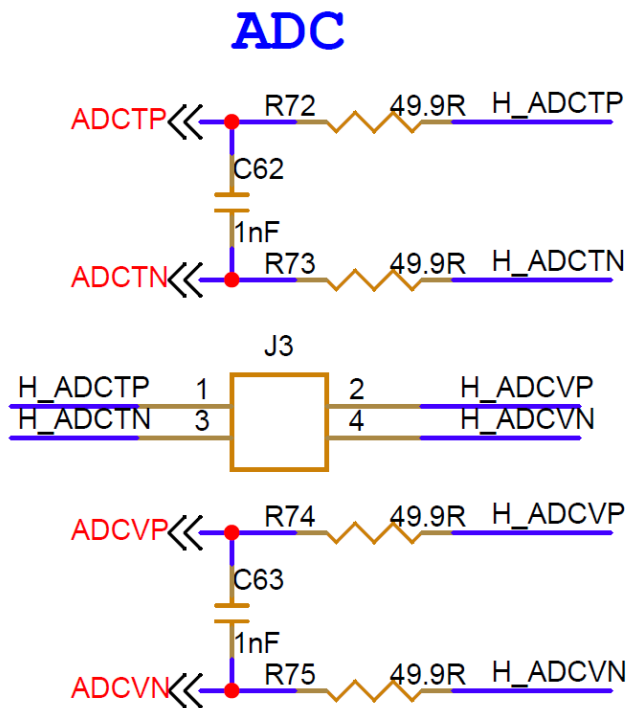
信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_DQ19	AA5	9	1.5V	数据
DDR3_DQ20	AB2	9	1.5V	数据
DDR3_DQ21	W4	9	1.5V	数据
DDR3_DQ22	AB3	9	1.5V	数据
DDR3_DQ23	Y4	9	1.5V	数据
DDR3_DQ24	W2	9	1.5V	数据
DDR3_DQ25	V2	9	1.5V	数据
DDR3_DQ26	U3	9	1.5V	数据
DDR3_DQ27	U1	9	1.5V	数据
DDR3_DQ28	Y1	9	1.5V	数据
DDR3_DQ29	T3	9	1.5V	数据
DDR3_DQ30	V3	9	1.5V	数据
DDR3_DQ31	T1	9	1.5V	数据
DDR3_LDM0	Y9	9	1.5V	数据输入屏蔽
DDR3_UDM0	V5	9	1.5V	数据输入屏蔽
DDR3_LDQS0_P	V9	9	1.5V	数据时钟
DDR3_LDQS0_N	V8	9	1.5V	数据时钟
DDR3_UDQS0_P	W6	9	1.5V	数据时钟
DDR3_UDQS0_N	W5	9	1.5V	数据时钟
DDR3_LDM1	AB5	9	1.5V	数据输入屏蔽
DDR3_UDM1	W1	9	1.5V	数据输入屏蔽
DDR3_LDQS1_P	Y3	9	1.5V	数据时钟
DDR3_LDQS1_N	AA3	9	1.5V	数据时钟
DDR3_UDQS1_P	R3	9	1.5V	数据时钟
DDR3_UDQS1_N	R2	9	1.5V	数据时钟

3.6 ADC 接口

3.6.1 介绍

开发板提供了 ADC 信号输入接口，连接器使用的是 2x2P 的 2.54mm 间距排针。图 3-5 为 ADC 接口原理图连接示意图和抗混叠滤波电路。

图 3-5 ADC 接口原理图连接示意图



3.6.2 管脚分配

表 3-5 ADC 接口管脚分配

J3 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	ADCTP	N10	ADC	-	模拟信号输入
2	ADCVP	L10	ADC	-	模拟信号输入
3	ADCTN	N9	ADC	-	模拟信号输入
4	ADCVN	M9	ADC	-	模拟信号输入

3.7 SFP 接口

3.7.1 介绍

开发板上提供两个 SFP 接口，可插入 SFP 或 SFP+模块。SFP 接口的设计示意图如图 3-6 所示。

图 3-6 SFP 接口连接示意图



3.7.2 管脚分配

表 3-6 SFP-1 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SFP_RX_P_1	D9	Q0	-	接收部分差分信号输出
SFP_RX_N_1	C9	Q0	-	接收部分差分信号输出
SFP_TX_P_1	D7	Q0	-	发射部分差分信号输入
SFP_TX_N_1	C7	Q0	-	发射部分差分信号输入
SFP_TX_FAULT_1	E2	11	3.3V	发射报错
SFP_TX_DISABLE_1	G2	11	3.3V	关断使能输入
SFP_IIC_SDA_1	D1	11	3.3V	I2C 数据线
SFP_IIC_SCL_1	E1	11	3.3V	I2C 时钟线
SFP_MOD_DETECT_1	F1	11	3.3V	模块在位检测
SFP_RS0_1	-	-	-	速率选择
SFP_RS1_1	-	-	-	速率选择
SFP_LOS_1	G1	11	3.3V	接收方丢失指示信号

表 3-7 SFP2 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SFP_RX_P_2	D11	Q0	-	接收部分差分信号输出
SFP_RX_N_2	C11	Q0	-	接收部分差分信号输出
SFP_TX_P_2	D5	Q0	-	发射部分差分信号输入
SFP_TX_N_2	C5	Q0	-	发射部分差分信号输入
SFP_TX_FAULT_2	F4	11	3.3V	发射报错
SFP_TX_DISABLE_2	G4	11	3.3V	关断使能输入
SFP_IIC_SDA_2	E3	11	3.3V	I2C 数据线
SFP_IIC_SCL_2	F3	11	3.3V	I2C 时钟线
SFP_MOD_DETECT_2	G3	11	3.3V	模块在位检测
SFP_RS0_2	-	-	-	速率选择
SFP_RS1_2	-	-	-	速率选择
SFP_LOS_2	D2	11	3.3V	接收方丢失指示信号

3.8 HDMI 接口

3.8.1 介绍

开发板引出一路 HDMI_TX 接口和一路 HDMI_RX 接口。通过编解码芯片实现 HDMI 输入输出通信。HDMI 接口连接示意图如下图所示。

图 3-7 HDMI_TX 接口连接示意图

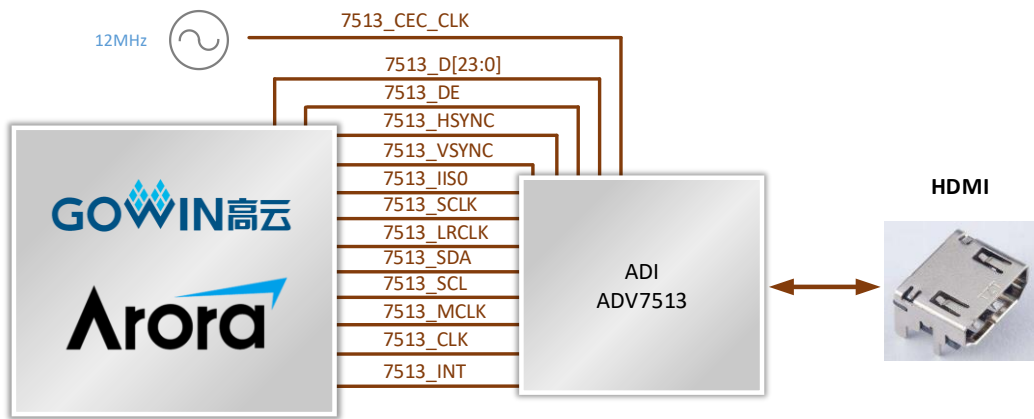
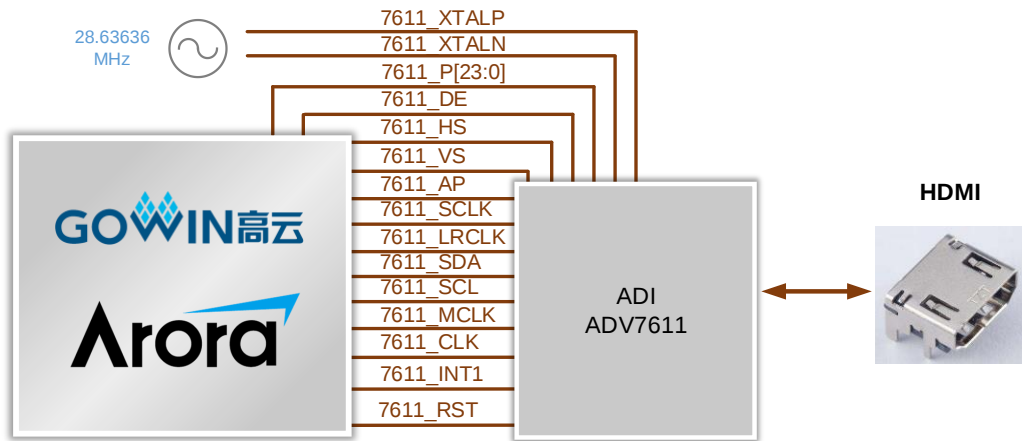


图 3-8 HDMI_RX 接口连接示意图



3.8.2 管脚分配

表 3-8 HDMI_TX 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_CLK	K18	5	3.3V	RGB 数据行锁定输出时钟
7513_D0	P20	7	3.3V	RGB 数据信号
7513_D1	P19	7	3.3V	RGB 数据信号
7513_D2	P17	6	3.3V	RGB 数据信号
7513_D3	P16	6	3.3V	RGB 数据信号
7513_D4	P15	6	3.3V	RGB 数据信号
7513_D5	N20	5	3.3V	RGB 数据信号
7513_D6	N19	5	3.3V	RGB 数据信号
7513_D7	N17	6	3.3V	RGB 数据信号
7513_D8	N15	6	3.3V	RGB 数据信号
7513_D9	N18	5	3.3V	RGB 数据信号
7513_D10	M20	5	3.3V	RGB 数据信号
7513_D11	M18	5	3.3V	RGB 数据信号
7513_D12	M17	5	3.3V	RGB 数据信号
7513_D13	M16	5	3.3V	RGB 数据信号
7513_D14	M15	5	3.3V	RGB 数据信号
7513_D15	K17	5	3.3V	RGB 数据信号
7513_D16	K16	4	3.3V	RGB 数据信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_D17	J17	5	3.3V	RGB 数据信号
7513_D18	J16	5	3.3V	RGB 数据信号
7513_D19	J15	4	3.3V	RGB 数据信号
7513_D20	H18	4	3.3V	RGB 数据信号
7513_D21	H17	4	3.3V	RGB 数据信号
7513_D22	H15	4	3.3V	RGB 数据信号
7513_D23	G18	4	3.3V	RGB 数据信号
7513_VS	R18	6	3.3V	场同步信号
7513_HSYNC	R17	6	3.3V	行同步信号
7513_DE	R16	6	3.3V	RGB 数据使能
7513_SCLK	T16	2	3.3V	IIS 接口 SCLK
7513_LRCLK	T18	6	3.3V	IIS 接口 LRCLK
7513_MCLK	R19	7	3.3V	IIS 接口 MCLK
7513_IIS0	T15	6	3.3V	IIS 接口数据信号
7513_SCL	G16	4	3.3V	I2C 串行接口时钟
7513_SDA	G17	4	3.3V	I2C 串行接口数据
7513_INT	G15	4	3.3V	中断信号

表 3-9 HDMI_RX 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7611_CLK	U20	8	3.3V	RGB 数据行锁定输出时钟
7611_P0	AA19	8	3.3V	RGB 数据信号
7611_P1	Y19	8	3.3V	RGB 数据信号
7611_P2	AB20	8	3.3V	RGB 数据信号
7611_P3	AA20	7	3.3V	RGB 数据信号
7611_P4	W19	8	3.3V	RGB 数据信号
7611_P5	AB21	8	3.3V	RGB 数据信号
7611_P6	AA21	7	3.3V	RGB 数据信号
7611_P7	Y21	8	3.3V	RGB 数据信号
7611_P8	AB22	8	3.3V	RGB 数据信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7611_P9	W20	8	3.3V	RGB 数据信号
7611_P10	W21	7	3.3V	RGB 数据信号
7611_P11	Y22	8	3.3V	RGB 数据信号
7611_P12	V19	8	3.3V	RGB 数据信号
7611_P13	W22	8	3.3V	RGB 数据信号
7611_P14	V20	8	3.3V	RGB 数据信号
7611_P15	V18	8	3.3V	RGB 数据信号
7611_P16	U17	8	3.3V	RGB 数据信号
7611_P17	V22	7	3.3V	RGB 数据信号
7611_P18	U18	8	3.3V	RGB 数据信号
7611_P19	U16	6	3.3V	RGB 数据信号
7611_P20	U21	7	3.3V	RGB 数据信号
7611_P21	U15	6	3.3V	RGB 数据信号
7611_P22	T21	7	3.3V	RGB 数据信号
7611_P23	T20	7	3.3V	RGB 数据信号
7611_VS	AA18	8	3.3V	场同步信号
7611_HS	AB18	8	3.3V	行同步信号
7611_DE	Y18	8	3.3V	RGB 数据使能
7611_SCLK	AB17	7	3.3V	IIS 接口 SCLK
7611_LRCLK	Y17	7	3.3V	IIS 接口 LRCLK
7611_MCLK	W17	8	3.3V	IIS 接口 MCLK
7611_AP	V17	8	3.3V	音频输入引脚
7611_SCL	AB16	7	3.3V	I2C 串行接口时钟
7611_SDA	AA16	7	3.3V	I2C 串行接口数据
7611_INT1	Y16	7	3.3V	中断信号
7611_RST	AB15	8	3.3V	系统复位

3.9 SDI 接口

3.9.1 介绍

开发板提供了 SDI 接口，引出两路接收接口和两路发送接口。两路 SDI-IN 接口由 BNC 座接收串行数据；两路 SDI-OUT 接口由 BNC 座发送处理后的串行数据。SDI 接口的设计示意图如图 3-9 所示。

图 3-9 SDI 接口连接示意图



3.9.2 管脚分配

表 3-10 SDI 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SDI_1_IN_P	B10	Q0	-	SDI+输入
SDI_1_IN_N	A10	Q0	-	SDI-输入
SDI_2_IN_P	B8	Q0	-	SDI+输入
SDI_2_IN_N	A8	Q0	-	SDI-输入
SDI_1_OUT_P	B6	Q0	-	SDI+输出
SDI_1_OUT_N	A6	Q0	-	SDI-输出
SDI_2_OUT_P	B4	Q0	-	SDI+输出
SDI_2_OUT_N	A4	Q0	-	SDI-输出

3.10 以太网接口

3.10.1 介绍

开发板引出了两路以太网接口，支持 RGMII（10BASE-T/100BASE-T/1000BASE-T）。使用 RJ45 连接器，内部集成网络变压器。连接示意图如图 3-10 所示。

图 3-10 以太网接口连接示意图



3.10.2 管脚分配

表 3-11 以太网接口 1 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_RXC	E19	2	3.3V	RGMII 接收时钟
PHY1_GTXCLK	H19	5	3.3V	RGMII 发送时钟
PHY1_RXD3	C20	2	3.3V	RGMII 接收数据
PHY1_RXDV	A19	2	3.3V	RGMII 接收数据有效
PHY1_RXD2	D19	2	3.3V	RGMII 接收数据
PHY1_RXD1	D20	2	3.3V	RGMII 接收数据
PHY1_RXD0	D21	2	3.3V	RGMII 接收数据
PHY1_TXEN	E21	2	3.3V	RGMII 发送使能
PHY1_TXD3	F19	2	3.3V	RGMII 传输数据
PHY1_TXD2	F20	2	3.3V	RGMII 传输数据
PHY1_TXD1	F21	2	3.3V	RGMII 传输数据
PHY1_TXD0	G20	5	3.3V	RGMII 传输数据
PHY_MDC	K19	5	3.3V	管理数据时钟
PHY_MDIO	J19	5	3.3V	管理数据 I/O
PHY_RST_N	H20	5	3.3V	复位

表 3-12 以太网接口 2 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY2_RXC	B17	1	3.3V	RGMII 接收时钟
PHY2_GTXCLK	B20	2	3.3V	RGMII 发送时钟
PHY2_RXD3	B13	1	3.3V	RGMII 接收数据
PHY2_RXDV	C13	1	3.3V	RGMII 接收数据有效

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY2_RXD2	A13	1	3.3V	RGMII 接收数据
PHY2_RXD1	C14	1	3.3V	RGMII 接收数据
PHY2_RXD0	A14	1	3.3V	RGMII 接收数据
PHY2_TXEN	A15	1	3.3V	RGMII 发送使能
PHY2_TXD3	A16	1	3.3V	RGMII 传输数据
PHY2_TXD2	B16	1	3.3V	RGMII 传输数据
PHY2_TXD1	B15	1	3.3V	RGMII 传输数据
PHY2_TXD0	A20	2	3.3V	RGMII 传输数据
PHY_MDC	K19	5	3.3V	管理数据时钟
PHY_MDIO	J19	5	3.3V	管理数据 I/O
PHY_RST_N	H20	5	3.3V	复位

3.11 MIPI 接口

3.11.1 介绍

开发板从 FPGA 引出一路双通道 MIPI 接口，每个通道含 4 路 Data 和 1 路 Clk。MIPI 接口连接到 FPGA 的 MIPI D-PHY RX/TX 软核，还对外引出了 4 个 3.3V 电平标准的 GPIO、供电电源和地。该接口采用 80pin 0.5mm 间距的 AXK580147YG 连接器。MIPI 接口连接示意图如图 3-11 所示。

图 3-11 MIPI 接口连接示意图



3.11.2 管脚分配

表 3-13 MIPI 接口管脚分配

J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	M0_D0N	J6	10	1.8V	MIPI 数据信号
2	NC	-	-	-	悬空
3	M0_D0P	K6	10	1.8V	MIPI 数据信号
4	NC	-	-	-	悬空
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	M0_D1N	J4	10	1.8V	MIPI 数据信号
8	GND	-	-	-	GND
9	M0_D1P	K4	10	1.8V	MIPI 数据信号
10	GND	-	-	-	GND
11	GND	-	-	-	GND
12	NC	-	-	-	悬空
13	M0_CKN	K3	10	1.8V	MIPI 时钟信号
14	NC	-	-	-	悬空
15	M0_CKP	L3	10	1.8V	MIPI 时钟信号
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	M0_D2N	L4	10	1.8V	MIPI 数据信号
20	GND	-	-	-	GND
21	M0_D2P	L5	10	1.8V	MIPI 数据信号
22	NC	-	-	-	悬空
23	GND	-	-	-	GND
24	NC	-	-	-	悬空
25	M0_D3N	L1	10	1.8V	MIPI 数据信号
26	NC	-	-	-	悬空

J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
27	M0_D3P	M1	10	1.8V	MIPI 数据信号
28	GND	-	-	-	GND
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	M1_D0N	M5	10	1.8V	MIPI 数据信号
32	NC	-	-	-	悬空
33	M1_D0P	M6	10	1.8V	MIPI 数据信号
34	NC	-	-	-	悬空
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	M1_D1N	M2	10	1.8V	MIPI 数据信号
38	GND	-	-	-	GND
39	M1_D1P	M3	10	1.8V	MIPI 数据信号
40	GND	-	-	-	GND
41	GND	-	-	-	GND
42	NC	-	-	-	悬空
43	M1_CKN	N5	10	1.8V	MIPI 时钟信号
44	NC	-	-	-	悬空
45	M1_CKP	P6	10	1.8V	MIPI 时钟信号
46	GND	-	-	-	GND
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	M1_D2N	N3	10	1.8V	MIPI 数据信号
50	GND	-	-	-	GND
51	M1_D2P	N4	10	1.8V	MIPI 数据信号
52	MIPI_GPI O1	J2	11	3.3V	GPIO
53	GND	-	-	-	GND
54	MIPI_GPI	K2	11	3.3V	GPIO

J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
	O2				
55	M1_D3N	P4	10	1.8V	MIPI 数据信号
56	MIPI_GPI O3	J1	11	3.3V	GPIO
57	M1_D3P	P5	10	1.8V	MIPI 数据信号
58	MIPI_GPI O4	K1	11	3.3V	GPIO
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	NC	-	-	-	悬空
62	NC	-	-	-	悬空
63	NC	-	-	-	悬空
64	NC	-	-	-	悬空
65	GND	-	-	-	GND
66	GND	-	-	-	GND
67	NC	-	-	-	悬空
68	NC	-	-	-	悬空
69	NC	-	-	-	悬空
70	NC	-	-	-	悬空
71	GND	-	-	-	GND
72	GND	-	-	-	GND
73	NC	-	-	-	悬空
74	GND	-	-	-	GND
75	NC	-	-	-	悬空
76	VCC3P3	-	-	3.3V	POWER
77	GND	-	-	-	GND
78	VCC3P3	-	-	3.3V	POWER
79	GND	-	-	-	GND
80	VCC3P3	-	-	3.3V	POWER

3.12 LVDS 接口

3.12.1 介绍

开发板引出了两个 LVDS 接口，连接 10 对差分信号，包含 8 Data 和 2 Clk；接口采用 2 个 2x10P 的 2.0mm 间距排针。LVDS 接口的连接示意图如图 3-12 所示。

图 3-12 LVDS 接口连接示意图



3.12.2 管脚分配

表 3-14 LVDS 接口管脚分配

J13 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS25_P1	B21	2	3.3V	LVDS 数据
2	LVDS25_N1	A21	2	3.3V	LVDS 数据
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LVDS25_P2	C22	2	3.3V	LVDS 数据
6	LVDS25_N2	B22	2	3.3V	LVDS 数据
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	LVDS25_CK_P1	C18	2	3.3V	LVDS 时钟
10	LVDS25_CK_N1	C19	2	3.3V	LVDS 时钟
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LVDS25_P3	E22	2	3.3V	LVDS 数据
14	LVDS25_N3	D22	2	3.3V	LVDS 数据

J13 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LVDS25_P4	G21	2	3.3V	LVDS 数据
18	LVDS25_N4	G22	2	3.3V	LVDS 数据
19	GND	-	-	-	GND
20	GND	-	-	-	GND

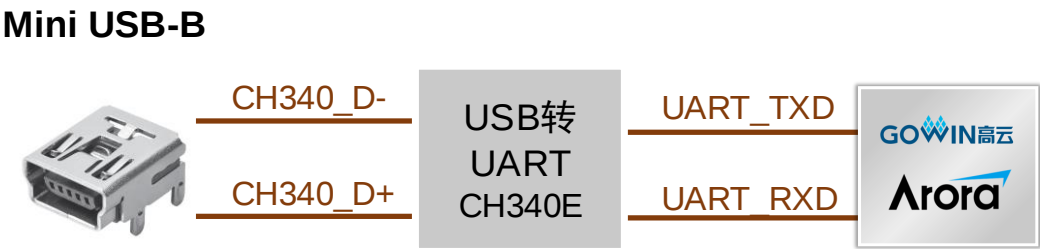
J14 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS25_P5	J22	5	3.3V	LVDS 数据
2	LVDS25_N5	H22	5	3.3V	LVDS 数据
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LVDS25_P6	K21	5	3.3V	LVDS 数据
6	LVDS25_N6	K22	5	3.3V	LVDS 数据
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	LVDS25_CK_P2	J20	5	3.3V	LVDS 时钟
10	LVDS25_CK_N2	J21	5	3.3V	LVDS 时钟
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LVDS25_P7	M21	5	3.3V	LVDS 数据
14	LVDS25_N7	L21	5	3.3V	LVDS 数据
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LVDS25_P8	N22	5	3.3V	LVDS 数据
18	LVDS25_N8	M22	5	3.3V	LVDS 数据
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.13 UART 接口

3.13.1 介绍

开发板引出的 UART 接口采用 Mini USB-B 连接器，通过 USB 转换芯片实现。UART 接口连接示意图如图 3-13 所示。

图 3-13 UART 接口连接示意图



3.13.2 管脚分配

表 3-15 UART 接口管脚分配

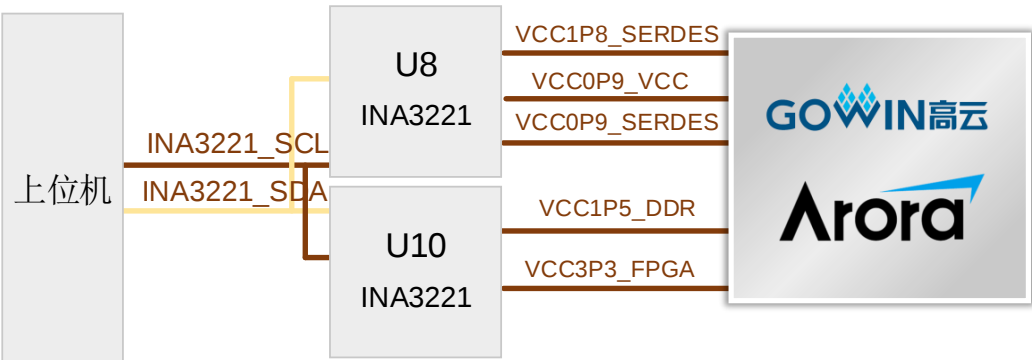
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
UART_TXD	H2	11	3.3V	输入到 FPGA 的串口数据
UART_RXD	H3	11	3.3V	FPGA 输出的串口数据

3.14 I2C 接口

3.14.1 介绍

开发板上提供一路 I2C 接口，作为上位机通信接口。上位机可以通过该接口监测 FPGA VCC、VCCX、SerDes 及各 BANK 的功耗。I2C 接口连接示意图如图 3-14 所示。

图 3-14 I2C 接口连接示意图



3.14.2 管脚分配

表 3-16 I2C 接口管脚分配

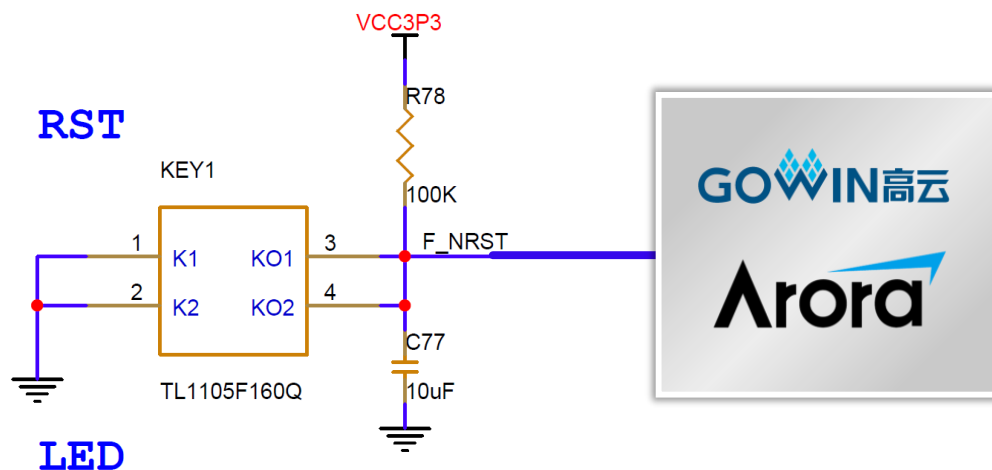
J17 管脚号	信号名称	I/O 电平	描述
1	GND	-	GND
2	INA3221_SCL	3.3V	串行总线时钟线
3	GND	-	GND
4	INA3221_SDA	3.3V	串行总线数据线

3.15 按键&指示灯

3.15.1 介绍

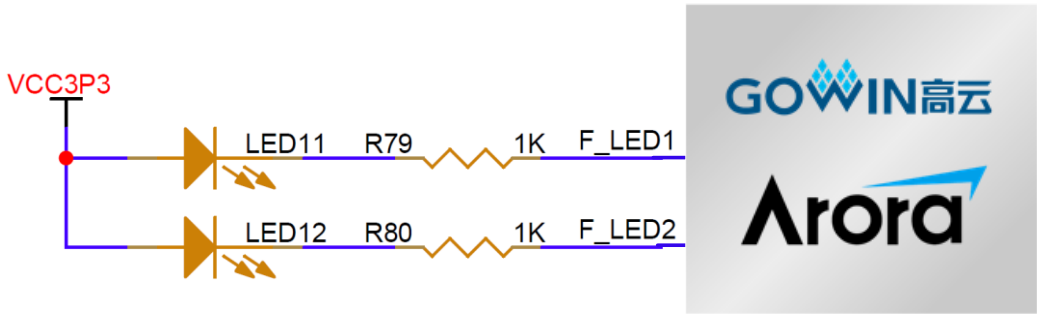
DK_START_GW5AT-LV60PG484A_V1.1 开发板上有 1 个复位按键，连接 FPGA BANK11 的普通 IO。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如图 3-15 所示。

图 3-15 按键连接示意图



开发板共有 2 个用户 LED，连接 FPGA BANK11 的 IO，可以通过程序来控制亮和灭，当对应 IO 电压为高时，用户 LED 点亮，当连接 IO 电压为低时，用户 LED 熄灭。连接示意图如图 3-16 所示。

图 3-16 指示灯连接示意图



3.15.2 管脚分配

表 3-17 按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_NRST	H4	11	3.3V	复位按键

表 3-18 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_LED1	J5	11	3.3V	LED 指示灯
F_LED2	H5	11	3.3V	LED 指示灯

3.16 GPIO

3.16.1 介绍

开发板上通过 1 个 2x7P 的 2.54mm 间距插针引出了 10 个 3.3V 电平标准的 GPIO，便于用户测试。GPIO 接口设计有 ESD 保护电路。

图 3-17 GPIO 接口连接示意图



3.16.2 管脚分配

表 3-19 GPIO 接口管脚分配

J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	F_GPIO0	E17	1	3.3V	GPIO
2	F_GPIO1	F16	1	3.3V	GPIO
3	F_GPIO2	E16	1	3.3V	GPIO
4	F_GPIO3	F15	1	3.3V	GPIO
5	F_GPIO4	C15	1	3.3V	GPIO
6	F_GPIO5	D15	1	3.3V	GPIO
7	F_GPIO6	D14	1	3.3V	GPIO
8	F_GPIO7	E14	1	3.3V	GPIO
9	F_GPIO8	F14	1	3.3V	GPIO
10	F_GPIO9	E13	1	3.3V	GPIO
11	VCC3P3	-	-	3.3V	POWER
12	VCC3P3	-	-	3.3V	POWER
13	GND	-	-	-	GND
14	GND	-	-	-	GND

