



DK_USB_GW5ART-LV15MG132P_V1.1

用户手册

DBUG1279-1.0, 2025-01-17

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/01/17	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	8
3.1 FPGA	8
3.1.1 概述	8
3.1.2 I/O BANK 说明	8
3.2 电源	8
3.2.1 介绍	8
3.2.2 电源分配	9
3.3 下载模块	10
3.3.1 介绍	10
3.3.2 管脚分配	10
3.4 时钟	10

3.4.1 介绍	10
3.4.2 管脚分配	11
3.5 I2C 接口	11
3.5.1 介绍	11
3.5.2 管脚分配	11
3.6 MIPI 接口	12
3.6.1 介绍	12
3.6.2 管脚分配	13
3.7 HDMI 接口	17
3.7.1 介绍	17
3.7.2 管脚分配	17
3.8 SPI 接口	18
3.8.1 介绍	18
3.8.2 管脚分配	18
3.9 Type-C 接口	18
3.9.1 介绍	18
3.9.2 管脚分配	19
3.10 SDI 接口	19
3.10.1 介绍	19
3.10.2 管脚分配	20
3.11 按键	21
3.11.1 介绍	21
3.11.2 管脚分配	21
3.12 SMA 接口	21
3.12.1 介绍	21
3.12.2 管脚分配	22

图目录

图 2-1 DK_USB_GW5ART-LV15MG132P_V1.1 开发板.....	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	5
图 3-1 电源分配示意图	9
图 3-2 下载连接示意图	10
图 3-3 时钟连接示意图	10
图 3-4 I2C 接口连接示意图	11
图 3-5 MIPI CPHY&DPHY 硬核接口连接示意图.....	12
图 3-6 MIPI DPHY 软核/LVDS 接口连接示意图	12
图 3-7 HDMI-RX 接口连接示意图.....	17
图 3-8 SPI 接口连接示意图	18
图 3-9 Type-C 接口连接示意图	19
图 3-10 SDI 接口连接示意图	20
图 3-11 按键连接示意图	21
图 3-12 SMA 接口连接示意图	21

表目录

表 1-1 术语、缩略语.....	1
表 3-1 JTAG 管脚分配.....	10
表 3-2 时钟管脚分配.....	11
表 3-3 I2C 接口管脚分配	11
表 3-4 MIPI CPHY&DPHY 硬核接口管脚分配	13
表 3-5 MIPI DPHY 软核/LVDS 接口管脚分配.....	16
表 3-6 HDMI-RX 接口管脚分配	17
表 3-7 SPI 接口管脚分配.....	18
表 3-8 Type-C 接口管脚分配	19
表 3-9 SDI 接口管脚分配.....	20
表 3-10 按键管脚分配.....	21
表 3-11 SMA 接口管脚分配	22

1 关于本手册

1.1 手册内容

DK_USB_GW5ART-LV15MG132P_V1.1 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [UG1120, GW5ART-15 器件 Pinout 手册](#)
- [UG1233, GW5ART 系列 FPGA 产品封装与管脚手册](#)
- [UG720, Arora V 15K FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
HDMI	High Definition Multimedia Interface	高清多媒体接口
JTAG	Joint Test Action Group	联合测试工作组

术语、缩略语	全称	含义
LDO	Low Dropout Regulator	低压差线性稳压器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
SDI	Serial Digital Interface	串行数字接口
SMA	SubMiniature version A	SMA 型射频同轴连接器
SPI	Serial Peripheral Interface	串行外设接口

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

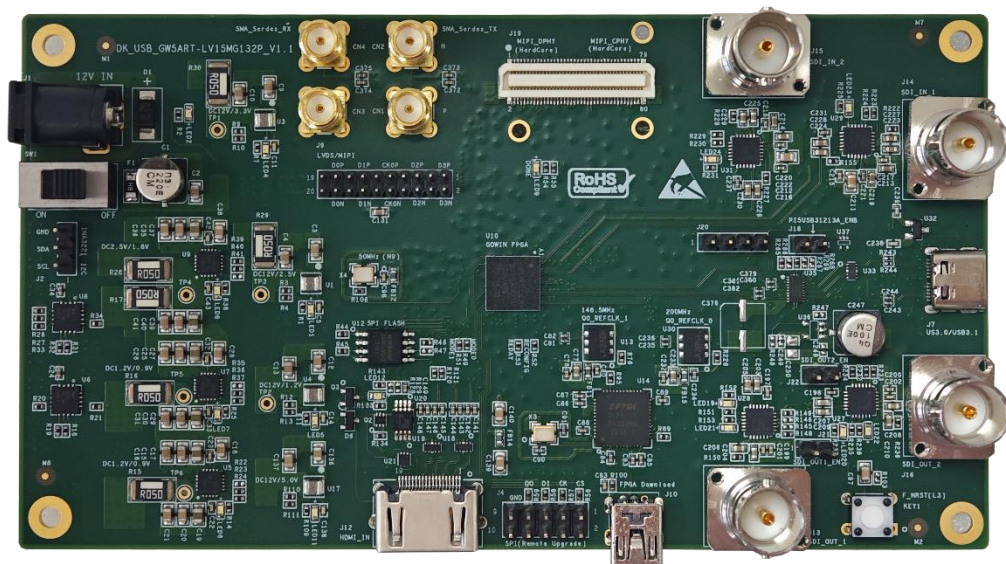
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_USB_GW5ART-LV15MG132P_V1.1 开发板



高云半导体 GW5ART 系列 FPGA 产品是高云半导体晨熙家族 5 系列产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，支持多种协议的 SerDes，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

DK_USB_GW5ART-LV15MG132P_V1.1 开发板适用于 MIPI 高速通信，SDI 视频通信、集成 Type-C 接口、MIPI 接口、SDI 接口，满足 FPGA 的 MIPI C-PHY、MIPI D-PHY、USB3.0、SDI 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

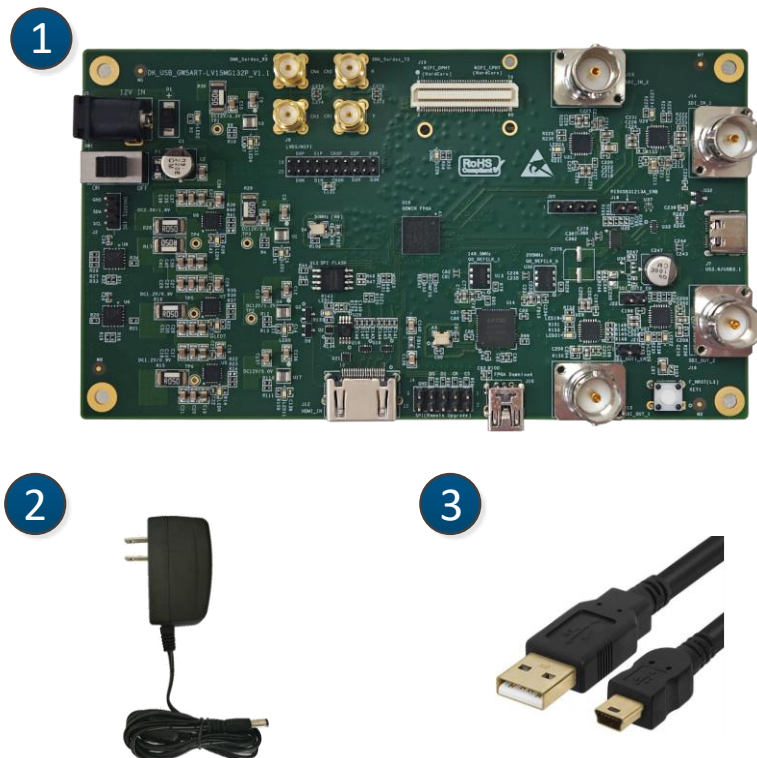
开发板采用高云的“GW5ART-LV15MG132P”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1118](#)，[GW5ART 系列 FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_USB_GW5ART-LV15MG132P_V1.1 开发板
2. 12V 电源适配器（输入：AC 100-240V~50/60Hz 0.6A，输出：DC12V 2A）
3. Mini USB-B 下载线

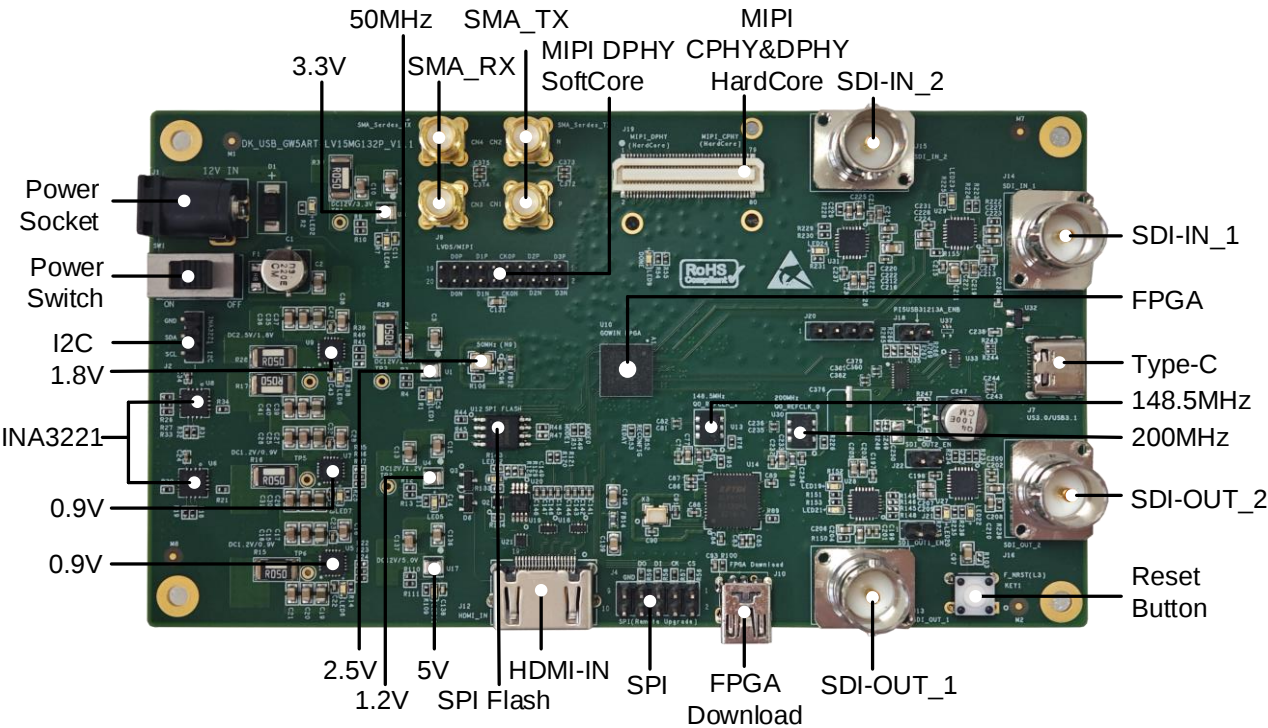
图 2-2 开发板套件



- ① DK_USB_GW5ART-LV15MG132P_V1.1开发板
- ② 12V电源适配器
- ③ Mini USB-B下载线

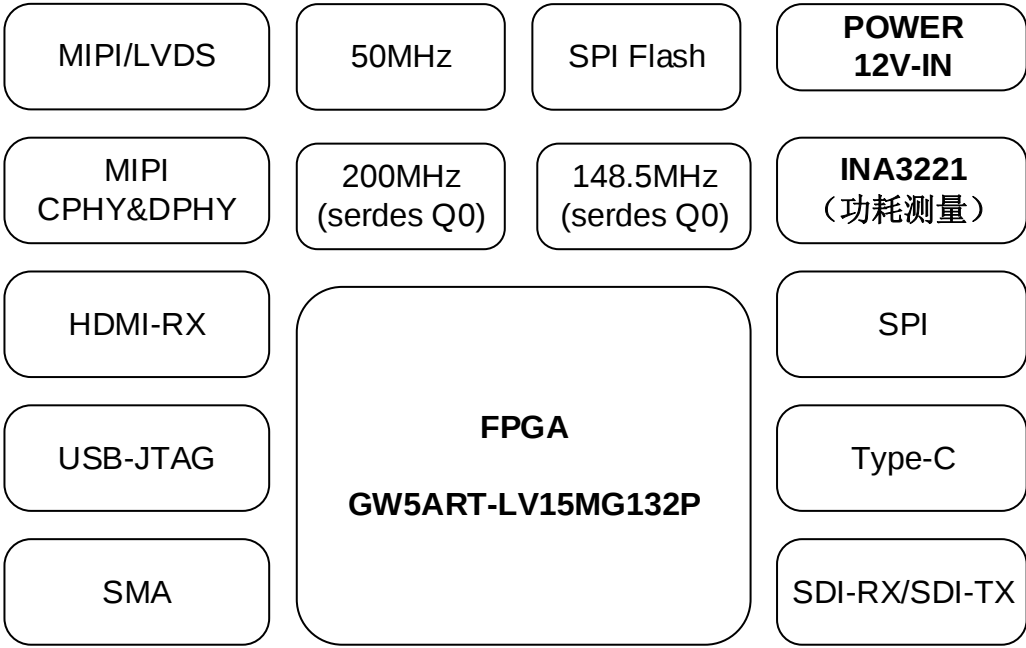
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 高云 GW5ART-LV15MG132P 的 FPGA
- **下载与启动**
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外挂 SPI FLASH 存放 FPGA 加载文件
- **供电方式**
 - 外部 DC12V 2A 供电
 - 上电后，POWER 灯亮
 - 开发板产生 5V、3.3V、2.5V、1.8V、1.2V、0.9V 电源
- **时钟系统**
 - 50MHz 时钟
 - 148.5MHz SerDes 时钟
 - 200MHz SerDes 时钟
- **存储器件**
 - 64Mbit NOR Flash
- **SDI 接口**
 - 两个 SDI-TX 接口
 - 两个 SDI-RX 接口
 - 3G SDI 接口，支持 2.97Gbps SDI 数据传输
- **Type-C 接口**
 - 支持 USB3.0 协议
- **MIPI 接口**
 - 一个 CPHY 硬核接口，包括 3 lane
 - 一个 DPHY 硬核接口，包括 4 lane(data)+1 lane (clk)
 - 一个 DPHY 软核接口，双通道，每通道包括 4 lane (data) + 1 lane (clk)，也可用作 LVDS 接收
- **HDMI 接口**
 - 一个 HDMI-RX 接口
- **SPI 接口**
 - 一个 SPI 接口
 - 可用于远程升级
- **SMA 接口**
 - 4 个 SMA 接口

- 引出 1 lane SerDes 信号
- I2C 接口
 - 一个 I2C 接口
- 按键
 - 一个低电平复位按键

3 开发板电路

3.1 FPGA

3.1.1 概述

GW5ART 系列 FPGA 产品资源信息参考 [DS1118, GW5ART 系列 FPGA 产品数据手册](#)。

3.1.2 I/O BANK 说明

GW5ART 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1233, GW5ART 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

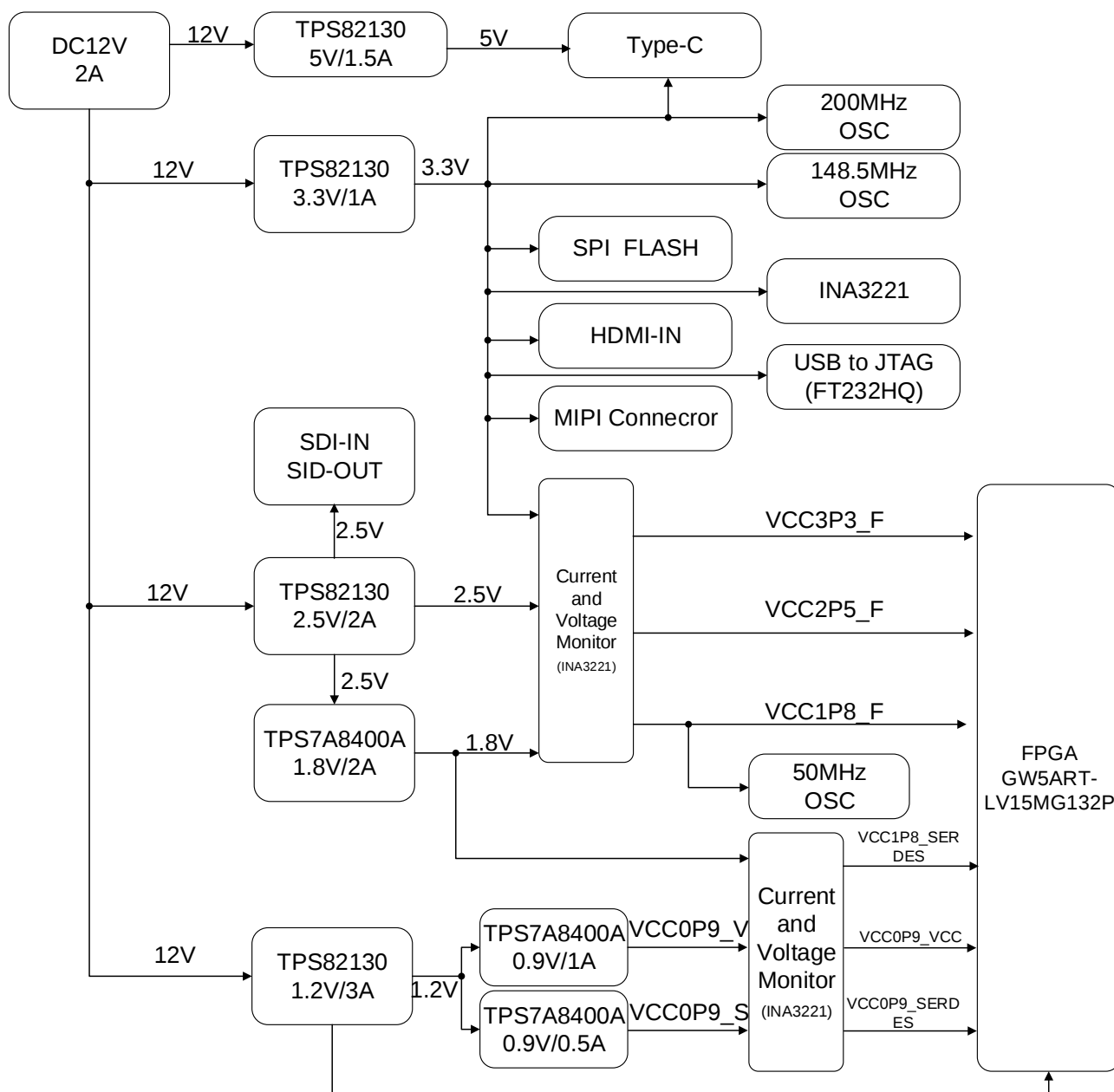
开发板需要通过 12V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.6A，输出：DC12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 5.0V、3.3V、2.5V、1.8V、1.2V、0.9V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



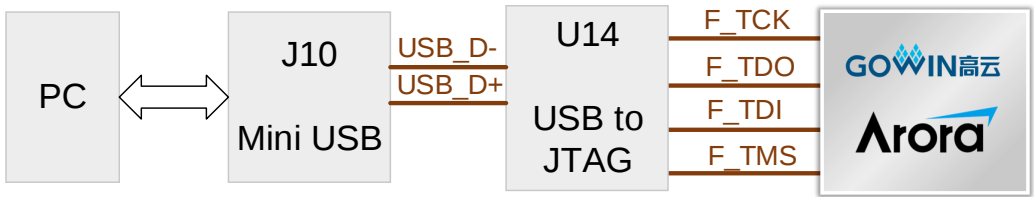
3.3 下载模块

3.3.1 介绍

开发板设计有 Mini USB-B 下载口（J10），可将程序烧写到外部 SPI FLASH 或 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_TCK	G2	4	3.3V	JTAG 信号
F_TDO	J2	4	3.3V	
F_TDI	J3	4	3.3V	
F_TMS	G3	4	3.3V	

3.4 时钟

3.4.1 介绍

开发板上包含多种 FPGA 时钟源，包括一个 50MHz 单端时钟，一个 200MHz SerDes 差分时钟，一个 148.5MHz SerDes 差分时钟。其中 200MHz 和 148.5MHz 时钟连接到 FPGA 的 SERDES 时钟管脚上。时钟管脚分配如图 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_50M	N9	1	1.8V	50MHz 单端时钟
Q0_200MHz_P	A8	Q0	-	200MHz 差分时钟
Q0_200MHz_N	A7	Q0	-	200MHz 差分时钟
Q0_148p5MHz_P	C10	Q0	-	148.5MHz 差分时钟
Q0_148p5MHz_N	B10	Q0	-	148.5MHz 差分时钟

3.5 I2C 接口

3.5.1 介绍

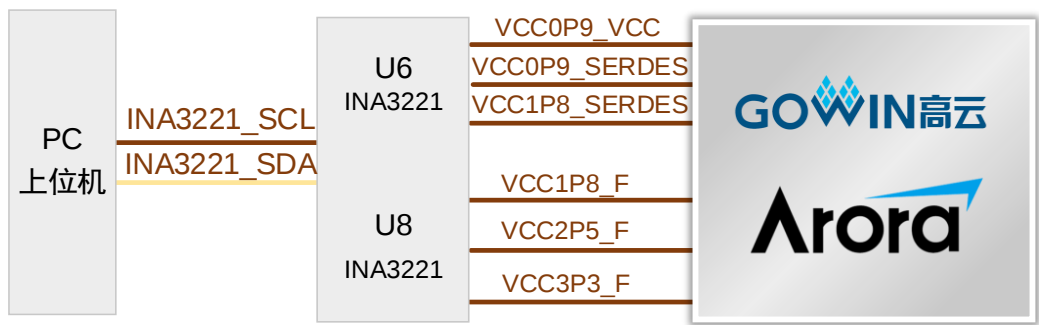
开发板上提供一个 I2C 接口，作为上位机通信接口。上位机可以通过该接口监测 FPGA VCC、SerDes 及 BANK 的功耗情况。

U6 的第一通道为 VCC0P9_VCC；第二通道为 VCC0P9_SERDES；第三通道为 VCC1P8_SERDES。I2C 地址为 0x40。

U8 的第一通道为 VCC1P8_F；第二通道为 VCC2P5_F；第三通道为 VCC3P3_F，I2C 地址为 0x41。

I2C 接口连接示意图如图 3-4 所示。

图 3-4 I2C 接口连接示意图



3.5.2 管脚分配

表 3-3 I2C 接口管脚分配

J2 管脚号	信号名称	I/O 电平	描述
1	INA3221_SCL	3.3V	串行总线时钟线
2	INA3221_SDA	3.3V	串行总线数据线

J2 管脚号	信号名称	I/O 电平	描述
3	GND	-	GND

3.6 MIPI 接口

3.6.1 介绍

开发板从 FPGA 引出一个 MIPI CPHY 硬核接口，一个 MIPI DPHY 硬核接口和一个 MIPI DPHY 软核接口。其中 MIPI CPHY 硬核接口和 MIPI DPHY 硬核接口引出到 80pin 0.5mm 间距的 AXK580147YG 连接器，MIPI DPHY 软核接口引出到 1 个 2x10P 2.0mm 间距的排针上。MIPI DPHY 软核接口可用作 LVDS 接收使用。MIPI 连接示意图如下图所示。

图 3-5 MIPI CPHY&DPHY 硬核接口连接示意图

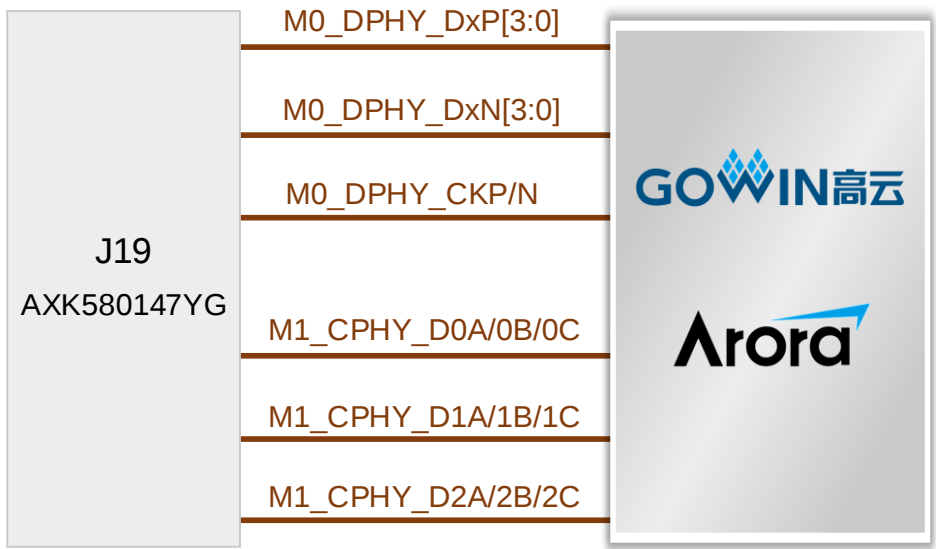


图 3-6 MIPI DPHY 软核/LVDS 接口连接示意图



3.6.2 管脚分配

表 3-4 MIPI CPHY&DPHY 硬核接口管脚分配

J19 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	M0_DPHY_D0N	P7	MIPI	-	MIPI DPHY 数据信号
2	VCC1P2	-	-	1.2V	POWER
3	M0_DPHY_D0P	N7	MIPI	-	MIPI DPHY 数据信号
4	VCC1P2	-	-	1.2V	POWER
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	M0_DPHY_D1N	P6	MIPI	-	MIPI DPHY 数据信号
8	GND	-	-	-	GND
9	M0_DPHY_D1P	N6	MIPI	-	MIPI DPHY 数据信号
10	GND	-	-	-	GND
11	GND	-	-	-	GND
12	NC	-	-	-	悬空
13	M0_DPHY_CKN	P5	MIPI	-	MIPI DPHY 时钟信号
14	NC	-	-	-	悬空
15	M0_DPHY_CKP	N5	MIPI	-	MIPI DPHY 时钟信号
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	M0_DPHY_D2N	P4	MIPI	-	MIPI DPHY 数据信号
20	GND	-	-	-	GND
21	M0_DPHY_D2P	N4	MIPI	-	MIPI DPHY 数据信号
22	NC	-	-	-	悬空
23	GND	-	-	-	GND
24	NC	-	-	-	悬空
25	M0_DPHY_D3N	P3	MIPI	-	MIPI DPHY 数据信号
26	NC	-	-	-	悬空

J19 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
27	M0_DPHY_D3P	N3	MIPI	-	MIPI DPHY 数据信号
28	GND	-	-	-	GND
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	GND	-	-	-	GND
32	NC	-	-	-	悬空
33	GND	-	-	-	GND
34	NC	-	-	-	悬空
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	GND	-	-	-	GND
38	GND	-	-	-	GND
39	GND	-	-	-	GND
40	GND	-	-	-	GND
41	M1_CPHY_D1A	L1	MIPI	-	MIPI CPHY 数据信号
42	NC	-	-	-	悬空
43	M1_CPHY_D1B	K1	MIPI	-	MIPI CPHY 数据信号
44	NC	-	-	-	悬空
45	M1_CPHY_D1C	J1	MIPI	-	MIPI CPHY 数据信号
46	GND	-	-	-	GND
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	GND	-	-	-	GND
50	GND	-	-	-	GND
51	M1_CPHY_D0A	F2	MIPI	-	MIPI CPHY 数据信号
52	NC	-	-	-	悬空
53	M1_CPHY_D0B	F1	MIPI	-	MIPI CPHY 数据信号
54	NC	-	-	-	悬空
55	M1_CPHY_D0C	G1	MIPI	-	MIPI CPHY 数据信号

J19 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
56	NC	-	-	-	悬空
57	GND	-	-	-	GND
58	NC	-	-	-	悬空
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	M1_CPHY_D2A	C1	MIPI	-	MIPI CPHY 数据信号
62	NC	-	-	-	悬空
63	M1_CPHY_D2B	D2	MIPI	-	MIPI CPHY 数据信号
64	NC	-	-	-	悬空
65	M1_CPHY_D2C	D1	MIPI	-	MIPI CPHY 数据信号
66	GND	-	-	-	GND
67	GND	-	-	-	GND
68	NC	-	-	-	悬空
69	GND	-	-	-	GND
70	NC	-	-	-	悬空
71	GND	-	-	-	GND
72	GND	-	-	-	GND
73	GND	-	-	-	GND
74	GND	-	-	-	GND
75	GND	-	-	-	GND
76	VCC3P3	-	-	3.3V	POWER
77	GND	-	-	-	GND
78	VCC3P3	-	-	3.3V	POWER
79	GND	-	-	-	GND
80	VCC3P3	-	-	3.3V	POWER

表 3-5 MIPI DPHY 软核/LVDS 接口管脚分配

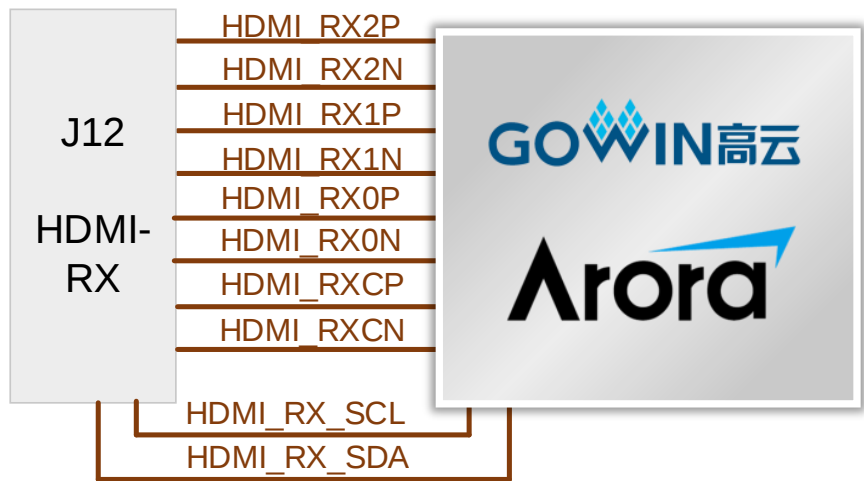
J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	DPHY_LVDS_D3P	N8	1	1.8V	MIPI/LVDS 数据
2	DPHY_LVDS_D3N	P8	1	1.8V	MIPI/LVDS 数据
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	DPHY_LVDS_D2P	P10	1	1.8V	MIPI/LVDS 数据
6	DPHY_LVDS_D2N	N10	1	1.8V	MIPI/LVDS 数据
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	DPHY_LVDS_CK0P	N11	1	1.8V	MIPI/LVDS 时钟
10	DPHY_LVDS_CK0N	P11	1	1.8V	MIPI/LVDS 时钟
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	DPHY_LVDS_D1P	N12	1	1.8V	MIPI/LVDS 数据
14	DPHY_LVDS_D1N	P12	1	1.8V	MIPI/LVDS 数据
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	DPHY_LVDS_D0P	P13	1	1.8V	MIPI/LVDS 数据
18	DPHY_LVDS_D0N	N13	1	1.8V	MIPI/LVDS 数据
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.7 HDMI 接口

3.7.1 介绍

开发板提供了一个 HDMI 接收接口，通过 FPGA 内部 IP 实现 HDMI 信号的接收。接口连接示意图如图 3-7 所示。

图 3-7 HDMI-RX 接口连接示意图



3.7.2 管脚分配

表 3-6 HDMI-RX 接口管脚分配

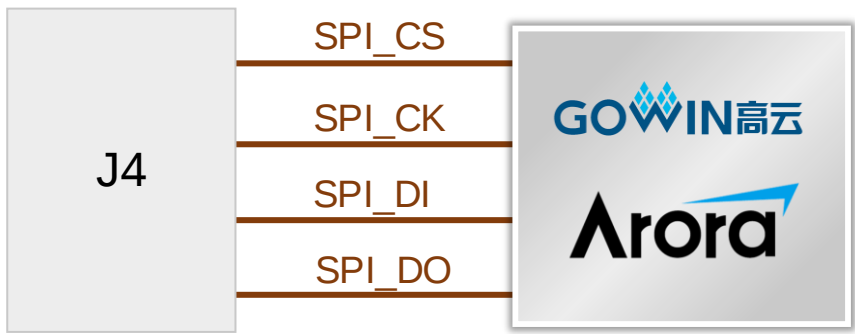
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
HDMI_RXCP	M2	3	2.5V	HDMI 差分时钟
HDMI_RXCN	M1	3	2.5V	HDMI 差分时钟
HDMI_RX0P	P2	3	2.5V	HDMI 接收数据
HDMI_RX0N	P1	3	2.5V	HDMI 接收数据
HDMI_RX1P	H3	4	2.5V	HDMI 接收数据
HDMI_RX1N	H2	4	2.5V	HDMI 接收数据
HDMI_RX2P	K3	4	2.5V	HDMI 接收数据
HDMI_RX2N	K2	4	2.5V	HDMI 接收数据
HDMI_RX_SCL	N2	3	2.5V	I2C 串行时钟，复用 MODE0 管脚
HDMI_RX_SDA	N1	3	2.5V	I2C 串行数据，复用 MODE1 管脚

3.8 SPI 接口

3.8.1 介绍

开发板引出了一个 SPI 接口，用于远程升级。SPI 接口的连接示意图如图 3-8 所示。

图 3-8 SPI 接口连接示意图



3.8.2 管脚分配

表 3-7 SPI 接口管脚分配

J4 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	SPI_CS	P14	1	1.8V	片选信号
3	SPI_CK	M8	1	1.8V	时钟信号
5	SPI_DI	N14	1	1.8V	输入到 FPGA 的数据
7	SPI_DO	P9	1	1.8V	FPGA 输出的数据

3.9 Type-C 接口

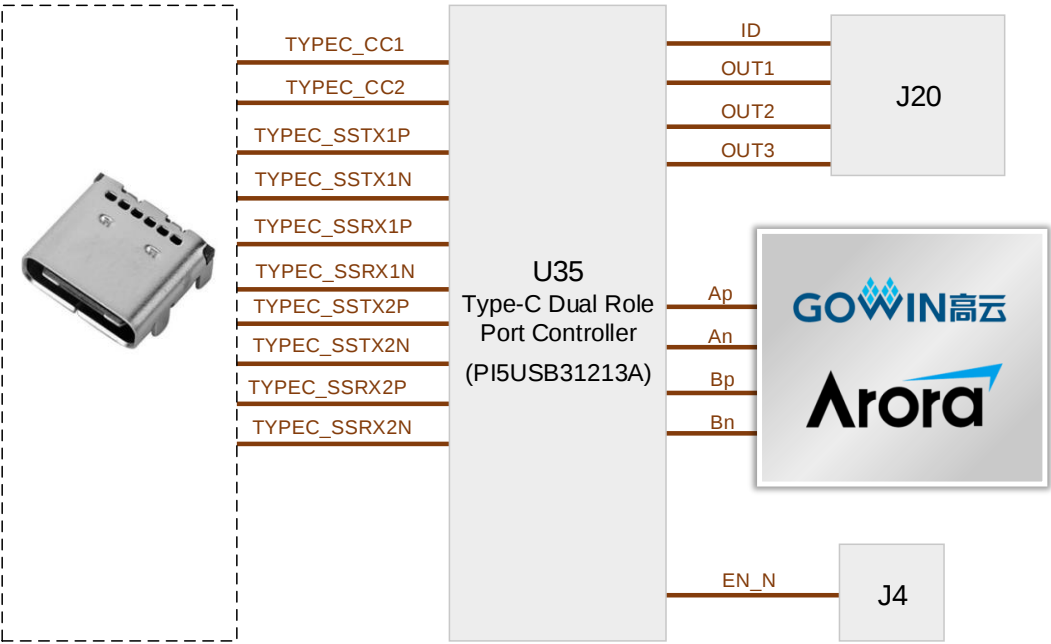
3.9.1 介绍

开发板上引出了一个 Type-C 接口，可实现 USB3.0 数据传输，可满足对 USB3.0 性能评估需求。

开发板 Type-C 接口通过 Type-C 双作用端口控制器连接了一路 SerDes 信号到 FPGA，由 Type-C 双作用端口控制器实现差分高速线的切换，USB3.0 采用 Gowin USB 3.0 PHY IP 方案实现。

Type-C 双作用端口控制器的管理接口通过 J20 引出，可以跳线到 SPI 接口(J4)来实现 FPGA 对 Type-C 双作用端口控制器的数据交互。Type-C 双作用端口控制器使能信号(EN_N)复用 SPI 接口的时钟信号(SPI_CK)。

图 3-9 Type-C 接口连接示意图



3.9.2 管脚分配

表 3-8 Type-C 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
TYPE_C_SSTXP	B8	SerDes Q0	-	Type-C TX+
TYPE_C_SSTXN	C8	SerDes Q0	-	Type-C TX-
TYPE_C_SSRXP	A10	SerDes Q0	-	Type-C RX+
TYPE_C_SSRXN	A11	SerDes Q0	-	Type-C RX-

3.10 SDI 接口

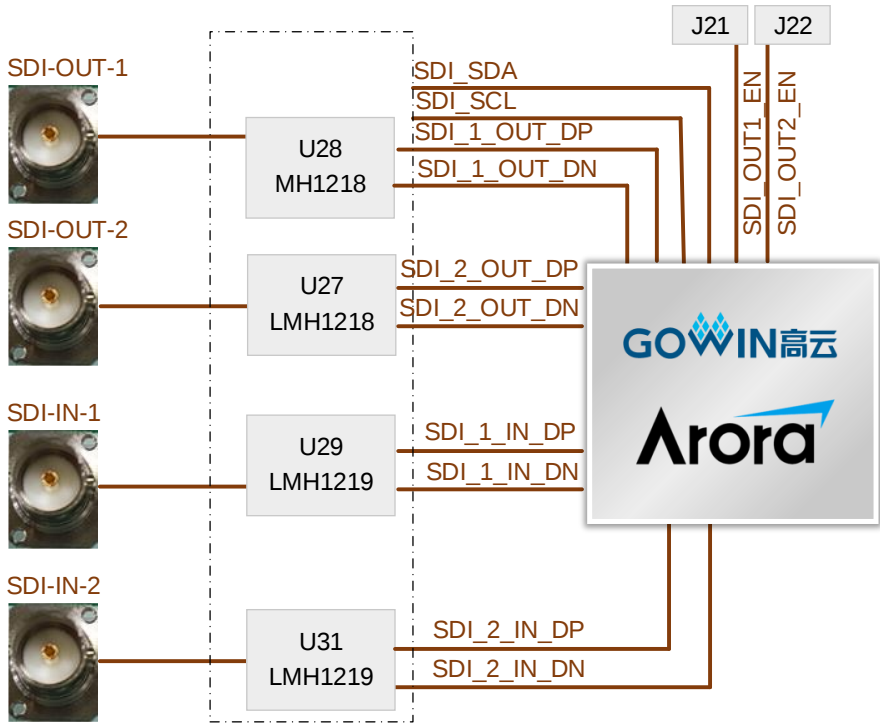
3.10.1 介绍

开发板上留有 2 个 SDI-IN 接口和 2 个 SDI-OUT 接口，接口连接器为 BNC 形式，可以满足 3G SDI 接口的性能评估需求。

SDI-OUT-1 通道的输出可以通过 J21 安装跳塞线帽来关断；SDI-OUT-2 通道的输出可以通过 J22 安装跳塞线帽来关断。

SDI 接口连接示意图如图 3-10 所示。

图 3-10 SDI 接口连接示意图



3.10.2 管脚分配

表 3-9 SDI 接口管脚分配

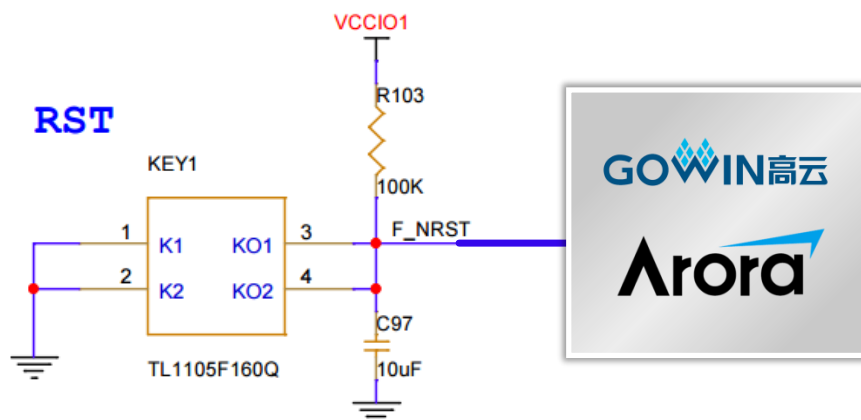
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SDI_OUT1_EN	-	-	-	U28 (LMH1218)输出使能
SDI_OUT2_EN	-	-	-	U27 (LMH1218)输出使能
SDI_SDA	N14	3	2.5V	LMH1218/LMH1219 的 I2C 控制信号，SDA 复用 SPI_DO 信号，SCL 复用 SPI_DI 信号，通过跳线帽连接
SDI_SCL	P9	2	2.5V	
SDI_2_OUT_P	B3	SerDes Q0	-	LMH1218 IN0+
SDI_2_OUT_N	C3	SerDes Q0	-	LMH1218 IN0-
SDI_1_OUT_P	B6	SerDes Q0	-	LMH1218 IN0+
SDI_1_OUT_N	C6	SerDes Q0	-	LMH1218 IN0-
SDI_2_IN_P	A2	SerDes Q0	-	LMH1219 OUT0+
SDI_2_IN_N	A1	SerDes Q0	-	LMH1219 OUT0-
SDI_1_IN_P	A4	SerDes Q0	-	LMH1219 OUT0+
SDI_1_IN_N	A5	SerDes Q0	-	LMH1219 OUT0-

3.11 按键

3.11.1 介绍

开发板上有 1 个复位按键，连接 FPGA BANK1 的 DONE 管脚。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如图 3-11 所示。

图 3-11 按键连接示意图



3.11.2 管脚分配

表 3-10 按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_NRST	L3	2	2.5V	复位按键复用 DONE 管脚

3.12 SMA 接口

3.12.1 介绍

开发板上引出两对 SMA 差分信号，分别为发送和接收，连接到 FPGA SerDes 管脚。连接示意图如图 3-12 所示。

图 3-12 SMA 接口连接示意图



3.12.2 管脚分配

表 3-11 SMA 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SMA_TXP	C12	SerDes Q0	--	FPGA 发送数据
SMA_TXN	B12	SerDes Q0	--	FPGA 发送数据
SMA_RXP	A13	SerDes Q0	--	FPGA 接收数据
SMA_RXN	A14	SerDes Q0	--	FPGA 接收数据

