



DK_VIDEO_GW5AT-LV60UG225_V1.0

用户手册

DBUG1281-1.0, 2025-03-07

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/03/07	1.0	初始版本。

目录

目录	1
图目录	4
表目录	5
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.1.1 核心板	4
2.1.2 底板	5
2.2 开发板套件	5
2.3 PCB 组件	7
2.3.1 核心板	7
2.3.2 底板	7
2.4 系统框图	8
2.5 特性	8
3 核心板电路	10
3.1 FPGA	10
3.1.1 概述	10
3.1.2 I/O BANK 说明	10
3.2 电源	10
3.2.1 介绍	10

3.2.2 电源系统分配	11
3.3 下载模块.....	11
3.3.1 介绍.....	11
3.3.2 管脚分配.....	12
3.4 时钟.....	12
3.4.1 介绍.....	12
3.4.2 管脚分配.....	12
3.5 DDR3 模块.....	13
3.5.1 介绍.....	13
3.5.2 管脚分配.....	13
3.6 复位按键.....	15
3.6.1 介绍.....	15
3.6.2 管脚分配.....	15
3.7 板级连接器	16
3.7.1 介绍.....	16
3.7.2 管脚分配.....	16
4 底板电路	23
4.1 电源.....	23
4.1.1 介绍.....	23
4.1.2 电源系统分配	23
4.2 时钟.....	24
4.2.1 介绍.....	24
4.2.2 管脚分配.....	24
4.3 UART 接口	24
4.3.1 介绍.....	24
4.3.2 管脚分配.....	25
4.4 DP 接口.....	25
4.4.1 介绍.....	25
4.4.2 管脚分配.....	26
4.5 HDMI 接口.....	28
4.5.1 介绍.....	28

4.5.2 管脚分配.....	28
4.6 LVDS 接口.....	29
4.6.1 介绍.....	29
4.6.2 管脚分配.....	29
4.1 MIPI 接口	31
4.1.1 介绍	31
4.1.2 管脚分配.....	33
5 Demo.....	37

图目录

图 2-1 DK_VIDEO_GW5AT-LV60UG225_V1.0 开发板.....	3
图 2-2 DK_VIDEO_GW5AT-LV60UG225_V1.0 核心板.....	4
图 2-3 DK_VIDEO_GW5AT-LV60UG225_V1.0 底板	5
图 2-4 开发板套件.....	6
图 2-5 核心板 PCB 组件说明	7
图 2-6 底板 PCB 组件说明	7
图 2-7 系统框图	8
图 3-1 电源系统分配示意图	11
图 3-2 下载连接示意图	12
图 3-3 时钟连接示意图	12
图 3-4 DDR3 的硬件连接示意图.....	13
图 3-5 按键连接示意图	15
图 4-1 电源系统分配示意图	23
图 4-2 时钟连接示意图	24
图 4-3 UART 接口连接示意图	24
图 4-4 DP-TX 接口连接示意图	25
图 4-5 DP-RX 接口连接示意图	25
图 4-6 HDMI 接口连接示意图	28
图 4-7 LVDS 接口连接示意图	29
图 4-8 MIPI CPHY 硬核接口连接示意图	31
图 4-9 MIPI DPHY 硬核接口连接示意图	32
图 4-10 MIPI DPHY 软核接口连接示意图	32
图 4-11 MIPI DPHY DSI 接口连接示意图	32

表目录

表 1-1 术语、缩略语	1
表 3-1 JTAG 管脚分配	12
表 3-2 时钟管脚分配	12
表 3-3 DDR3 配置	13
表 3-4 DDR3 模块管脚分配	13
表 3-7 按键管脚分配	15
表 3-5 J1 板级连接器管脚分配	16
表 3-6 J2 板级连接器管脚分配	19
表 4-1 时钟管脚分配	24
表 4-2 UART 管脚分配	25
表 4-3 DP-TX 接口管脚分配	26
表 4-4 DP-RX 接口管脚分配	27
表 4-5 HDMI 接口分配	28
表 4-6 LVDS 接口分配	29
表 4-7 MIPI CPHY 硬核接口分配	33
表 4-8 MIPI DPHY 硬核接口分配	34
表 4-9 MIPI DPHY 软核接口分配	35
表 4-10 MIPI DPHY DSI 接口分配	36
表 5-1 基础 Demo 介绍	37
表 5-2 图像 Demo 介绍	38

1 关于本手册

1.1 手册内容

DK_VIDEO_GW5AT-LV60UG225_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板的整体系统架构和硬件资源。
- 介绍核心板和底板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [UG1222, GW5AT-60 器件 Pinout 手册](#)
- [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)
- [UG718, Arora V 60K FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DDR	Double Data Rate	双倍速率
DP	DisplayPort	显示端口
DSI	Display Serial Interface	显示串行接口
FPGA	Field Programmable Gate Array	现场可编程门阵列

术语、缩略语	全称	含义
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
HDMI	High-Definition Multimedia Interface	高清多媒体接口
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发传输器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

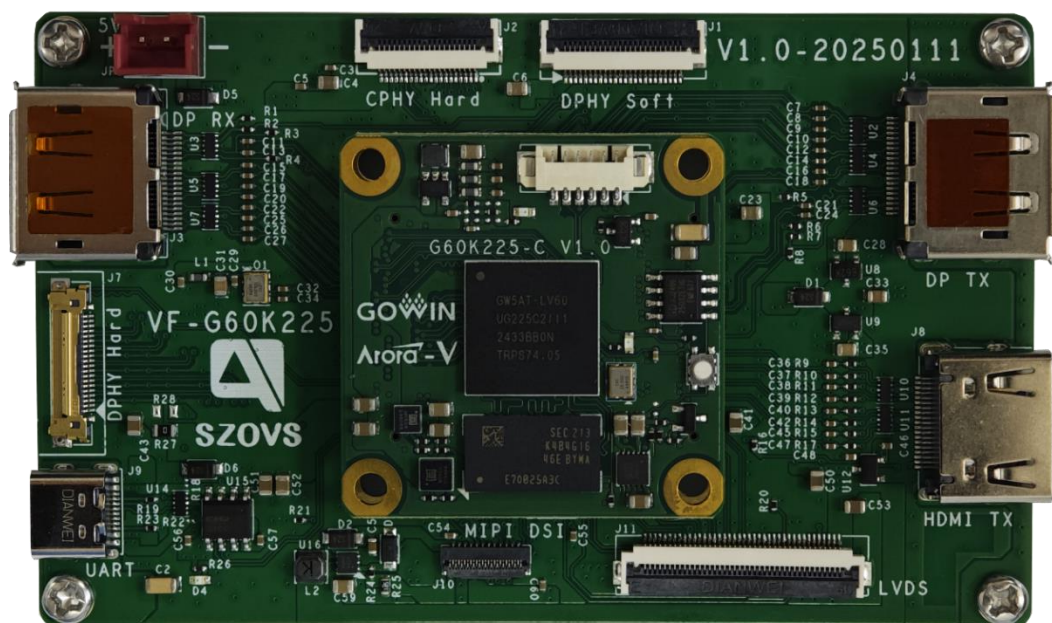
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_VIDEO_GW5AT-LV60UG225_V1.0 开发板

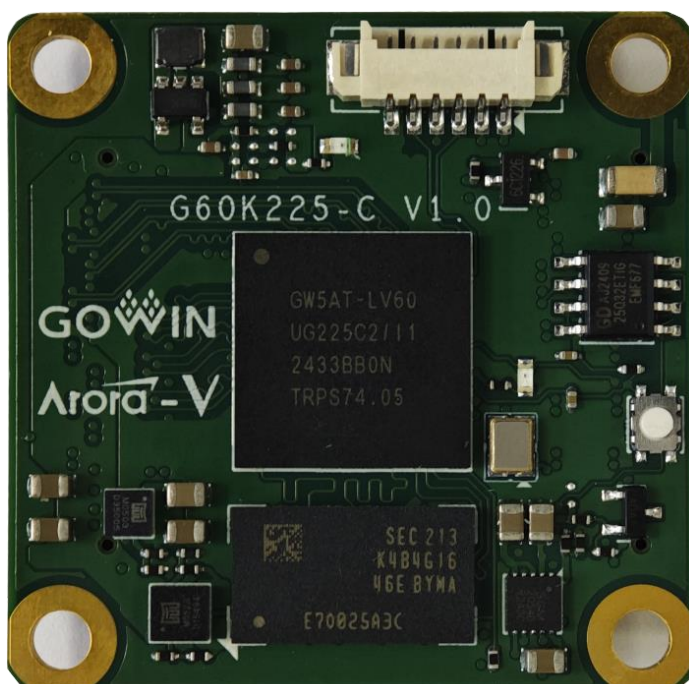


DK_VIDEO_GW5AT-LV60UG225_V1.0 开发板适用于 DDR3 高速数据存储，MIPI、SerDes 等高速通信满足 FPGA 的 MIPI C-PHY、MIPI D-PHY 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板由 DK_VIDEO_GW5AT-LV60UG225_V1.0 核心板（以下简称核心板）和 DK_VIDEO_GW5AT-LV60UG225_V1.0 底板（以下简称底板）组成。

2.1.1 核心板

图 2-2 DK_VIDEO_GW5AT-LV60UG225_V1.0 核心板

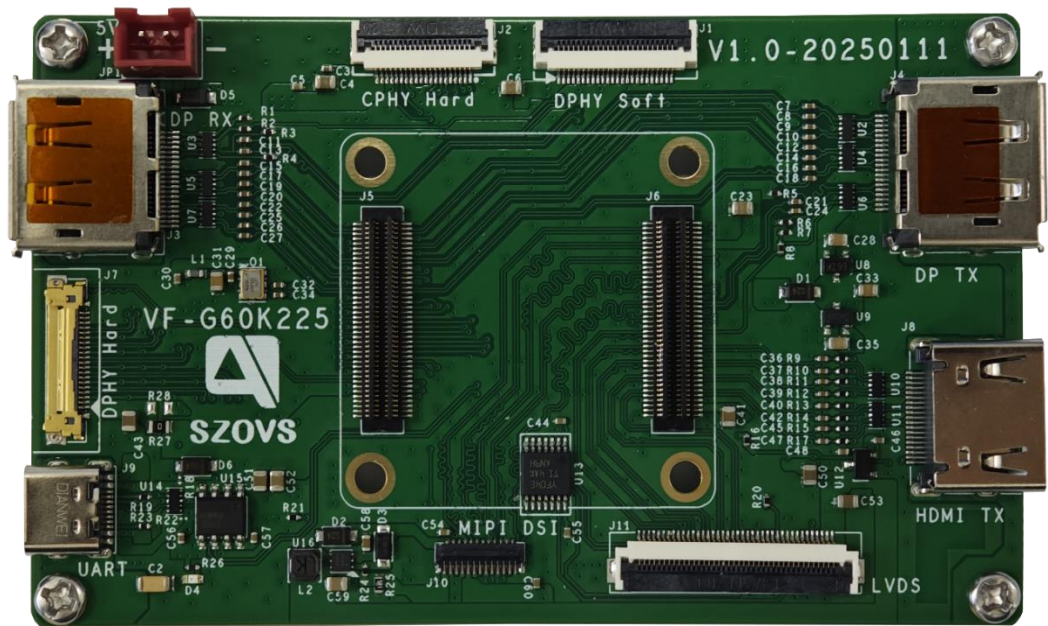


DK_VIDEO_GW5AT-LV60UG225_V1.0 核心板采用的高云半导体 GW5AT 系列 FPGA 器件是高云半导体晨熙家族 5 系列产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，支持多种协议的 SERDES，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

核心板采用高云的“GW5AT-LV60UG225”型号的 FPGA 器件，芯片内部资源具体请查看 [DS981](#)，[GW5AT 系列 FPGA 产品数据手册](#)。

2.1.2 底板

图 2-3 DK_VIDEO_GW5AT-LV60UG225_V1.0 底板



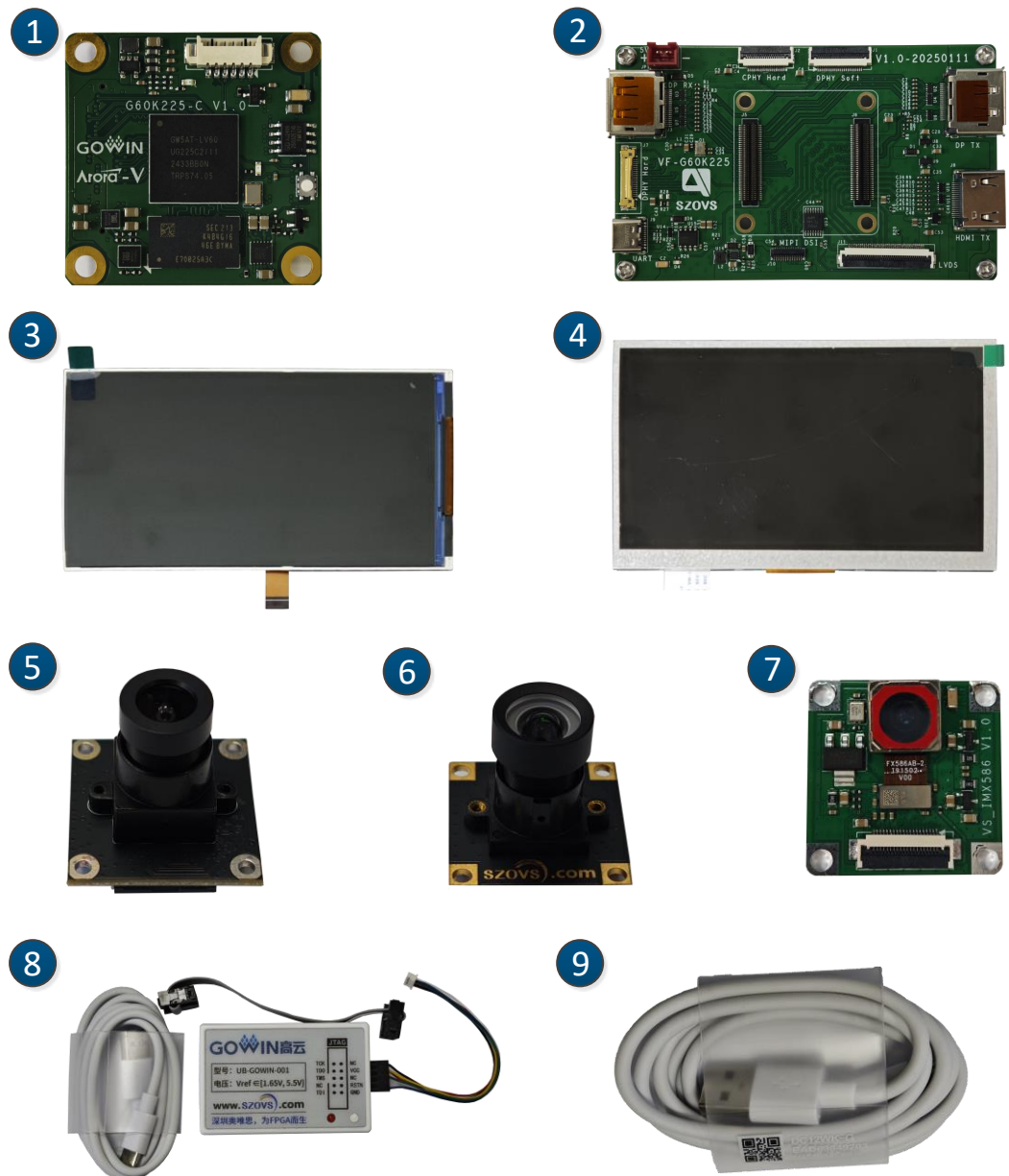
底板需要搭配 DK_VIDEO_GW5AT-LV60UG225_V1.0 核心板使用，集成 LVDS、DP、HDMI、MIPI CPHY、MIPI DPHY、MIPI DPHY DSI 等多种接口。

2.2 开发板套件

开发板套件包括：

1. DK_VIDEO_GW5AT-LV60UG225_V1.0 核心板
2. DK_VIDEO_GW5AT-LV60UG225_V1.0 底板
3. 1080*1920 MIPI 液晶屏
4. 1024*600 LVDS/RGB 液晶屏
5. SC130GS 模组 130 万 MIPI 全局黑白色
6. SC2210 模组 200 万 MIPI 卷帘彩色
7. IMX586 模组 4800 万 CPHY 卷帘彩色
8. USB 下载器
9. Type-C 线

图 2-4 开发板套件

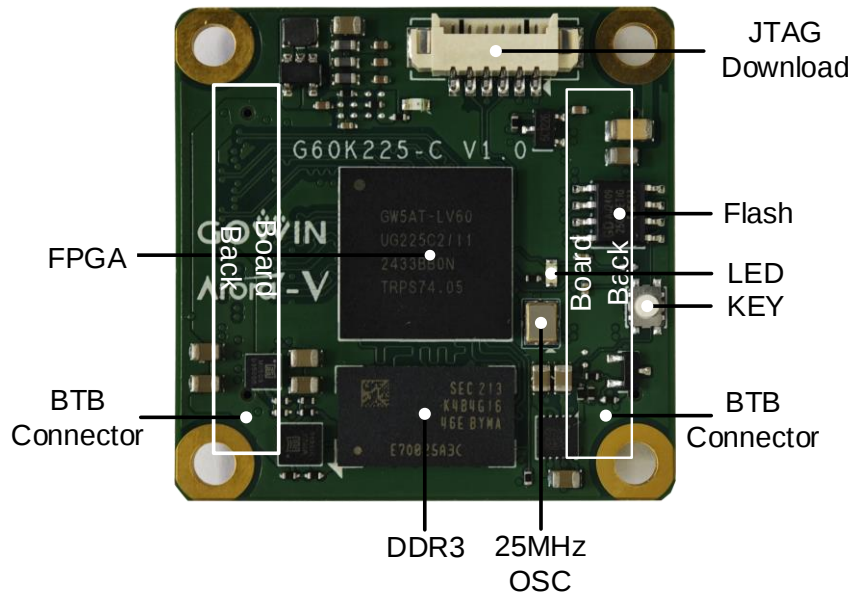


- ① DK_VIDEO_GW5AT-LV60UG225_V1.0核心板
- ② DK_VIDEO_GW5AT-LV60UG225_V1.0底板
- ③ 1080*1920 MIPI液晶屏
- ④ 1024*600 LVDS/RGB液晶屏
- ⑤ SC130GS 130万MIPI全局黑色
- ⑥ SC2210 200万MIPI卷帘彩色
- ⑦ IMX586 4800万CPHY卷帘彩色
- ⑧ USB下载器
- ⑨ Type-C线

2.3 PCB 组件

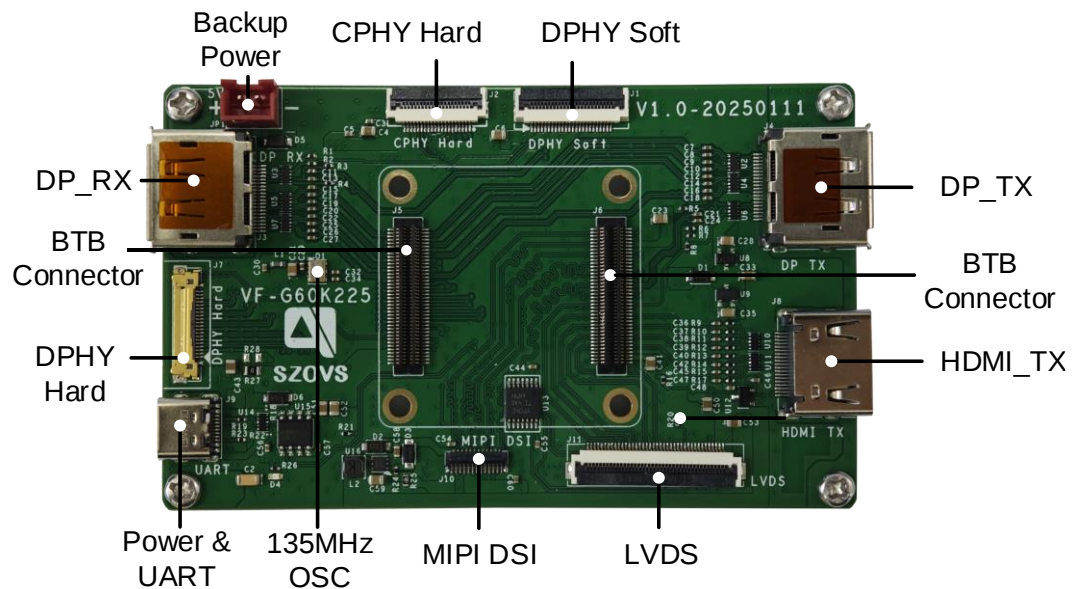
2.3.1 核心板

图 2-5 核心板 PCB 组件说明



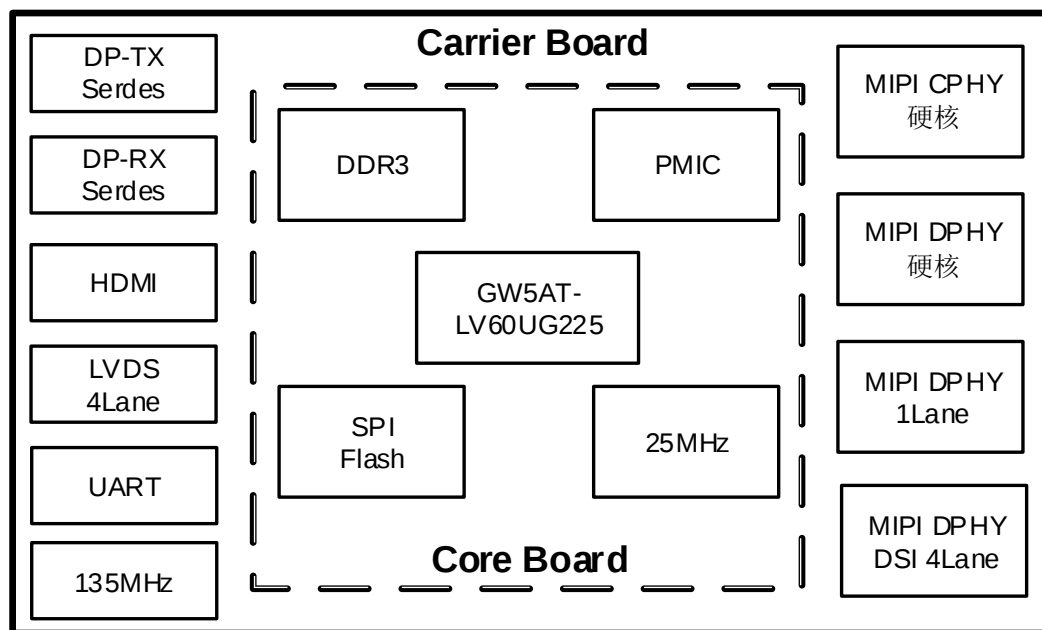
2.3.2 底板

图 2-6 底板 PCB 组件说明



2.4 系统框图

图 2-7 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 高云 GW5AT-LV60UG225 的 FPGA
- **下载与启动**
 - 核心板集成 JTAG 接口，通过 USB 下载器下载
 - 外部 FLASH 启动
 - 加载完成后，DONE 灯亮
- **供电方式**
 - 通过底板 USB Type-C 接口（J9）或 XH2.54-2P 座（JP1）提供 5V 电源
 - 底板为核心板供电，核心板产生 3.3V、1.8V、1.5V、1.2V、1.0V 电源
 - 底板产生 3.3V、2.8V 电源
- **时钟系统**
 - 一路 25MHz 单端时钟
 - 一路 135MHz 差分时钟
- **存储**
 - 4Gbit DDR3 SDRAM

- 32Mbit NOR Flash
- HDMI 接口
 - 一路 HDMI 接口
- DP 接口
 - 一路 DP-TX 接口
 - 一路 DP-RX 接口
 - Display Port 连接器
- MIPI 接口
 - 一路 MIPI CPHY 硬核，包括 3*三线 Data
 - 一路 MIPI DPHY 硬核，包括 4Data+1Clk
 - 一路 MIPI DPHY 软核，包括 4Data+1Clk
 - 一路 MIPI DPHY DSI，包括 4Data+1Clk
- LVDS 接口
 - LVDS 接口，包含 5 对差分信号（4Data+1Clk）和 6 个控制信号
- UART 接口
 - 一路 UART 接口
 - 采用 USB Type-C 连接器
- 复位按键
 - 一个硬复位按键，低电平有效
- 板级连接器
 - 两个 80Pin 0.5mm 间距的板对板连接器

3 核心板电路

3.1 FPGA

3.1.1 概述

GW5AT 系列 FPGA 产品资源信息参考 [DS981, GW5AT 系列 FPGA 产品数据手册](#)。

3.1.2 I/O BANK 说明

GW5AT 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

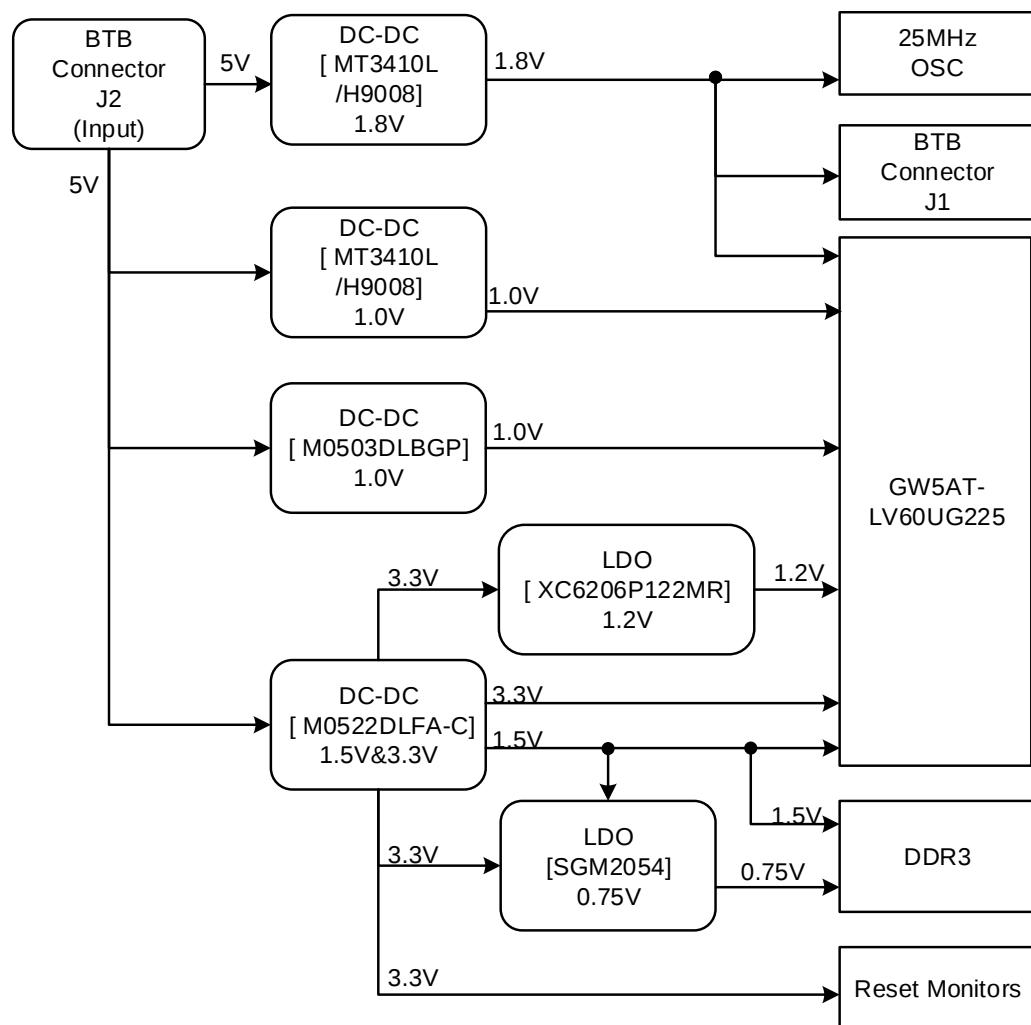
3.2.1 介绍

底板通过板对板连接器向核心板提供 5V 电源。

输入的 5V 电源通过核心板上的电源芯片产生 3.3V、1.8V、1.5V、1.2V、1.0V 电源，以满足核心板的电源需求。

3.2.2 电源系统分配

图 3-1 电源系统分配示意图



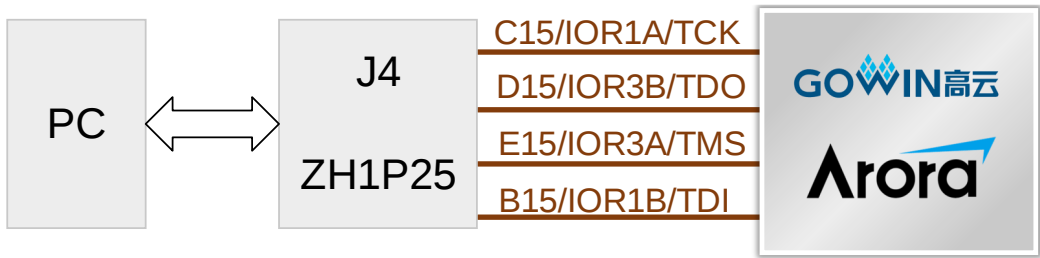
3.3 下载模块

3.3.1 介绍

核心板设计有 ZH1.25-6 接线端子（J4），可将程序烧录到外部 SPI FLASH 或 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
C15/IOR1A/TCK	C15	12	3.3V	JTAG 信号
D15/IOR3B/TDO	D15	12	3.3V	
E15/IOR3A/TMS	E15	12	3.3V	
B15/IOR1B/TDI	B15	12	3.3V	

3.4 时钟

3.4.1 介绍

核心板提供了一路 25MHz 单端时钟。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK25M	L6	9	1.5V	25MHz 单端时钟

3.5 DDR3 模块

3.5.1 介绍

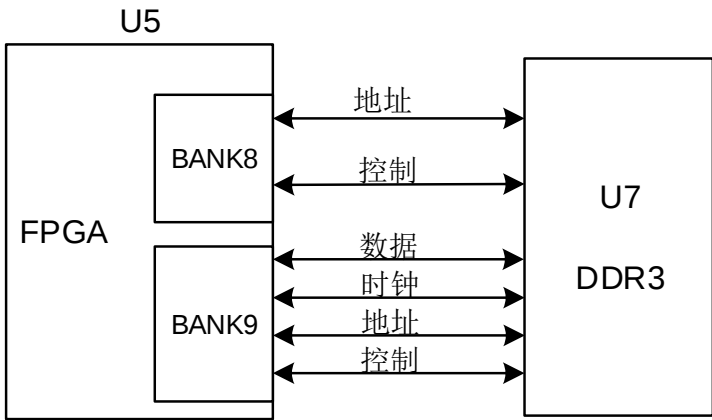
开发板上配有 1 个 4Gbit 的 DDR3 芯片。DDR3 芯片的信号连接到 FPGA 的 BANK8、BANK9 上。DDR3 的具体配置如表 3-3 所示。

表 3-3 DDR3 配置

位号	容量
U7	256M x 16bit

DDR3 的硬件连接示意图如图 3-4 所示。

图 3-4 DDR3 的硬件连接示意图



3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	R11	8	1.5V	地址
DDR3_A1	M9	9	1.5V	地址
DDR3_A2	N12	8	1.5V	地址
DDR3_A3	R10	8	1.5V	地址
DDR3_A4	N10	8	1.5V	地址
DDR3_A5	P11	8	1.5V	地址
DDR3_A6	L9	8	1.5V	地址
DDR3_A7	P13	8	1.5V	地址
DDR3_A8	M11	8	1.5V	地址

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A9	R12	8	1.5V	地址
DDR3_A10	L7	9	1.5V	地址
DDR3_A11	N11	8	1.5V	地址
DDR3_A12	N9	9	1.5V	地址
DDR3_A13	R13	8	1.5V	地址
DDR3_A14	M10	8	1.5V	地址
DDR3_BA0	N7	9	1.5V	Bank 地址
DDR3_BA1	L8	9	1.5V	Bank 地址
DDR3_BA2	P9	9	1.5V	Bank 地址
DDR3_CS#	R2	9	1.5V	片选通
DDR3_CAS#	P2	9	1.5V	列地址选通
DDR3_CKE	L10	8	1.5V	时钟使能
DDR3_ODT	P1	9	1.5V	片上终端使能
DDR3_RAS#	N1	9	1.5V	行地址选通
DDR3_RESET	R14	8	1.5V	复位
DDR3_WE#	N2	9	1.5V	写使能
DDR3_CLK0_P	N8	9	1.5V	差分时钟
DDR3_CLK0_N	M8	9	1.5V	差分时钟
DDR3_DQ0	L5	9	1.5V	数据
DDR3_DQ1	M6	9	1.5V	数据
DDR3_DQ2	M5	9	1.5V	数据
DDR3_DQ3	N6	9	1.5V	数据
DDR3_DQ4	P7	9	1.5V	数据
DDR3_DQ5	R7	9	1.5V	数据
DDR3_DQ6	R4	9	1.5V	数据
DDR3_DQ7	R5	9	1.5V	数据
DDR3_DQ8	M4	9	1.5V	数据
DDR3_DQ9	N5	9	1.5V	数据
DDR3_DQ10	M1	9	1.5V	数据
DDR3_DQ11	P5	9	1.5V	数据
DDR3_DQ12	L3	9	1.5V	数据

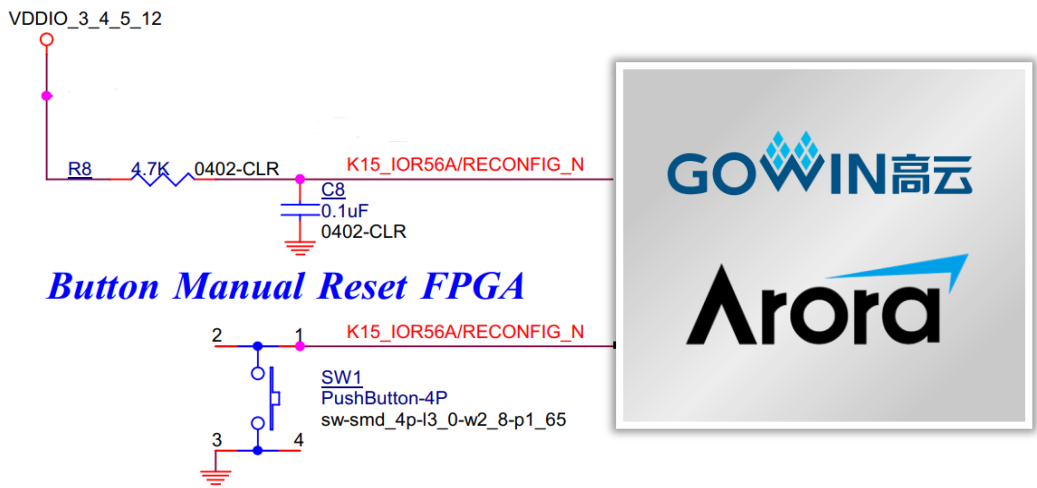
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_DQ13	L1	9	1.5V	数据
DDR3_DQ14	N4	9	1.5V	数据
DDR3_DQ15	L2	9	1.5V	数据
DDR3_LDM0	R6	9	1.5V	数据输入屏蔽
DDR3_UDM0	M3	9	1.5V	数据输入屏蔽
DDR3_LDQS0_P	R8	9	1.5V	数据时钟
DDR3_LDQS0_N	R9	9	1.5V	数据时钟
DDR3_UDQS0_P	R3	9	1.5V	数据时钟
DDR3_UDQS0_N	P3	9	1.5V	数据时钟

3.6 复位按键

3.6.1 介绍

核心板上有 1 个复位按键，连接 FPGA BANK5 的复位专用管脚。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如图 3-5 所示。

图 3-5 按键连接示意图



3.6.2 管脚分配

表 3-5 按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
K15_IOR56A/RECONFIG_N	K15	5	3.3V	复位信号，低有效

3.7 板级连接器

3.7.1 介绍

核心板上放置了两个 80Pin 0.5mm 间距的板对板连接器，用来与 DK_VIDEO_GW5AT-LV60UG225_V1.0 底板通信。

3.7.2 管脚分配

表 3-6 J1 板级连接器管脚分配

J1 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	GND	-	-	-	GND
2	GND	-	-	-	GND
3	D13_IOT146A/PLL/FB0/LVDS/DQ3	D13	2	1.2V	GPIO
4	B13_IOT142A/LVDS/DQ3	B13	2	1.2V	GPIO
5	C14_IOT146B/PLL/FB0/LVDS/DQ3	C14	2	1.2V	GPIO
6	A13_IOT142B/DOOUT/LVDS/DQ3	A13	2	1.2V	GPIO
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	VDD3V3	-	-	3.3V	POWER
10	B14_IOT144A/LVDS/DQ3	B14	2	1.2V	GPIO
11	VDD3V3	-	-	3.3V	POWER
12	A14_IOT144B/LVDS/DQ3	A14	2	1.2V	GPIO
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	E10_IOT89B/GCLKC_1/LVDS/DQ0	E10	1	1.2V	GPIO
16	E6_IOT74B/LVDS/DQ0	E6	1	1.2V	GPIO
17	F10_IOT89A/GCLKT_1/LVDS/DQ0	F10	1	1.2V	GPIO
18	E5_IOT74A/LVDS/DQ0	E5	1	1.2V	GPIO
19	GND	-	-	-	GND

J1 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
20	GND	-	-	-	GND
21	F13_IOR9B/CSI_B/MOSI/MI0/LVDS	F13	3	3.3V	GPIO
22	E9_IOT78B/LVDS/DQ0	E9	1	1.2V	GPIO
23	F12_IOR9A/D00/DIN/MISO/MI1/LVDS	F12	3	3.3V	GPIO
24	F8_IOT78A/LVDS/DQ0	F8	1	1.2V	GPIO
25	GND	-	-	-	GND
26	GND	-	-	-	GND
27	F11_IOR15A/D11/LVDS	F11	3	3.3V	GPIO
28	E14_IOR5B/MODE0/LVDS	E14	3	3.3V	GPIO
29	G11_IOR15B/D12/LVDS	G11	3	3.3V	GPIO
30	E13_IOR5A/CCLK/LVDS	E13	3	3.3V	GPIO
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	H12_IOR36B/GCLKC_5/PLL/LVDS/DQ4	H12	4	3.3V	GPIO
34	E8_IOT76B/TPLL_C_IN0/LVDS/DQ0	E8	1	1.2V	GPIO
35	G12_IOR36A/GCLKT_5/PLL/LVDS/DQ4	G12	4	3.3V	GPIO
36	E7_IOT76A/TPLL_T_IN0/LVDS/DQ0	E7	1	1.2V	GPIO
37	GND	-	-	-	GND
38	GND	-	-	-	GND
39	H10_IOR41B/D15/GCLKC_7/LVDS	H10	5	3.3V	GPIO
40	G15_IOR17B/D10/GCLKC_4/LVDS	G15	3	3.3V	GPIO
41	H11_IOR41A/D14/GCLKT_7/LVDS	H11	5	3.3V	GPIO
42	F15_IOR17A/MODE1/GCLKT_4/LVDS	F15	3	3.3V	GPIO

J1 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
43	GND	-	-	-	GND
44	GND	-	-	-	GND
45	H13_IOR47A/DONE	H13	5	3.3V	GPIO
46	J14_IOR57B/GCLKC_6/LVDS/D Q5	J14	5	3.3V	GPIO
47	K15_IOR56A/RECONFIG_N	K15	5	3.3V	GPIO
48	J13_IOR57A/GCLKT_6/LVDS/D Q5	J13	5	3.3V	GPIO
49	GND	-	-	-	GND
50	GND	-	-	-	GND
51	G14_IOR20B/D02/MI3/LVDS/D Q4	G14	4	3.3V	GPIO
52	K11_IOR59B/LVDS/DQ5	K11	5	3.3V	GPIO
53	G13_IOR20A/D01/MI2/LVDS/D Q4	G13	4	3.3V	GPIO
54	J11_IOR59A/LVDS/DQ5	J11	5	3.3V	GPIO
55	GND	-	-	-	GND
56	GND	-	-	-	GND
57	J15_IOR34B/EMCCLK/LVDS/D Q4	J15	4	3.3V	GPIO
58	L14_IOR63B/D04/SSPI_CS_N/ LVDS/DQS5	L14	5	3.3V	GPIO
59	H15_IOR34A/D13/LVDS/DQ4	H15	4	3.3V	GPIO
60	L13_IOR63A/D03/SI/SSI0/LVDS /DQS5	L13	5	3.3V	GPIO
61	GND	-	-	-	GND
62	GND	-	-	-	GND
63	K13_IOR61B/RDWR_B/SCL/PL L/LVDS/DQ5	K13	5	3.3V	GPIO
64	M13_IOR68B/LVDS/DQ5	M13	5	3.3V	GPIO
65	K12_IOR61A/D07/SDA/PLL/LV DS/DQ5	K12	5	3.3V	GPIO
66	L12_IOR68A/LVDS/DQ5	L12	5	3.3V	GPIO

J1 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
67	GND	-	-	-	GND
68	GND	-	-	-	GND
69	M15_IOR66B/D06/SSPI_CLK/P LL/LVDS/DQ5	M15	5	3.3V	GPIO
70	N15_IOR70B/D09/CLKHOLD_N /SSI3/LVDS/DQ5	N15	5	3.3V	GPIO
71	L15_IOR66A/D05/SO/SSI1/PLL/ LVDS/DQ5	L15	5	3.3V	GPIO
72	N14_IOR70A/D08/SSPI_WPN/S SI2/LVDS/DQ5	N14	5	3.3V	GPIO
73	GND	-	-	-	GND
74	GND	-	-	-	GND
75	VDD1V8	-	-	1.8V	GND
76	P15_IOR72B/CSO_B/MCS_N/P LL/LVDS/DQ5	P15	5	3.3V	GPIO
77	VDD1V8	-	-	1.8V	悬空
78	P14_IOR72A/READY/RPLL1_T _IN0/LVDS/DQ5	P14	5	3.3V	GPIO
79	GND	-	-	-	GND
80	GND	-	-	-	GND

表 3-7 J2 板级连接器管脚分配

J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	GND	-	-	-	GND
2	GND	-	-	-	GND
3	Q0_TXP_3	D12	Q0	-	SerDes Q0 的 TX 数据 信号
4	Q0_RXP_3	B11	Q0	-	SerDes Q0 的 RX 数据 信号
5	Q0_TXN_3	C12	Q0	-	SerDes Q0 的 TX 数据 信号
6	Q0_RXN_3	A11	Q0	-	SerDes Q0 的 RX 数据

J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
					信号
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	Q0_TXP_2	D8	Q0	-	SerDes Q0 的 TX 数据信号
10	Q0_REFCLKP_1	D10	Q0	-	SerDes Q0 的参考时钟
11	Q0_TXN_2	C8	Q0	-	SerDes Q0 的 TX 数据信号
12	Q0_REFCLKN_1	C10	Q0	-	SerDes Q0 的参考时钟
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	Q0_TXP_1	D6	Q0	-	SerDes Q0 的 TX 数据信号
16	Q0_RXP_2	B9	Q0	-	SerDes Q0 的 RX 数据信号
17	Q0_TXN_1	C6	Q0	-	SerDes Q0 的 TX 数据信号
18	Q0_RXN_2	A9	Q0	-	SerDes Q0 的 RX 数据信号
19	GND	-	-	-	GND
20	GND	-	-	-	GND
21	Q0_REFCLKP_0	B5	Q0	-	SerDes Q0 的参考时钟
22	Q0_RXP_1	B7	Q0	-	SerDes Q0 的 RX 数据信号
23	Q0_REFCLKN_0	A5	Q0	-	SerDes Q0 的参考时钟
24	Q0_RXN_1	A7	Q0	-	SerDes Q0 的 RX 数据信号
25	GND	-	-	-	GND
26	GND	-	-	-	GND
27	Q0_TXN_0	C4	Q0	-	SerDes Q0 的 TX 数据信号
28	Q0_RXP_0	B3	Q0	-	SerDes Q0 的 RX 数据信号

J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
29	Q0_TXP_0	D4	Q0	-	SerDes Q0 的 TX 数据信号
30	Q0_RXN_0	A3	Q0	-	SerDes Q0 的 RX 数据信号
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	CPHY0_D0A	D1	MIPI_M1	-	MIPI CPHY 的数据信号
34	DPHY0_D3P	C1	MIPI_M0	-	MIPI DPHY 的数据信号
35	CPHY0_D0B	E2	MIPI_M1	-	MIPI CPHY 的数据信号
36	DPHY0_D3N	C2	MIPI_M0	-	MIPI DPHY 的数据信号
37	CPHY0_D0C	E1	MIPI_M1	-	MIPI CPHY 的数据信号
38	GND	-	-	-	GND
39	GND	-	-	-	GND
40	DPHY0_D2P	F4	MIPI_M0	-	MIPI DPHY 的数据信号
41	CPHY0_D1A	F1	MIPI_M1	-	MIPI CPHY 的数据信号
42	DPHY0_D2N	E3	MIPI_M0	-	MIPI DPHY 的数据信号
43	CPHY0_D1B	G1	MIPI_M1	-	MIPI CPHY 的数据信号
44	GND	-	-	-	GND
45	CPHY0_D1C	G2	MIPI_M1	-	MIPI CPHY 的数据信号
46	DPHY0_CKP	G3	MIPI_M0	-	MIPI DPHY 的数据信号
47	GND	-	-	-	GND
48	DPHY0_CKN	F3	MIPI_M0	-	MIPI DPHY 的数据信号
49	CPHY0_D2A	H1	MIPI_M1	-	MIPI CPHY 的数据信号
50	GND	-	-	-	GND
51	CPHY0_D2B	J1	MIPI_M1	-	MIPI CPHY 的数据信号
52	DPHY0_D1P	H4	MIPI_M0	-	MIPI DPHY 的数据信号
53	CPHY0_D2C	J2	MIPI_M1	-	MIPI CPHY 的数据信号
54	DPHY0_D1N	H3	MIPI_M0	-	MIPI DPHY 的数据信号
55	GND	-	-	-	GND
56	GND	-	-	-	GND
57	H5/IOL48A/GCLK	H5	10	1.8V	GPIO

J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
	T_17/LVDS				
58	DPHY0_D0P	J4	MIPI_M0	-	MIPI DPHY 的数据信号
59	H6/IOL48B/GCLK C_17/LVDS	H6	10	1.8V	GPIO
60	DPHY0_D0N	J3	MIPI_M0	-	MIPI DPHY 的数据信号
61	GND	-	-	-	GND
62	GND	-	-	-	GND
63	K5/IOL50A/GCLK T_16/LVDS	K5	10	1.8V	GPIO
64	F5/IOL41A/LVDS	F5	11	1.8V	GPIO
65	J5/IOL50B/GCLK C_16/LVDS	J5	10	1.8V	GPIO
66	G5/IOL41B/LVDS	G5	11	1.8V	GPIO
67	GND	-	-	-	GND
68	GND	-	-	-	GND
69	K4/IOL45A/GCLK T_18/LVDS	K4	11	1.8V	GPIO
70	GND	-	-	-	GND
71	K3/IOL45B/GCLK C_18/LVDS	K3	11	1.8V	GPIO
72	VDD5V	-	-	5.5V	POWER
73	GND	-	-	-	GND
74	VDD5V	-	-	5.5V	POWER
75	GND	-	-	-	GND
76	VDD5V	-	-	5.5V	POWER
77	GND	-	-	-	GND
78	VDD5V	-	-	5.5V	POWER
79	GND	-	-	-	GND
80	VDD5V	-	-	5.5V	POWER

4底板电路

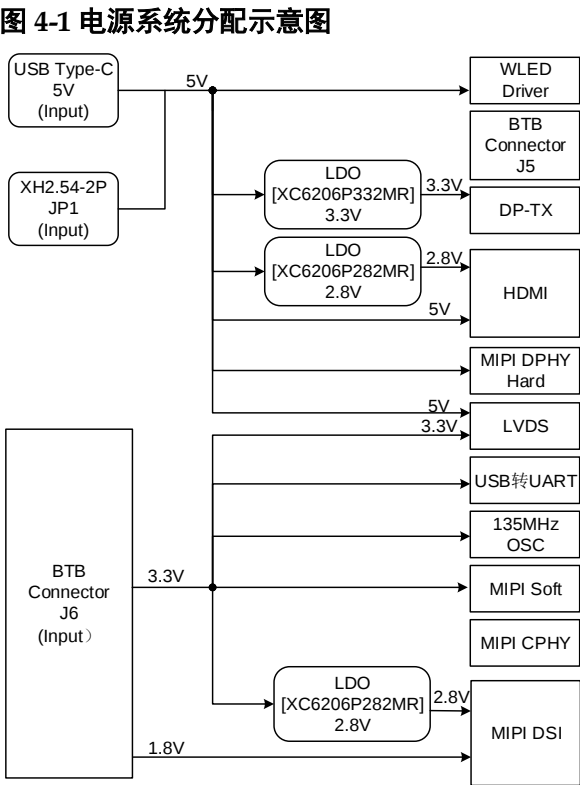
4.1 电源

4.1.1 介绍

用户可通过 USB Type-C 接口（J9）或 XH2.54-2P 座（JP1）向底板提供 5V 电源。使用 XH2.54-2P 座提供 5V 电源时，需断开 USB Type-C 接口的 5V 供电。

输入的 5V 电源通过底板上的电源芯片产生 3.3V、2.8V 电源，核心板通过板对板连接器向底板提供 3.3V、1.8V 电源，以满足底板的电源需求。

4.1.2 电源系统分配



4.2 时钟

4.2.1 介绍

底板配有一路 135MHz 差分时钟，通过板对板连接器连接到 FPGA SerDes 高速时钟引脚。

图 4-2 时钟连接示意图



4.2.2 管脚分配

表 4-1 时钟管脚分配

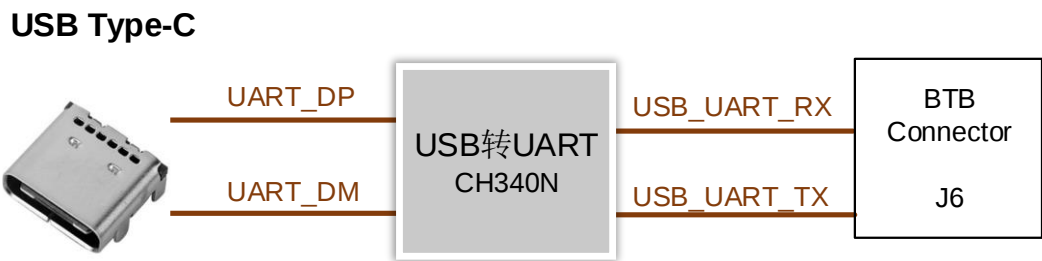
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
Q0_REFCLKP_0	B5	Q0	-	135MHz 差分时钟
Q0_REFCLKN_0	A5	Q0	-	135MHz 差分时钟

4.3 UART 接口

4.3.1 介绍

开发板引出的 UART 接口采用 USB Type-C 连接器，通过 USB 转换芯片实现。UART 接口连接示意图如图 4-3 所示。

图 4-3 UART 接口连接示意图



4.3.2 管脚分配

表 4-2 UART 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
USB_UART_RX	H11	5	3.3V	FPGA 输出的串口数据
USB_UART_TX	H10	5	3.3V	输入到 FPGA 的串口数据

4.4 DP 接口

4.4.1 介绍

底板提供了一路 DP 输出接口，一路 DP 接收接口。接口连接示意图如下图所示。

图 4-4 DP-TX 接口连接示意图

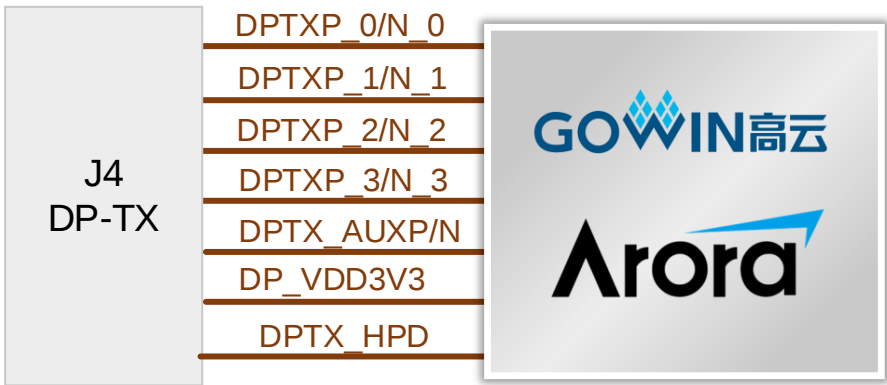
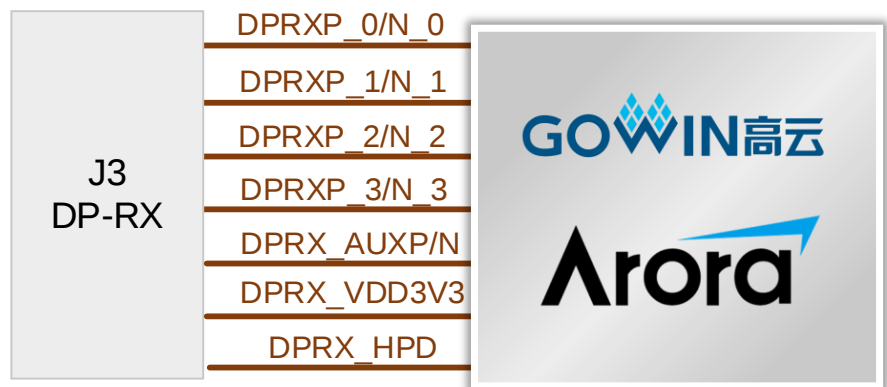


图 4-5 DP-RX 接口连接示意图



4.4.2 管脚分配

表 4-3 DP-TX 接口管脚分配

J4 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	DPTXP_0	D12	Q0	-	DP 数据发送
2	GND	-	-	-	GND
3	DPTXN_0	C12	Q0	-	DP 数据发送
4	DPTXP_1	D8	Q0	-	DP 数据发送
5	GND	-	-	-	GND
6	DPTXN_1	C8	Q0	-	DP 数据发送
7	DPTXP_2	D6	Q0	-	DP 数据发送
8	GND	-	-	-	GND
9	DPTXN_2	C6	Q0	-	DP 数据发送
10	DPTXP_3	D4	Q0	-	DP 数据发送
11	GND	-	-	-	GND
12	DPTXN_3	C4	Q0	-	DP 数据发送
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	DPTX_AUXP	G12	4	3.3V	辅助通道
16	GND	-	-	-	GND
17	DPTX_AUXN	H12	4	3.3V	辅助通道
18	DPTX_HPD	H13	5	3.3V	热插拔检测
19	GND	-	-	-	悬空
20	DP_VDD3V3	-	-	3.3V	POWER

表 4-4 DP-RX 接口管脚分配

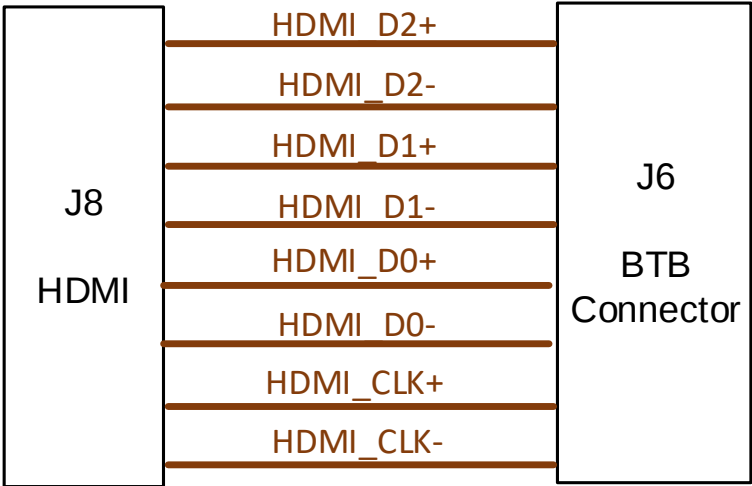
J3 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	DPRXN_3	A3	Q0	-	DP 数据接收
2	GND	-	-	-	GND
3	DPRXP_3	B3	Q0	-	DP 数据接收
4	DPRXN_2	A7	Q0	-	DP 数据接收
5	GND	-	-	-	GND
6	DPRXP_2	B7	Q0	-	DP 数据接收
7	DPRXN_1	A9	Q0	-	DP 数据接收
8	GND	-	-	-	GND
9	DPRXP_1	B9	Q0	-	DP 数据接收
10	DPRXN_0	A11	Q0	-	DP 数据接收
11	GND	-	-	-	GND
12	DPRXP_0	B11	Q0	-	DP 数据接收
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	DPRX_AUXP	F11	3	3.3V	辅助通道
16	GND	-	-	-	GND
17	DPRX_AUXN	G11	3	3.3V	辅助通道
18	DPRX_HPD	E14	3	3.3V	热插拔检测
19	NC	-	-	-	悬空
20	DPRX_VDD3 V3	P14	5	3.3V	POWER

4.5 HDMI 接口

4.5.1 介绍

开发板提供了一个 HDMI 输出接口，通过 FPGA 内部 IP 实现 HDMI 信号的发送。接口连接示意图如图 3-5 所示。

图 4-6 HDMI 接口连接示意图



4.5.2 管脚分配

表 4-5 HDMI 接口分配

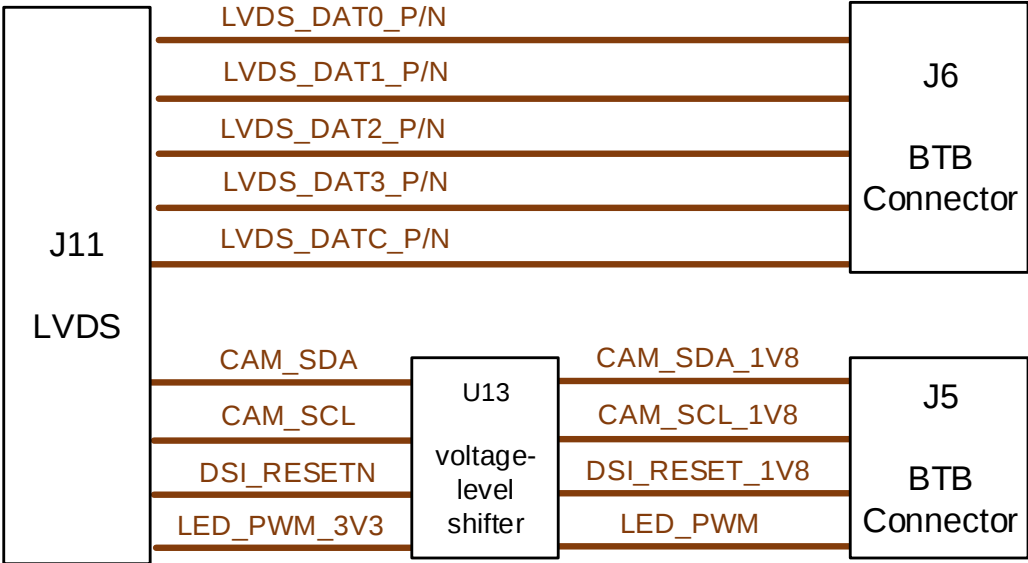
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
HDMI_CLK+	M15	5	3.3V	HDMI 差分时钟
HDMI_CLK-	L15	5	3.3V	HDMI 差分时钟
HDMI_D0+	K13	5	3.3V	HDMI 发送数据
HDMI_D0-	K12	5	3.3V	HDMI 发送数据
HDMI_D1+	J15	4	3.3V	HDMI 发送数据
HDMI_D1-	H15	4	3.3V	HDMI 发送数据
HDMI_D2+	G14	4	3.3V	HDMI 发送数据
HDMI_D2-	G13	4	3.3V	HDMI 发送数据

4.6 LVDS 接口

4.6.1 介绍

底板提供了一个 LVDS 显示接口，采用 40P 0.5mm 间距的 FPC 连接器，包含 5 对差分信号和 6 个控制信号，分别为 4Data+1Clk 和 I2C、复位、中断、PWM、使能信号。其中 I2C、复位和 PWM 信号由核心板上 FPGA 的 4 个 1.8V 电平信号通过底板上的双向电平转换芯片转换为 3.3V 电平信号后引出到接口上。连接示意图如图 4-7 所示。

图 4-7 LVDS 接口连接示意图



4.6.2 管脚分配

表 4-6 LVDS 接口分配

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	NC	-	-	-	悬空
2	NC	-	-	-	悬空
3	NC	-	-	-	悬空
4	NC	-	-	-	悬空
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	GND	-	-	-	GND
8	LVDS_DAT0_N	J14	5	3.3V	LVDS 信号
9	LVDS_DAT0_P	J13	5	3.3V	LVDS 信号

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
10	GND	-	-	-	GND
11	LVDS_DAT1_N	K11	5	3.3V	LVDS 信号
12	LVDS_DAT1_P	J11	5	3.3V	LVDS 信号
13	GND	-	-	-	GND
14	LVDS_DAT2_N	L14	5	3.3V	LVDS 信号
15	LVDS_DAT2_P	L13	5	3.3V	LVDS 信号
16	GND	-	-	-	GND
17	LVDS_DATC_N	M13	5	3.3V	LVDS 信号
18	LVDS_DATC_P	L12	5	3.3V	LVDS 信号
19	GND	-	-	-	GND
20	LVDS_DAT3_N	N15	5	3.3V	LVDS 信号
21	LVDS_DAT3_P	N14	5	3.3V	LVDS 信号
22	GND	-	-	-	GND
23	NC	-	-	-	悬空
24	NC	-	-	-	悬空
25	GND	-	-	-	GND
26	CAM_SDA	H6	10	1.8V	触摸屏的串行数据信号
27	CAM_SCL	H5	10	1.8V	触摸屏的串行时钟信号
28	DSI_RESETN	K4	11	1.8V	触摸屏复位信号
29	CTP_INT	-	-	-	触摸屏中断信号
30	GND	-	-	-	GND
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	GND	-	-	-	GND
34	NC	-	-	-	悬空
35	LED_PWM_3V3	K3	11	1.8V	LED 背光 PWM 信号
36	LCD_BLEN	-	-	-	LED 背光使能信号
37	NC	-	-	-	悬空

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
38	VDD5V	-	-	5V	POWER
39	VDD5V	-	-	5V	POWER
40	VDD5V	-	-	5V	POWER

4.7 MIPI 接口

4.7.1 介绍

底板提供了一路 MIPI CPHY 硬核接口、一路 MIPI DPHY 硬核接口、一路 MIPI DPHY 软核接口和一路 MIPI DPHY DSI 接口。

MIPI CPHY 硬核信号（3*三线 Data）和 I2C、复位信号引出到 20P 0.5mm 间距的 FPC 连接器。

MIPI DPHY 硬核信号（4Data+1Clk）和两个 1.8V 电平标准的 GPIO 引出到 20P 0.5mm 的极细同轴线连接器。

MIPI DPHY 软核信号（1Data+1Clk）和 I2C 信号引出到 24P 0.5mm 间距的 FPC 连接器。

MIPI DPHY DSI 接口的 MIPI DPHY 软核（4Data+1Clk）信号和复位信号引出到 25P 0.3 mm 间距的 FPC 连接器。

各接口连接示意图如下图所示。

图 4-8 MIPI CPHY 硬核接口连接示意图

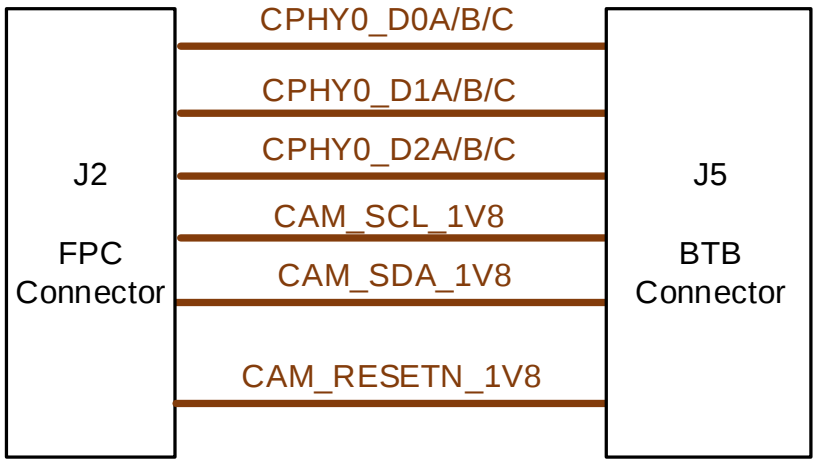


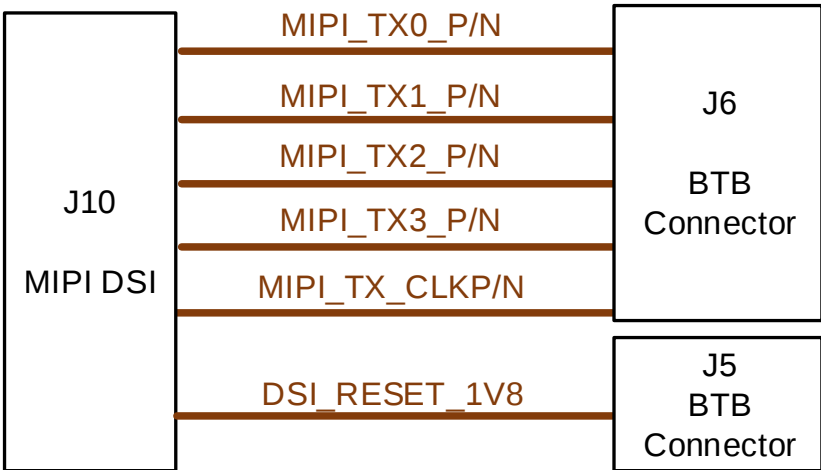
图 4-9 MIPI DPHY 硬核接口连接示意图



图 4-10 MIPI DPHY 软核接口连接示意图



图 4-11 MIPI DPHY DSI 接口连接示意图



4.7.2 管脚分配

表 4-7 MIPI CPHY 硬核接口分配

J2 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	GND	-	-	-	GND
2	CPHY0_D2C	J2	MIPI_M1	-	MIPI CPHY 数据信号
3	CPHY0_D2B	J1	MIPI_M1	-	MIPI CPHY 数据信号
4	CPHY0_D2A	H1	MIPI_M1	-	MIPI CPHY 数据信号
5	GND	-	-	-	GND
6	CPHY0_D1C	G2	MIPI_M1	-	MIPI CPHY 数据信号
7	CPHY0_D1B	G1	MIPI_M1	-	MIPI CPHY 数据信号
8	CPHY0_D1A	F1	MIPI_M1	-	MIPI CPHY 数据信号
9	GND	-	-	-	GND
10	CPHY0_D0C	E1	MIPI_M1	-	MIPI CPHY 数据信号
11	CPHY0_D0B	E2	MIPI_M1	-	MIPI CPHY 数据信号
12	CPHY0_D0A	D1	MIPI_M1	-	MIPI CPHY 数据信号
13	GND	-	-	-	GND
14	CAM_RESETN_1V8	J5	10	1.8V	复位信号
15	CAM_SDA_1V8	H6	10	1.8V	I2C 的数据信号
16	CAM_SCL_1V8	H5	10	1.8V	I2C 的时钟信号
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	VDD3V3	-	-	3.3V	POWER
20	VDD3V3	-	-	3.3V	POWER

表 4-8 MIPI DPHY 硬核接口分配

J7 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电 平	描述
1	VDDDPHY	-	-	5V/3.3V	POWER
2	VDDDPHY	-	-	5V/3.3V	POWER
3	GND	-	-	-	GND
4	DPHY0_D3P	C1	MIPI_M0	-	MIPI DPHY 数据信号
5	DPHY0_D3N	C2	MIPI_M0	-	MIPI DPHY 数据信号
6	GND	-	-	-	GND
7	DPHY0_D2P	F4	MIPI_M0	-	MIPI DPHY 数据信号
8	DPHY0_D2N	E3	MIPI_M0	-	MIPI DPHY 数据信号
9	GND	-	-	-	GND
10	DPHY0_CKP	G3	MIPI_M0	-	MIPI DPHY 时钟信号
11	DPHY0_CKN	F3	MIPI_M0	-	MIPI DPHY 时钟信号
12	GND	-	-	-	GND
13	DPHY0_D1P	H4	MIPI_M0	-	MIPI DPHY 数据信号
14	DPHY0_D1N	H3	MIPI_M0	-	MIPI DPHY 数据信号
15	GND	-	-	-	GND
16	DPHY0_D0P	J4	MIPI_M0	-	MIPI DPHY 数据信号
17	DPHY0_D0N	J3	MIPI_M0	-	MIPI DPHY 数据信号
18	GND	-	-	-	GND
19	F5/IOL41A/LVDS	F5	11	1.8V	GPIO
20	G5/IOL41B/LVDS	G5	11	1.8V	GPIO

表 4-9 MIPI DPHY 软核接口分配

J1 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	VDD3V3	-	-	3.3V	POWER
2	VDD3V3	-	-	3.3V	POWER
3	NC	-	-	-	悬空
4	NC	-	-	-	悬空
5	GND	-	-	-	GND
6	NC	-	-	-	悬空
7	NC	-	-	-	悬空
8	GND	-	-	-	GND
9	NC	-	-	-	悬空
10	NC	-	-	-	悬空
11	GND	-	-	-	GND
12	MIPI_RX_CLKP	F10	1	1.2V	MIPI DPHY 接收时钟信号
13	MIPI_RX_CLKN	E10	1	1.2V	MIPI DPHY 接收时钟信号
14	GND	-	-	-	GND
15	NC	-	-	-	悬空
16	NC	-	-	-	悬空
17	GND	-	-	-	GND
18	MIPI_RX0_P	C14	2	1.2V	MIPI DPHY 接收数据信号
19	MIPI_RX0_N	D13	2	1.2V	MIPI DPHY 接收数据信号
20	GND	-	-	-	GND
21	CSI_SCL_1V8	H5	10	1.8V	I2C 时钟信号
22	CSI_SDA_1V8	H6	10	1.8V	I2C 数据信号
23	NC	-	-	-	悬空
24	NC	-	-	-	悬空
25	GND	-	-	-	GND

表 4-10 MIPI DPHY DSI 接口分配

J10 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LEDK	-	-	-	背光阴极
2	LEDA	-	-	-	背光阳极
3	GND	-	-	-	GND
4	NC	-	-	-	悬空
5	NC	-	-	-	悬空
6	DSI_RESET_1V8	K4	11	1.8V	复位信号
7	GND	-	-	-	GND
8	VDD1V8	-	-	1.8V	POWER
9	VDD2V8	-	-	2.8V	POWER
10	MIPI_TX3_P	B13	2	1.2V	MIPI DSI 发送数据信号
11	GND	-	-	-	GND
12	MIPI_TX3_N	A13	2	1.2V	MIPI DSI 发送数据信号
13	MIPI_TX2_P	E7	1	1.2V	MIPI DSI 发送数据信号
14	MIPI_TX2_N	E8	1	1.2V	MIPI DSI 发送数据信号
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	MIPI_TX_CLKP	E5	1	1.2V	MIPI DSI 时钟信号
18	MIPI_TX_CLKN	E6	1	1.2V	MIPI DSI 时钟信号
19	GND	-	-	-	GND
20	MIPI_TX1_P	F8	1	1.2V	MIPI DSI 发送数据信号
21	MIPI_TX1_N	E9	1	1.2V	MIPI DSI 发送数据信号
22	GND	-	-	-	GND
23	MIPI_TX0_P	B14	2	1.2V	MIPI DSI 发送数据信号
24	MIPI_TX0_N	A14	2	1.2V	MIPI DSI 发送数据信号
25	GND	-	-	-	GND

5 Demo

Demo 分为基础 Demo 和图像 Demo，基础 Demo 用于验证开发板的 HDMI、DDR3、LVDS、DSI 和 DP 等板卡基础功能；图像 Demo 基于 DDR3 和 MIPI CPHY 硬核、MIPI DPHY 软核进行各类摄像头的 HDMI、LVDS 屏的显示实验。Demo 使用说明请参考：[DBUG1282, DK VIDEO GW5AT-LV60UG225 V1.0 开发板 Demo 使用指南](#)。

表 5-1 基础 Demo 介绍

序号	工程名称	设计描述
1	01_G60_LED_1bit_Test	1bit LED 闪烁实验
2	02_G60_UART_Test_115200	串口通信回环实验（115200bps）
3	03-1_G60_HDMI_Display_7200P60	1280*720@60 HDMI 屏幕显示实验
4	03-2_G60_HDMI_Display_1080P60	1920*1080@60 HDMI 屏幕显示实验
5	04_G60_LVDS_Display_1024x600	1024*600@60 LVDS LCD 屏幕显示实验
6	05_G60_DSI_Display_1080x1920	1080*1920@60 MIPI DSI LCD 屏幕显示实验
7	06_G60_DP_Display_1080P60	1920*1080@60 DP 屏幕显示实验
8	07_G60_DP_Display_1080P60_RX2TX	1920*1080@60 DP 屏幕接收显示实验
9	08-1_G60_DDR3_HDMI_Display_1080P60	1920*1080@60 的 DDR3 图像缓存及 HDMI 屏幕显示实验
10	08-2_G60_DDR3_LVDS_Display_1024x600	1024*600@60 的 DDR3 图像缓存及 LVDS 屏幕显示实验
11	08-3_G60_DDR3_DSI_	1080*1920@60 的 DDR3 图像缓存及 MIPI

序号	工程名称	设计描述
	Display_10801920	DSI LCD 屏幕显示实验

表 5-2 图像 Demo 介绍

序号	工程名称	设计描述
1	01-1_SC130GS_DDR3_HDMI_720P60	基于 DPHY 软核和 DDR3 的 SC130GS 黑白 1Lane HDMI 屏幕显示工程
2	01-2_SC130GS_DDR3_LVDS_1024600	基于 DPHY 软核和 DDR3 的 SC130GS 黑白 1Lane LVDS 屏幕显示工程
3	02-1_SC2210_DDR3_HDMI_1080P60	基于 DPHY 软核和 DDR3 的 SC2210 彩色 1Lane HDMI 屏幕显示工程
4	02-2_SC2210_DDR3_LVDS_1024600	基于 DPHY 软核和 DDR3 的 SC2210 彩色 1Lane LVDS 屏幕显示工程
5	03-1_IMX586_DDR3_HDMI_1080P60	基于 CPHY 硬核的 IMX586 1920x1080@60 HDMI 屏幕显示工程
6	03-2_IMX586_DDR3_LVDS_1024600	基于 CPHY 硬核的 IMX586 1024x600@60 LVDS 屏幕显示工程

