



DK-START-GW1NS4&GW1NSR4&GW1NS
ER4_QN48

用户手册

DBUG371-1.1, 2021-07-29

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云, Gowin, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/07/08	1.0	初始版本。
2021/07/29	1.1	删除 2.2 开发板套件中的快速应用手册。

目录

目录 i

图目录..... iii

表目录..... iv

1 关于本手册 1

 1.1 手册内容 1

 1.2 相关文档..... 1

 1.3 术语、缩略语 2

 1.4 技术支持与反馈..... 2

2 开发板简介..... 3

 2.1 概述..... 3

 2.2 开发板套件 4

 2.3 PCB 组件 5

 2.4 系统框图..... 5

 2.5 特性..... 6

 2.6 指标..... 7

3 开发板电路..... 8

 3.1 FPGA 模块 8

 3.2 下载&Debug..... 8

 3.2.1 概述 8

 3.2.2 USB 9

 3.2.3 J-Link 9

 3.2.4 流程..... 9

 3.2.5 管脚分配..... 10

 3.3 电源..... 10

 3.3.1 概述..... 10

 3.3.2 电源系统分配 10

 3.3.3 电源管脚分配 11

3.4 时钟、复位	11
3.4.1 概述	11
3.4.2 时钟、复位电路	11
3.4.3 管脚分配	11
3.5 LED	12
3.5.1 概述	12
3.5.2 LED 电路	12
3.5.3 管脚分配	12
3.6 开关	12
3.6.1 概述	12
3.7 按键	13
3.7.1 概述	13
3.7.2 按键电路	13
3.7.3 管脚分配	13
3.8 GPIO	13
3.8.1 概述	13
3.8.2 GPIO 电路	14
3.8.3 管脚分配	14
3.9 MIPI/LVDS	14
3.9.1 概述	14
3.9.2 MIPI/LVDS 电路	15
3.9.3 管脚分配	15
3.10 RS232	17
3.10.1 概述	17
3.10.2 RS232 电路	17
3.10.3 管脚分配	17
4 开发板使用注意事项	18
5 开发软件介绍	19

图目录

图 2-1 DK-START-GW1NS4&GW1NSR4&GW1NSER4_QN48_V1.1 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 FPGA USB 连接示意图	9
图 3-2 FPGA J-Link 连接示意图	9
图 3-3 电源系统分配示意图	10
图 3-4 时钟、复位电路	11
图 3-5 LED 电路	12
图 3-6 按键电路	13
图 3-7 GPIO 电路	14
图 3-8 LVDS 电路	15
图 3-9 RS232 下载连接示意图	17

表目录

表 1-1 术语、缩略语	2
表 2-1 开发板指标	7
表 3-1 FPGA 下载相关管脚分配	10
表 3-2 FPGA 电源管脚分配	11
表 3-3 FPGA 时钟与复位管脚分配	11
表 3-4 LED 管脚分配	12
表 3-5 按键电路管脚分配	13
表 3-6 J17 GPIO 管脚分配	14
表 3-7 J15 FPGA 管脚分配	15
表 3-8 J16 FPGA 管脚分配	16
表 3-9 RS232 管脚分配	17

1 关于本手册

1.1 手册内容

DK-START-GW1NS4&GW1NSR4&GW1NSER4_QN48 V1.1 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. [DS821](#), GW1NS 系列 FPGA 产品数据手册
2. [UG823](#), GW1NS 系列 FPGA 产品封装与管脚手册
3. [UG824](#), GW1NS-4&4C 器件 Pinout 手册
4. [DS861](#), GW1NSR 系列 FPGA 产品数据手册
5. [DS881](#), GW1NSER 系列安全 FPGA 产品数据手册
6. [UG864](#), GW1NSR-4 器件 Pinout 手册
7. [UG865](#), GW1NSR-4C 器件 Pinout 手册
8. [UG884](#), GW1NSER 系列 FPGA 产品封装与管脚手册
9. [UG883](#), GW1NSER-4C 器件 Pinout 手册
10. [UG290](#), Gowin FPGA 产品编程配置手册
11. [SUG100](#), Gowin 云源软件用户手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
LVDS	Low Voltage Differential Signaling	低压差分信号
GPIO	Gowin Programmable Input/output	高云可编程通用管脚
MCU	Microprogrammed Control Unit	微程序控制器
USB	Universal Serial Bus	通用串行总线
SoC	System On Chip	片上系统
JTAG	Joint Test Action Group	联合测试行动组
SRAM	Static Random Access Memory	静态随机存储器
RS232	Recommended Standard 232	推荐标准 232，一种串行物理接口标准
ARM	Advanced RISC Machines	ARM 处理器
B-SRAM	Block SRAM	块状静态随机存储器
SPI	Serial Peripheral Interface	串行外设接口
PLL	Phase-locked Loop	锁相环
QN48	QFN48	QFN48 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

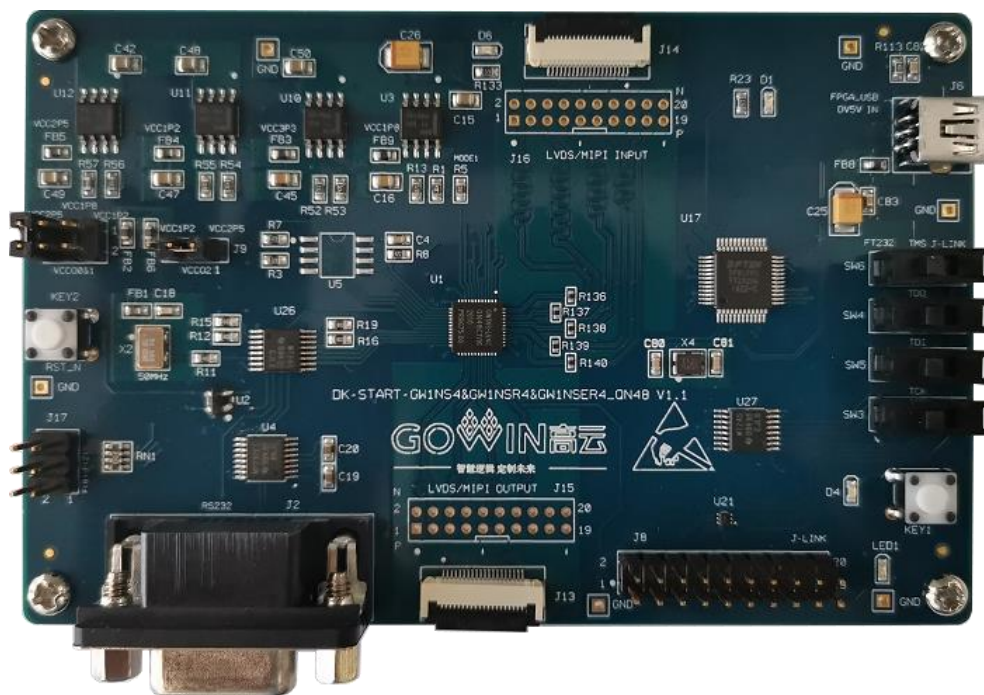
Tel: +86 755 8262 0391

2 开发板简介

本章节以 GW1NS-4C 器件为例介绍下开发板组成、功能及特性。GW1NS-4 与 GW1NS-4C 相比无内嵌 Cortex-M3 处理器；GW1NSER-4C 与 GW1NS-4C 相比增加了一次性编程和认证码特性。

2.1 概述

图 2-1 DK-START-GW1NS4&GW1NSR4&GW1NSER4_QN48_V1.1 开发板



开发板采用高云半导体 GW1NS-4 SoC FPGA 器件，SoC FPGA 内嵌 ARM Cortex-M3 硬核处理器。以 ARM Cortex-M3 硬核处理器为核心，具备了实现系统功能所需要的最小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、使用灵活、瞬时启动、低成本、非易失性、高安全性、方便扩展等特点，可有效降低学习成本，帮助用户快速进入可编程逻辑器件

的设计开发领域。

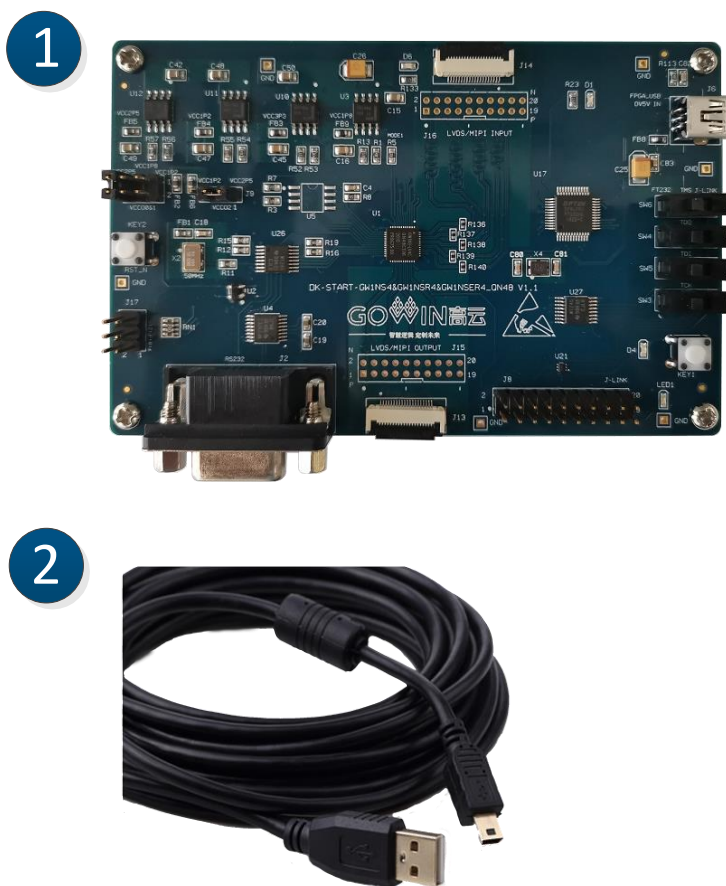
开发板上设计了丰富的外部接口，包括 MIPI/LVDS 接口、GPIO 接口；
同时还有按键、LED 等资源，可供开发人员或爱好者学习使用。

2.2 开发板套件

开发板套件包括：

- DK-START-GW1NS4&GW1NSR4&GW1NSER4_QN48_V1.1 开发板
- USB 数据线

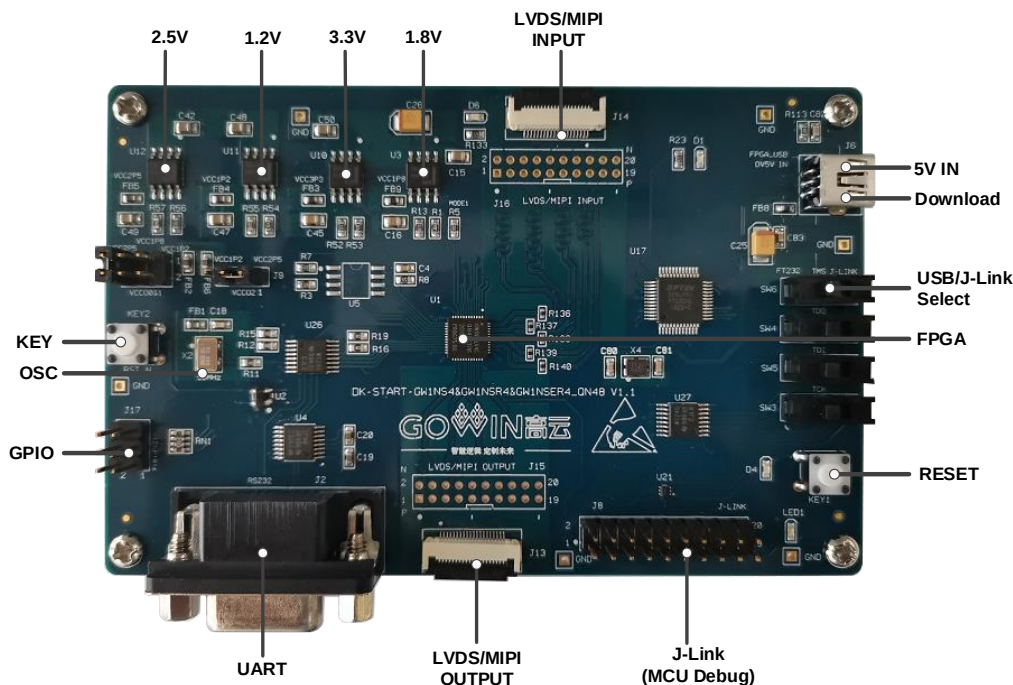
图 2-2 开发板套件



- ① DK-START-GW1NS4&GW1NSR4&GW1NSER4_QN48_V1.1 开发板
- ② USB数据线

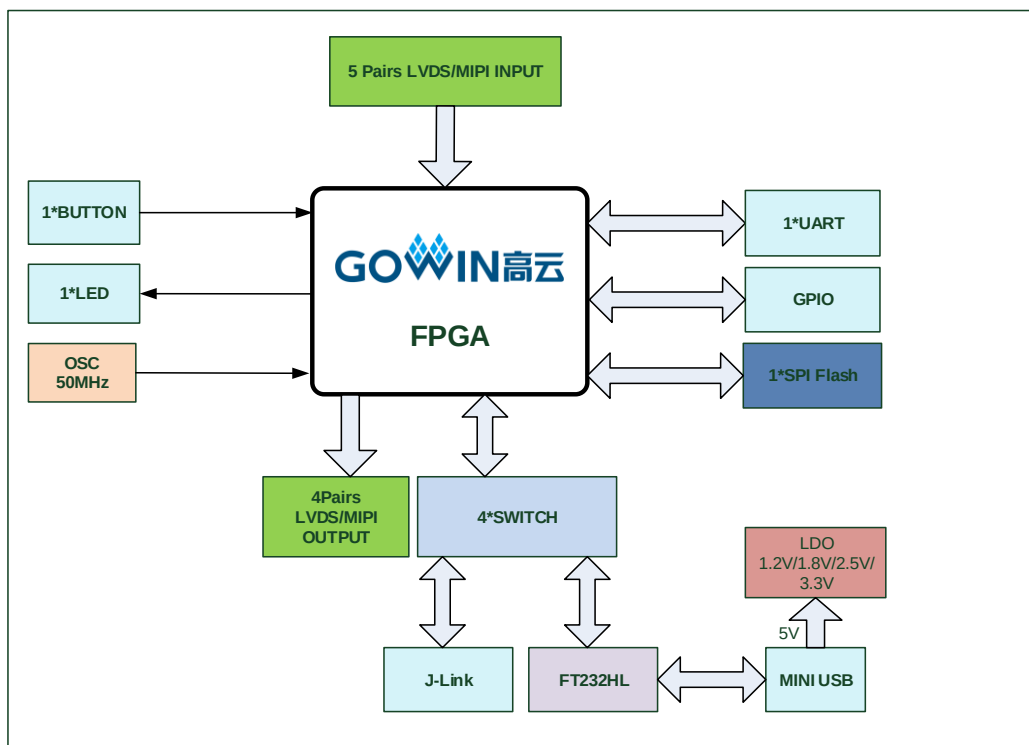
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板组成结构及特性如下：

1. FPGA
 - 采用 QN48 封装
 - 多达 38 个用户 I/O
 - 内嵌 Flash，掉电不易丢失
 - 丰富的 LUT4 资源
 - 多种模式、容量丰富的 B-SRAM
2. FPGA 配置模式
 - JTAG
 - AUTO BOOT
3. 时钟资源

50MHz 时钟晶振
4. 按键和滑动开关
 - 1 个复位按键
 - 1 个按键开关
5. LED
 - 1 个电源指示灯（绿）
 - 1 个 LED（绿）
 - 1 个按键指示灯（绿）
6. 存储
 - 1Mbit 内嵌 Flash
 - 64Mbit 外部 SPI FLASH
7. MIPI/LVDS

5 对 MIPI/LVDS 差分输入；4 对 MIPI/LVDS 差分输出
8. GPIO

3 个扩展 I/O
9. RS232

1 路 RS232
10. LDO 电源

提供 3.3V、2.5V、1.8V、1.2V 电源

2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	支持 USB 接口; 支持 JTAG、AUTOBOOT	板上集成 USB 转 JTAG 芯片	—
3	电源	通过 LDO 电路输出 3.3V、2.5V、1.8V、1.2V 电源	● 输入电源为 5V; ● 5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源; ● 5V 转 2.5V 电路为 FPGA 提供电源; ● 5V 转 1.8V 电路为 FPGA 提供电源; ● 5V 转 1.2V 电路给 FPGA 提供电源。	—
4	按键开关	可供用户测试使用	1 个	—
5	复位按键	为 FPGA 提供复位	1 个	—
6	LED	测试指示、按键指示、电源指示	● 测试指示灯 4 个, 绿色; ● 电源指示灯 1 个, 绿色。 ● 按键指示灯 1 个, 绿色。	—
7	晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
8	存储	FLASH	● 1Mbit 内嵌 Flash ● 64Mbit 外部 SPI FLASH	—
9	GPIO	I/O, 方便用户进行扩展和测试	3 个	—
10	MIPI/LVDS	MIPI/LVDS, 供测试使用	5 对输入, 4 对输出	—
11	RS232	供测试使用	1 路 RS232	—
12	保护	USB 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护	● USB 接口 ESD 保护: $\pm 15\text{kV}$ 非接触放电, $\pm 8\text{kV}$ 接触放电; ● 电源接口正负极间方向接有肖特基二极管; ● 电源入口接有耐 2A 的自恢复保险丝。	—
13	电压	—	输入电压 5V	—
14	湿度	—	95%	—
15	温度	—	工作范围 $-20^{\circ}\sim 70^{\circ}$	—

3 开发板电路

3.1 FPGA 模块

概述

GW1NS 系列 FPGA 产品资源信息请参考 [DS821](#)，GW1NS 系列 FPGA 产品数据手册。

GW1NSR 系列 FPGA 产品资源信息请参考 [DS861](#)，GW1NSR 系列 FPGA 产品数据手册。

GW1NSER 系列 FPGA 产品资源信息请参考 [DS881](#)，GW1NSER 系列安全 FPGA 产品数据手册。

I/O BANK 说明

GW1NS/GW1NSR/GW1NSER 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请分别参考 [UG823](#)，GW1NS 系列 FPGA 产品封装与管脚手册；[UG863](#)，GW1NSR 系列 FPGA 产品封装与管脚手册；及 [UG884](#)，GW1NSER 系列 FPGA 产品封装与管脚手册。

3.2 下载&Debug

3.2.1 概述

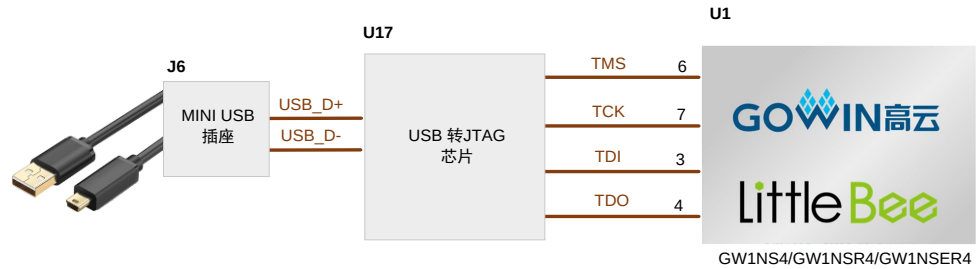
开发板提供 USB 接口和 J-Link 接口。FPGA 的 .fs 文件下载时可根据需要下载至片内 SRAM、内部 Flash。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

3.2.2 USB

图 3-1 FPGA USB 连接示意图



3.2.3 J-Link

图 3-2 FPGA J-Link 连接示意图



3.2.4 流程

1. **FPGA 和 MCU 下载模式：**
对 FPGA 和 MCU 下载时将 USB 下载线插在开发板的 USB 接口（J6）。
注！
下载前，需将开发板上的开关 SW3、SW4、SW5、SW6 拨到 FT232 侧。
2. **MCU 调试模式：**
对 MCU 调试时需用 J-Link 仿真器连接到 J8。
注！
调试前，需将开发板上的开关 SW3、SW4、SW5、SW6 拨到 J-Link 侧。

3.2.5 管脚分配

表 3-1 FPGA 下载相关管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS	6	0	JTAG 信号	3.3/2.5/1.2V
TCK	7	0	JTAG 信号	3.3/2.5/1.2V
TDI	3	0	JTAG 信号	3.3/2.5/1.2V
TDO	4	0	JTAG 信号	3.3/2.5/1.2V
MODE0	10	0	模式选择脚	3.3/2.5/1.2V
JTAGSEL_N	8	0	JTAGSEL_N	3.3/2.5/1.2V
DONE	9	0	DONE 指示	3.3/2.5/1.2V

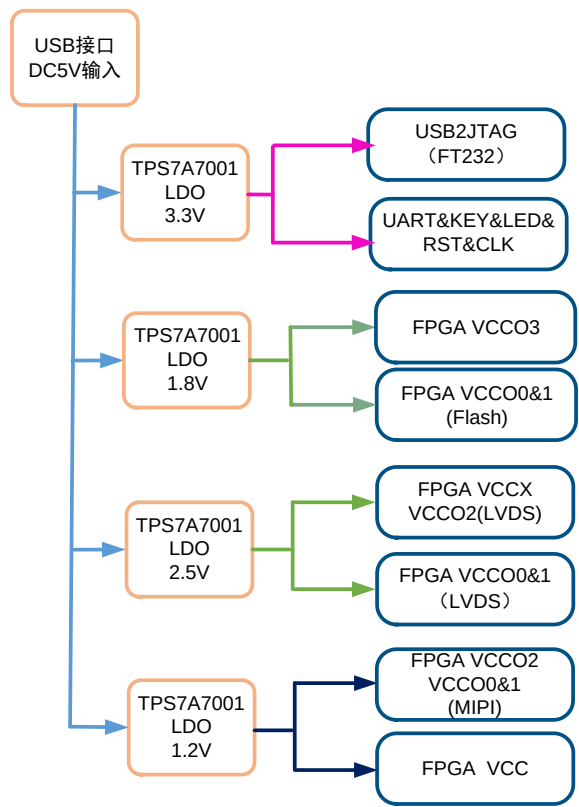
3.3 电源

3.3.1 概述

电源 DC5V 由 USB 接口输入，采用 TI 的 LDO 电源芯片，实现由 5V 到 3.3V、2.5V、1.8V、1.2V 的变换，可满足开发板的电源需求。

3.3.2 电源系统分配

图 3-3 电源系统分配示意图



3.3.3 电源管脚分配

表 3-2 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	5	0	I/O Bank 电压	2.5V/1.8V/1.2V
VCCO1	38	1	I/O Bank 电压	2.5V/1.8V/1.2V
VCCO2	36	2	I/O Bank 电压	2.5V/1.2V
VCCO3	12、24	3	I/O Bank 电压	1.8V
VCCX	25	-	辅助电压	2.5V
VCC	11、37	-	核电压	1.2V
VSS	26	-	GND	-

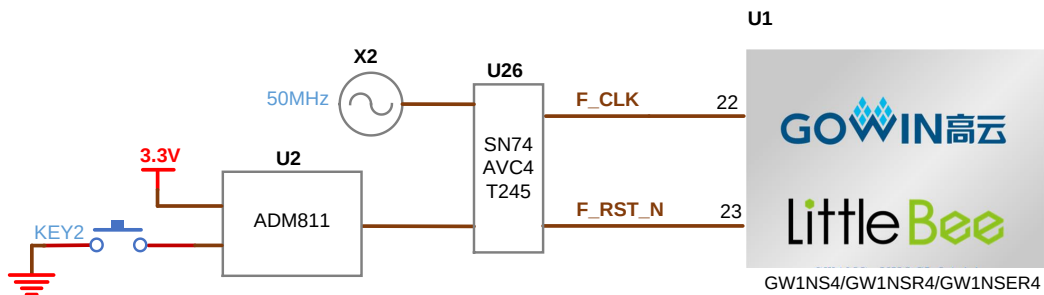
3.4 时钟、复位

3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

3.4.2 时钟、复位电路

图 3-4 时钟、复位电路



3.4.3 管脚分配

表 3-3 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_CLK	22	3	50MHz 有源晶振输入	1.8V
FPGA_RST_N	23	3	复位信号，低有效	1.8V

3.5 LED

3.5.1 概述

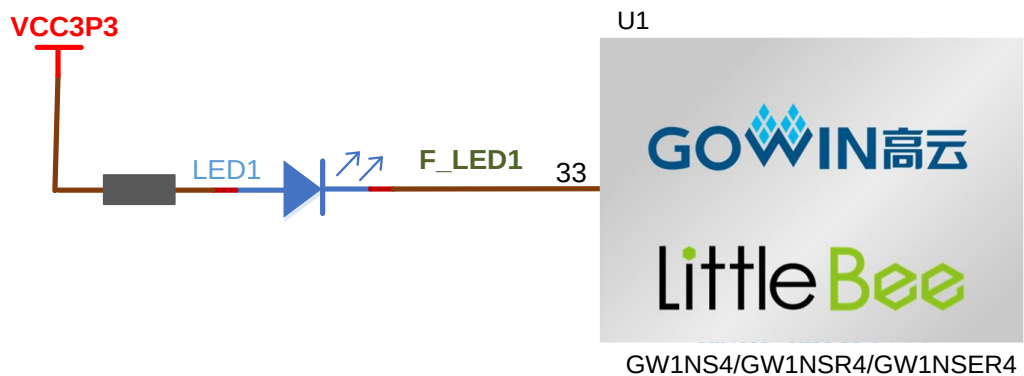
开发板中有 1 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

3.5.2 LED 电路

图 3-5 LED 电路



3.5.3 管脚分配

表 3-4 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED1	33	2	LED1	2.5V/1.2V

3.6 开关

3.6.1 概述

开发板中有 4 个滑动开关，可用于控制程序下载和 MCU Debug 使用。具体操作指示见 PCB 板丝印层指示。

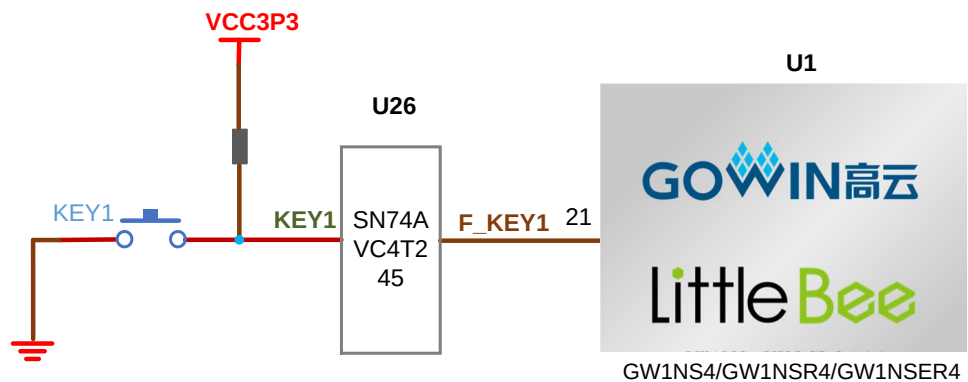
3.7 按键

3.7.1 概述

开发板有 1 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。

3.7.2 按键电路

图 3-6 按键电路



3.7.3 管脚分配

表 3-5 按键电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	21	2	KEY1	1.8V

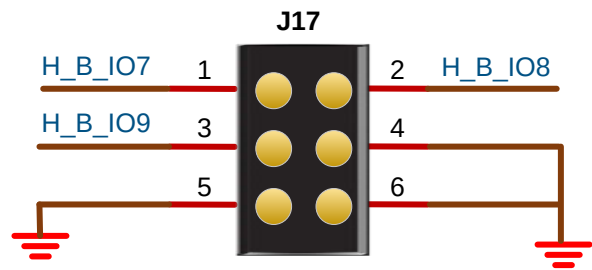
3.8 GPIO

3.8.1 概述

为方便用户测试，在开发板上预留 1 个 2.54mm 间距的 6P 双列排针。

3.8.2 GPIO 电路

图 3-7 GPIO 电路



3.8.3 管脚分配

表 3-6 J17 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
H_B_IO7	8	1	0	通用 I/O	2.5V/1.8V/1.2V
H_B_IO8	1	2	0	通用 I/O	2.5V/1.8V/1.2V
H_B_IO9	2	3	0	通用 I/O	2.5V/1.8V/1.2V
-	-	4	-	GND	GND
-	-	5	-	GND	GND
-	-	6	-	GND	GND

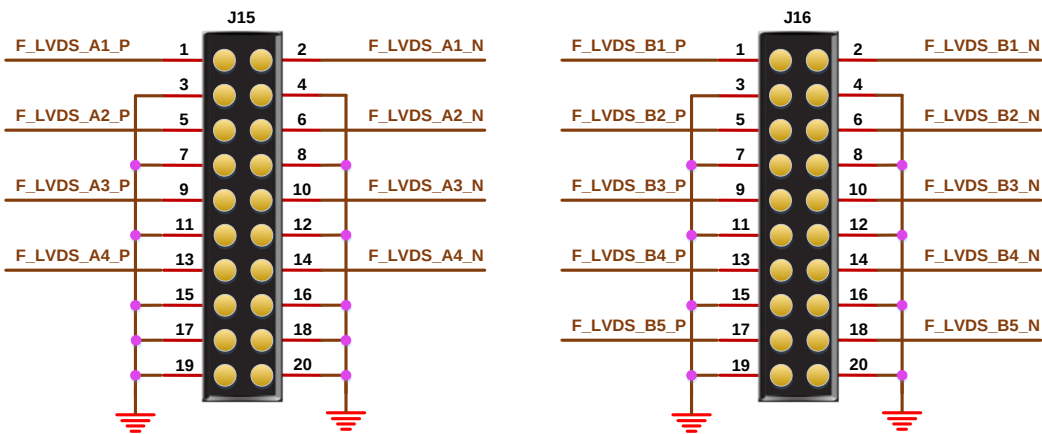
3.9 MIPI/LVDS

3.9.1 概述

为方便用户 MIPI/LVDS 输入输出性能测试和高速数据传输，在开发板上预留 2 个 2.0mm 间距的 10P 双列排针。

3.9.2 MIPI/LVDS 电路

图 3-8 LVDS 电路



3.9.3 管脚分配

表 3-7 J15 FPGA 管脚分配

信号名称	FPGA 管脚序号	插座 管脚号	BANK	描述	I/O 电平
F_LVDS_A1_P	28	1	2	差分输出通道 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A1_N	27	2	2	差分输出通道 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	30	5	2	差分输出通道 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A2_N	29	6	2	差分输出通道 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_A3_P	32	9	2	差分输出通道 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A3_N	31	10	2	差分输出通道 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_A4_P	35	13	2	差分输出通道 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A4_N	34	14	2	差分输出通道 4-	2.5V(LVDS)/

信号名称	FPGA 管脚序号	插座 管脚号	BANK	描述	I/O 电平
					1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
GND	-	17	-	-	
GND	-	18	-	-	
GND	-	19	-	-	
GND	-	20	-	-	

表 3-8 J16 FPGA 管脚分配

信号名称	FPGA 管脚序号	插座 管脚号	BANK	描述	I/O 电平
F_LVDS_B1_P	48	1	1	差分输入通道 1+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B1_N	47	2	1	差分输入通道 1-	2.5V/1.2V (LVDS/MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	46	5	1	差分输入通道 2+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B2_N	45	6	1	差分输入通道 2-	2.5V/1.2V (LVDS/MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	44	9	1	差分输入通道 3+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B3_N	43	10	1	差分输入通道 3-	2.5V/1.2V (LVDS/MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	42	13	1	差分输入通道 4+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B4_N	41	14	1	差分输入通道 4-	2.5V/1.2V (LVDS/MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	40	17	1	差分输入通道 5+	2.5V/1.2V (LVDS/MIPI)

信号名称	FPGA 管脚序号	插座 管脚号	BANK	描述	I/O 电平
F_LVDS_B5_N	39	18	1	差分输入通道 5-	2.5V/1.2V (LVDS/MIPI)
GND	-	19	-	-	-
GND	-	20	-	-	-

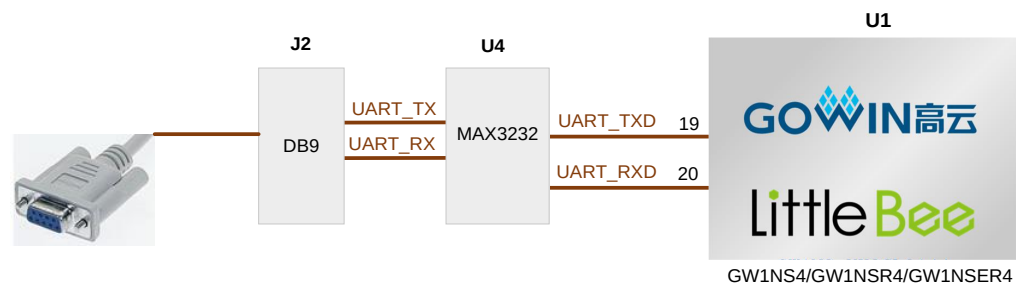
3.10 RS232

3.10.1 概述

为方便用户进行 FPGA 与 PC 或其他外部设备通信，预留一路 RS232 接口。

3.10.2 RS232 电路

图 3-9 RS232 下载连接示意图



3.10.3 管脚分配

表 3-9 RS232 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
UART_TXD	19	3	串行数据 从 FPGA 发出	1.8V
UART_RXD	20	3	串行数据 进入 FPGA	1.8V

4 开发板使用注意事项

开发板使用注意事项

1. 开发板使用时，注意轻拿轻放，并做好静电防护；
2. 下载 FPGA 和 MCU 前，需将 SW3、SW4、SW5、SW6 开关拨到 FT232 侧；
3. 调试 MCU 前，需将 SW3、SW4、SW5、SW6 开关拨到 J-Link 侧；
4. 当 Bank2 输出差分对作为 LVDS 输出时，可通过改变 J3 跳塞位置来设置 VCCO2 Bank 电压调整到 2.5V；当 Bank2 输出差分对作为 MIPI 输出时，可通过改变 J3 跳塞位置来设置 VCCO2 Bank 电压调整到 1.2V。
5. 当 Bank1 输入差分对作为 LVDS 输入时，可通过改变 J9 跳塞位置来设置 Bank 电压为 2.5V；当 Bank0 输入差分对作为 MIPI 输入时，可通过改变 J9 跳塞位置来设置 Bank 电压为 1.2V。
6. GW1INSER-4C 是高云安全 FPGA 芯片（Secure FPGA），具有 Secure Mode 和认证码功能。
7. GW1INSER-4C 器件需用 1.9.5 及以上版本的高云 EDA 工具来进行开发。
8. 请慎重选择用于产品出厂的一次性编程“Secure Mode”模式。建议未出厂调试阶段，不选一次性编程“Secure Mode”模式，可对 Secure FPGA 反复编程下载。
9. 首次使用开发板前需通过 Programmer 工具读回认证码保存到本地 PC，每次下载 MCU 代码前需首先写入认证码。
10. 对于 GW1INSR-4C 或 GW1INSER-4C 器件，pSRAM 电源通过 VCCO3 Bank 电压提供。
11. 对于 GW1INSR-4C 或 GW1INSER-4C 器件，Pin47 和 Pin48 不是差分信号。

5 开发软件介绍

详细资料请参考 [SUG100](#), Gowin 云源软件用户手册。

