



DK_USB2.0_GW2AR-LV18QN88PC7I6_GW
1NSR-LV4MG64PC7I6_V1.0

用户手册

DBUG400-1.01, 2021-08-26

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/08/12	1.0	初始版本。
2021/08/26	1.01	删除系统框图中的 USB3280。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	7
3.1 FPGA 模块	7
3.1.1 介绍	7
3.1.2 I/O 分布	8
3.2 下载模块	12
3.2.1 介绍	12
3.2.2 管脚分配	12
3.3 电源	13
3.3.1 介绍	13
3.4 时钟、复位	13
3.4.1 介绍	13

3.4.2 管脚分配.....	14
3.5 USB-PHY 模块.....	14
3.5.1 介绍.....	14
3.5.2 管脚分配.....	15
3.6 USB1.1 接口	16
3.6.1 介绍.....	16
3.6.2 管脚分配.....	17
3.7 USB2.0 接口	17
3.7.1 介绍.....	17
3.7.2 管脚分配.....	17
3.8 GPIO	18
3.8.1 介绍.....	18
3.9 LED 模块.....	18
3.9.1 介绍.....	18
3.9.2 管脚分配.....	19
3.10 按键模块.....	19
3.10.1 介绍.....	19
3.10.2 管脚分配.....	20

图目录

图 2-1 DK_USB2.0_GW2AR-LV18QN88PC7I6_GW1NSR-LV4MG64PC7I6_V1.0 开发板	3
图 2-2 开发板套件.....	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 GW2AR 系列 FPGA 产品 I/O BANK 整体示意图.....	8
图 3-2 GW2AR-18 器件 QN88P 封装管脚分布示意图（顶视图）	9
图 3-3 GW1NSR 系列 FPGA 产品 I/O BANK 整体示意图	10
图 3-4 GW1NSR-4 器件 MG64P 封装管脚分布示意图（顶视图）	11
图 3-5 FPGA 下载与配置连接示意图.....	12
图 3-6 时钟、复位连接示意图	13
图 3-7 FPGA 与 USB-PHY 接口连接示意图	14
图 3-8 FPGA 与 USB1.1 接口连接示意图	16
图 3-9 FPGA 与 USB2.0 接口连接示意图	17
图 3-10 LED 连接示意图	19
图 3-11 按键电路	19

表目录

表 1-1 术语、缩略语	1
表 3-1 GW2A-LV18QN88P FPGA 产品信息列表	7
表 3-2 GW1NSR-LV4MG64P FPGA 产品信息列表	8
表 3-3 FPGA I/O Bank 电压及功能分布	9
表 3-4 FPGA I/O Bank 电压及功能分布	11
表 3-5 FPGA-GW2AR-LV18QN88P 下载与配置管脚分配	12
表 3-6 FPGA-GW1NSR-LV4MG64P 下载与配置管脚分配	13
表 3-7 GW1NSR-LV4MG64P 时钟、复位管脚分配	14
表 3-8 GW2AR-LV18QN88P 时钟、复位管脚分配	14
表 3-9 GW1NSR-LV4MG64P USB-PHY 模块管脚分配	15
表 3-10 GW2AR-LV18QN88P USB-PHY 模块管脚分配	15
表 3-11 GW1NSR-LV4MG64P USB1.1 模块管脚分配	17
表 3-12 GW2AR-LV18QN88P USB1.1 模块管脚分配	17
表 3-13 GW1NSR-LV4MG64P USB2.0 模块管脚分配	17
表 3-14 GW1NSR-LV4MG64P USB2.0 模块管脚分配	18
表 3-15 GW1NSR-LV4MG64P LED 指示灯管脚分配	19
表 3-16 GW2AR-LV18QN88P LED 指示灯管脚分配	19
表 3-17 GW1NSR-LV4MG64P 按键模块管脚分配	20
表 3-18 GW2AR-LV18QN88P 按键模块管脚分配	20

1 关于本手册

1.1 手册内容

DK_USB2.0_GW2AR-LV18QN88PC7I6_GW1NSR-LV4MG64PC7I6_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

1. 简要介绍开发板的功能特点；
2. 介绍开发板的整体系统架构和硬件资源；
3. 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. [DS226](#)，GW2AR 系列 FPGA 产品数据手册
2. [UG115](#)，GW2AR-18 器件 Pinout 手册
3. [UG229](#)，GW2AR 系列 FPGA 产品封装与管脚手册
4. [DS861](#)，GW1NSR 系列 FPGA 产品数据手册
5. [UG864](#)，GW1NSR-4 器件 Pinout 手册
6. [UG863](#)，GW1NSR 系列 FPGA 产品封装与管脚手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
B-SRAM	Block SRAM	块状静态随机存储器
DDR	Double-Data-Rate Synchronous Dynamic Random Access Memory	双倍速率同步动态随机存储器

术语、缩略语	全称	含义
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	General Purpose Input Output	通用输入/输出
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Table	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
S-SRAM	Shadow SRAM	分布式静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

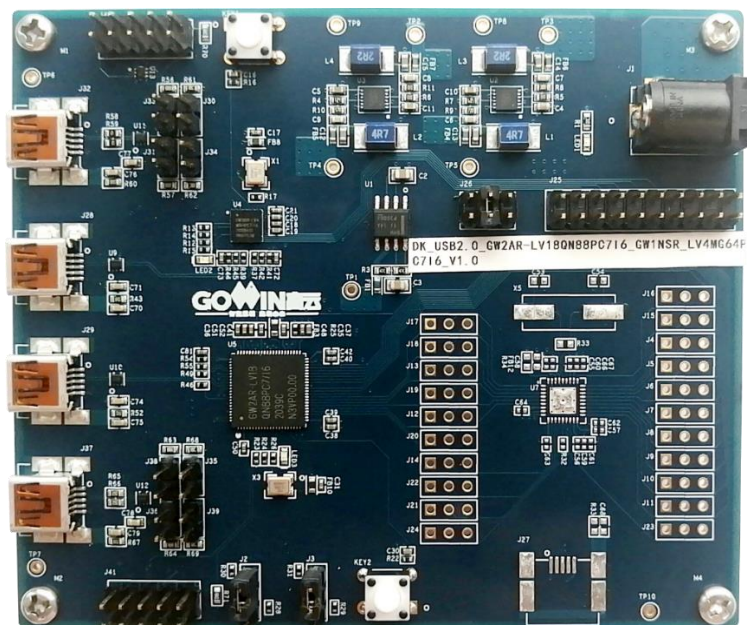
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_USB2.0_GW2AR-LV18QN88PC7I6_GW1NSR-LV4MG64PC7I6_V1.0 开发板



DK_USB2.0_GW2AR-LV18QN88PC7I6_GW1NSR-LV4MG64PC7I6_V1.0 开发板适用于 USB2.0 通信、USB1.1 通信以及 USB-PHY 通信等 USB 通信测试、4K 和 18K 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云 GW2AR-LV18QN88P 的 FPGA 器件，该器件为高云 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的 SDRAM 存储芯片，同时具有 GW2A 系列高性能的 DSP 资源，高速 LVDS 接口以及丰富的 B-SRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

高云开发板采用高云 GW1NSR-LV4MG64P 的 FPGA 器件,该器件为高云半导体 GW1NSR 系列产品是高云半导体小蜜蜂®(LittleBee®)家族第一代可编辑逻辑器件产品,是一款系统级封装芯片,内部集成了 GW1NS 系列可编辑逻辑器件产品和 PSRAM 存储芯片。包括 GW1NSR-2C 器件和 GW1NSR-2 器件, GW1NSR-2C 器件内嵌 ARMCortex-M3 硬核处理器。此外, GW1NSR 系列产品内嵌 USB2.0PHY、用户闪存以及 ADC 转换器。

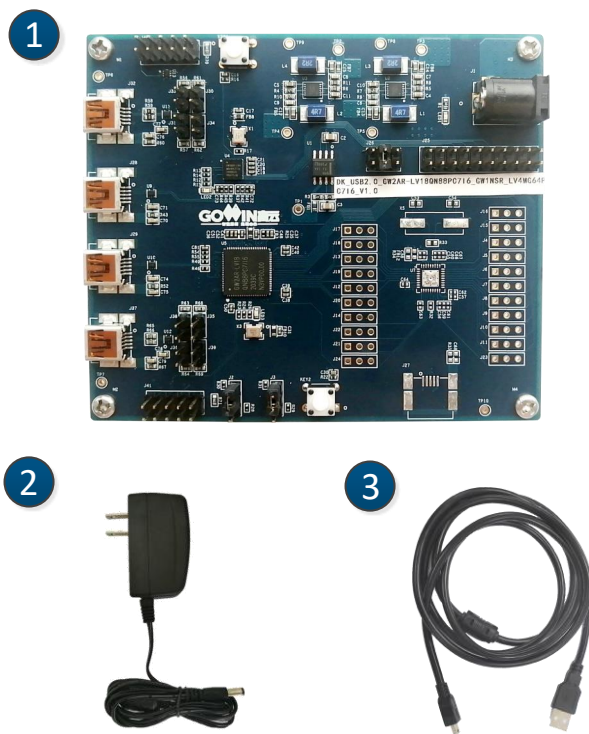
开发板搭载了一颗 USB-PHY 芯片,支持 480Mbps 高速(HS)和 12Mbps 全速(FS)通信; GW2AR-LV18QN88P 外接 FLASH 芯片用于存储 FPGA 的配置程序; 按键、LED 方便用户调试使用。

2.2 开发板套件

开发板套件包括:

1. DK_USB2.0_GW2AR-LV18QN88PC7I6_GW1NSR-LV4MG64PC7I6_V1.0 开发板
2. 5V 电源 (输入: AC 100-240V~50/60Hz 25VA, 输出: DC 5V 2A)
3. USB Mini B 下载线

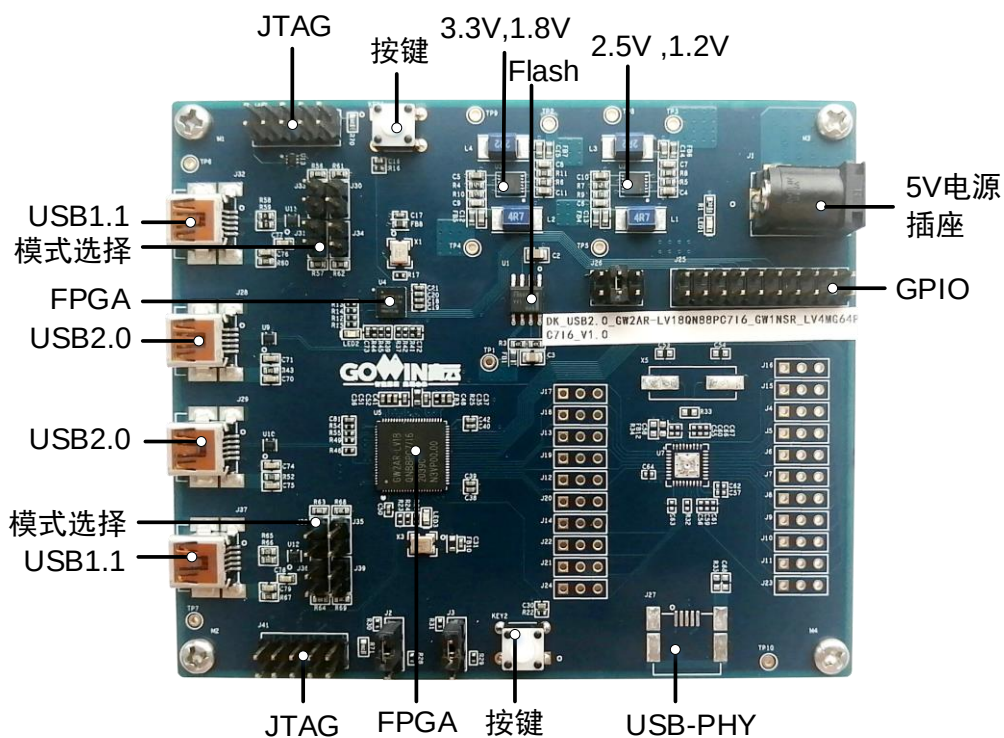
图 2-2 开发板套件



- ① DK_USB2.0_GW2AR-LV18QN88PC7I6_GW1NSR-LV4MG64PC7I6_V1.0开发板
- ② 5V电源适配器
- ③ USB Mini B下载线

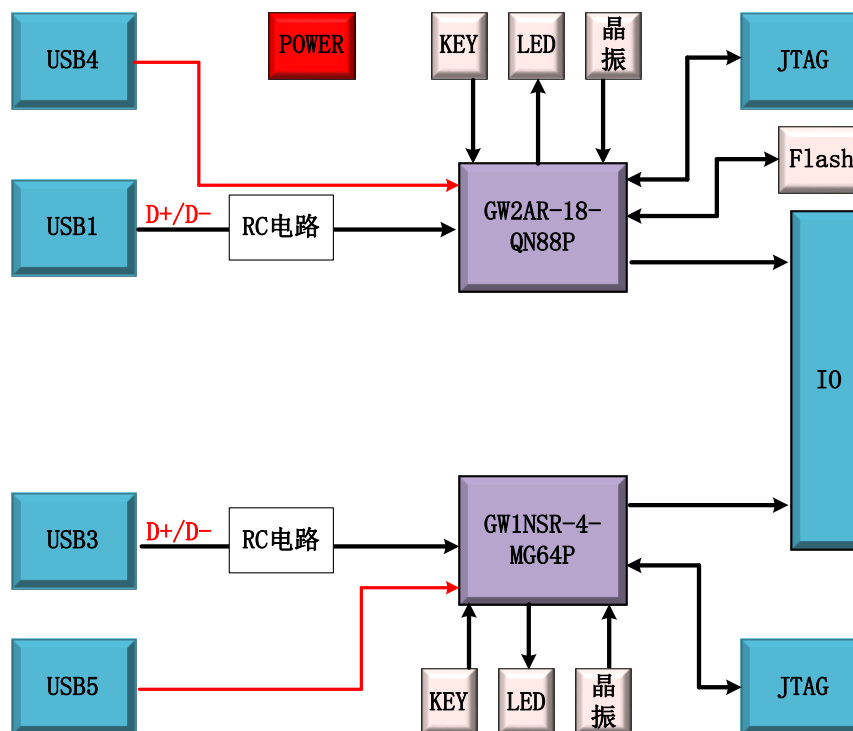
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

1. FPGA 器件
 - 高云 GW2AR-LV18QN88P、GW1NSR-LV4MG64P
 - 最多用户 I/O 66 个、55 个
 2. 下载与启动
 - 板上集成下载模块，通过 JTAG 下载线下载
 - 外部 FLASH 启动
 - 加载完成后，板卡启动
 3. 供电方式
 - 外部 DC 5V 2A 供电
 - 上电后，绿色 POWER 灯亮
 - 开发板产生 5V、3.3V、2.5V、1.8V、1.2V、1.0V 电源。
 4. 时钟系统
 - 12MHz 晶振输入
 5. 存储器件
 - 64Mbit FLASH
 6. USB1.1 接口
 - 1 路 USB1.1 接口与 GW2AR-LV18QN88P 通信
 - 1 路 USB1.1 接口与 GW1NSR-LV4MG64P 通信
 7. USB2.0 接口
 - 1 路 USB2.0 接口与 GW2AR-LV18QN88P 通信
 - 1 路 USB2.0 接口与 GW1NSR-LV4MG64P 通信
 8. USB-PHY 接口
 - 1 路 USB-PHY 接口，与 GW2AR-LV18QN88P、GW1NSR-LV4MG64P 通信
- 注！
- 通过跳线帽，选择与 USB-PHY 通信的 FPGA 芯片。
9. GPIO 接口
 - GPIO 接口，可实现与外部通信
 10. 调试模块
 - 2 个按键
 - 2 个绿色 LED
- 注！
- 每个 FPGA 芯片连接一个按键和一个 LED 灯。

3开发板电路

3.1 FPGA 模块

3.1.1 介绍

GW2AR-LV18QN88P FPGA 产品资源信息如表 3-1 所示：

表 3-1 GW2AR-LV18QN88P FPGA 产品信息列表

器件	GW2AR-LV18QN88P
逻辑单元(LUT4)	20,736
寄存器(FF)	15,552
分布式静态随机存储器 S-SRAM(bits)	41,472
块状静态随机存储器 B-SRAM(bits)	828K
块状静态随机存储器数目 B-SRAM(个)	46
乘法器(18 x 18 Multiplier)	48
锁相环(PLLs+DLLs)	4
I/O Bank 总数	8
最多用户 I/O	66
核电压	1.0V

注！
详细信息请参考 [DS226](#), GW2AR 系列FPGA 产品数据手册。

GW1NSR-LV4MG64P FPGA 产品资源信息如所示：

表 3-2 GW1NSR-LV4MG64P FPGA 产品信息列表

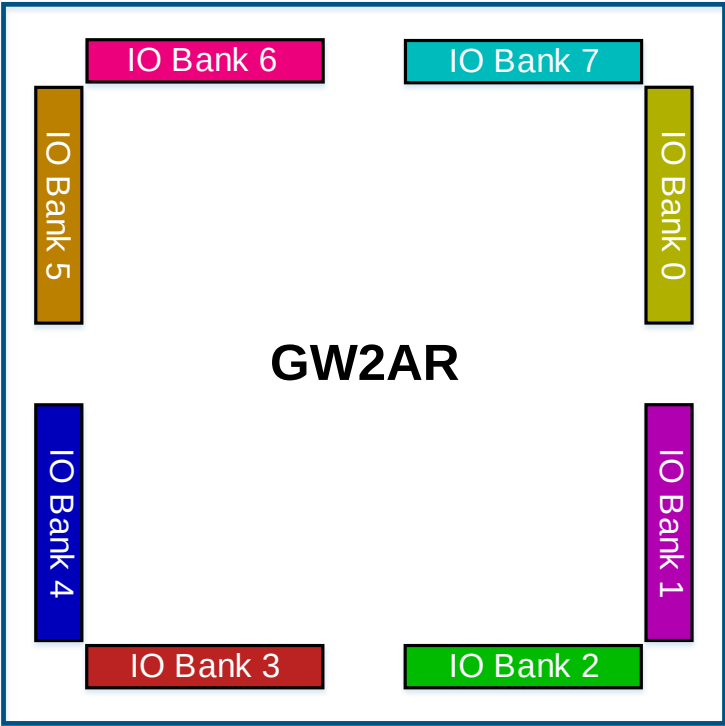
器件	GW1NSR-LV4MG64P
逻辑单元(LUT4)	4608
寄存器(FF)	3456
块状静态随机存储器 B-SRAM(bits)	180K
块状静态随机存储器数目 B-SRAM(个)	10
乘法器(18 x 18 Multiplier)	16
锁相环(PLLs+DLLs)	2
I/O Bank 总数	4
最多用户 I/O	55
核电压	1.2V

注！
详细信息请参考 [DS861](#), GW1NSR 系列 FPGA 产品数据手册。

3.1.2 I/O 分布

GW2AR 系列 FPGA 产品分为八个 I/O BANK 区，GW2AR 系列 FPGA 产品的 I/O BANK 整体示意图如图 3-1 所示。

图 3-1 GW2AR 系列 FPGA 产品 I/O BANK 整体示意图



GW2AR-18 器件 QN88P 封装管脚分布示意图如图 3-2 所示。

图 3-2 GW2AR-18 器件 QN88P 封装管脚分布示意图（顶视图）



此开发板的 I/O Bank 电压及功能设计如表 3-3 所示。

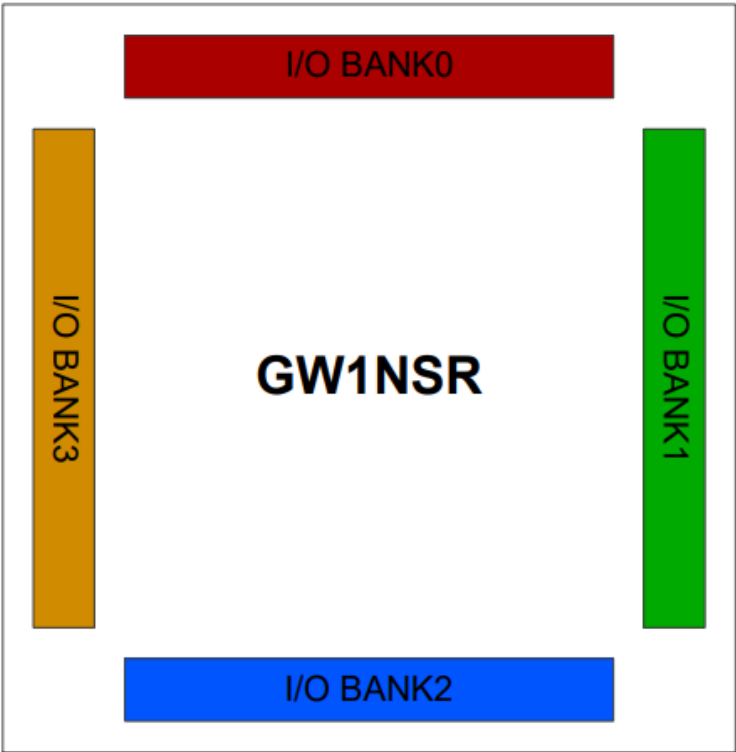
表 3-3 FPGA I/O Bank 电压及功能分布

Bank	单端/差分 对/LVDS	电压	功能	I/O 占用	剩余 I/O
0	8/4/2	3.3V/2.5V	GPIO	6 个 GPIO	1 个
			USB2.0_Pullip	1 个 GPIO	
1	9/4/3	3.3V/2.5V	USB2.0	8 个 GPIO	1 个
2	4/0/0	1.8V	JTAG	4 个专用 I/O	0 个
3	17/6/2	3.3V	MODE 选择	2 个专用 I/O	1 个
			配置 FLASH(3.3V)1 片	4 个专用 I/O, 2 个 GPIO	
			USB-PHY	5 个 GPIO	

Bank	单端/差分 对/LVDS	电压	功能	I/O 占用	剩余 I/O
			USB1.1	2 个 GPIO	
			RECONFIG_N	1 个专用 IO	
4	8/3/2	3.3V	晶振 IIS	1 个专用时钟 IO	0 个
			USB-PHY	7 个 GPIO	
5	10/5/5	3.3V	USB-PHY	10 个 GPIO	0 个
6	9/4/4	3.3V/2.5V	GPIO	2 个 GPIO	4 个
			复位按钮	1 个 GPIO	
			LED 灯	1 个 GPIO	
			晶振	1 个专用时钟 IO	
7	1/0/0	1.8V	-	-	1 个

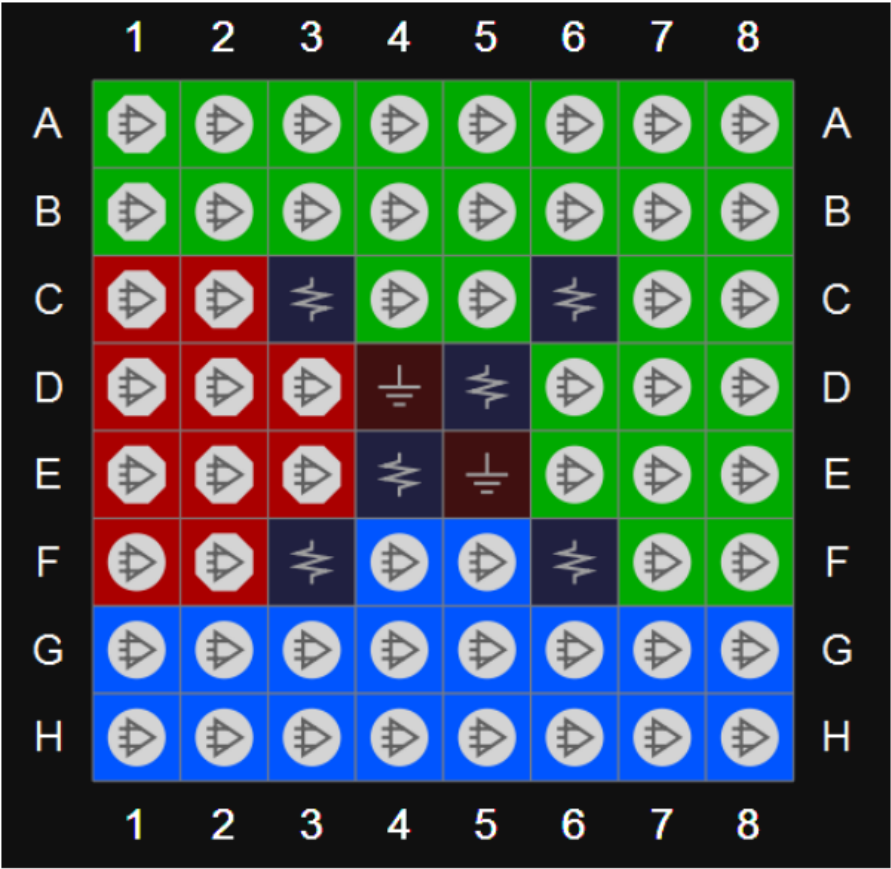
GW1NSR 系列 FPGA 产品分为 4 个 I/O BANK 区,GW1NSR 系列 FPGA 产品的 I/O BANK 整体示意图如图 3-3 所示。

图 3-3 GW1NSR 系列 FPGA 产品 I/O BANK 整体示意图



GW1NSR-4 器件 MG64P 封装管脚分布示意图如图 3-4 所示。

图 3-4 GW1NSR-4 器件 MG64P 封装管脚分布示意图（顶视图）



此开发板的 I/O Bank 电压及功能设计如表 3-4 所示。

表 3-4 FPGA I/O Bank 电压及功能分布

Bank	单端/差分 对/LVDS	电压	功能	I/O 占用	剩余 I/O
0	10/4/0	3.3V	JTAG	4 个专用 IO	1 个
			JTAGSEL_N/RECONFIG_N	3 个专用 IO	
			GPIO	2 个 GPIO	
1	28/14/0	3.3V	USB-PHY	22 个 GPIO	0 个
			GPIO	3 个 GPIO	
			复位按键	1 个 GPIO	
			晶振(IIS)	2 个专用时钟 IO	
2	18/9/7	3.3V/2.5V	GPIO	3 个 GPIO	3 个
			USB1.1	2 个 GPIO	
			USB2.0	9 个 GPIO	
			LED 灯	1 个 GPIO	
3	0/0/0	1.8V	MODE 选择	2 个专用 I/O	1 个

3.2 下载模块

3.2.1 介绍

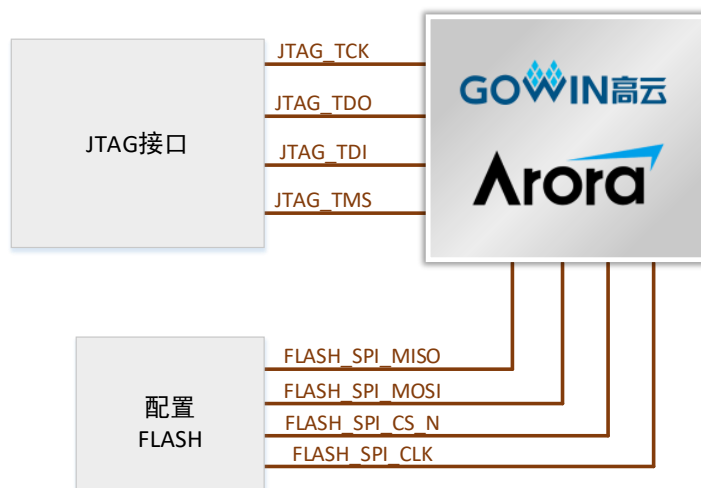
开发板提供 JTAG 下载接口。通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“011”，将数据下载到配置 Flash 器件中。将 MODE 设置为“000”，重新上电，器件自行从配置 Flash 读取 FPGA 配置数据。

下载、配置的连接示意图如图 3-5 所示。

图 3-5 FPGA 下载与配置连接示意图



3.2.2 管脚分配

表 3-5 FPGA-GW2AR-LV18QN88P 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_TCK	6	2	1.8V	JTAG 信号
F2_TDO	8	2	1.8V	JTAG 信号
F2_TDI	7	2	1.8V	JTAG 信号
F2_TMS	5	2	1.8V	JTAG 信号
MSPI_DO	62	3	3.3V	配置 FLASH 信号
MSPI_DI	61	3	3.3V	配置 FLASH 信号
MSPI_CS	60	3	3.3V	配置 FLASH 信号
MSPI_CK	59	3	3.3V	配置 FLASH 信号

表 3-6 FPGA-GW1NSR-LV4MG64P 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_TCK	D3	0	3.3V	JTAG 信号
F1_TDO	E3	0	3.3V	JTAG 信号
F1_TDI	E2	0	3.3V	JTAG 信号
F1_TMS	D2	0	3.3V	JTAG 信号

3.3 电源

3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：100-240V~50/60MHz 25VA，输出：DC +5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、2.5V、1.8V、1.2V、1.0V 电源；

- 采用 1 片 TPS7A7001 电源芯片，产生 1.0V，最大输出电流 2A；
- 采用 2 片 PAM2306AYPAA DC-DC 电源芯片，产生 3.3V、1.8 V 和 2.5V、1.2V，最大输出电流 1A；
- 采用 3 片 TPS7A7001 LDO 电源芯片，产生 2.5V、1.8V 和 1.2V，最大输出电流 2A。

3.4 时钟、复位

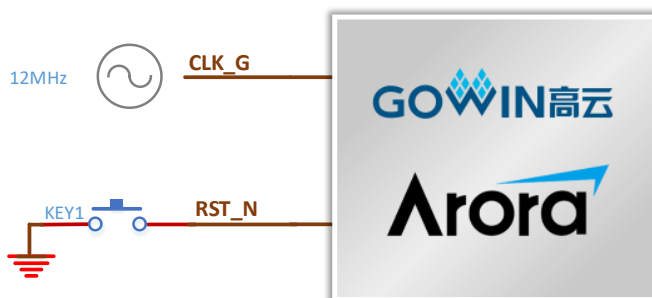
3.4.1 介绍

开发板为 FPGA-GW1NSR-LV4MG64P 提供了一个 12MHz 有源晶振，连接到了全局时钟引脚，同时提供了一个 8.192Mhz 的 IIS 时钟。

开发板为 FPGA-GW2AR-LV18QN88P 提供了一个 12MHz 有源晶振，连接到了全局时钟引脚，同时提供了一个 8.192Mhz 的 IIS 时钟。

开发板通过按键进行复位，上电后按下按键给 FPGA 进行复位。

图 3-6 时钟、复位连接示意图



3.4.2 管脚分配

表 3-7 GW1NSR-LV4MG64P 时钟、复位管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_CLK	C5	1	3.3V	12MHz 有源晶振输入
F1_IIS_CLK	C4	1	3.3V	8.192Mhz
F1_RST_N	A5	1	3.3V	复位信号，低有效

表 3-8 GW2AR-LV18QN88P 时钟、复位管脚分配

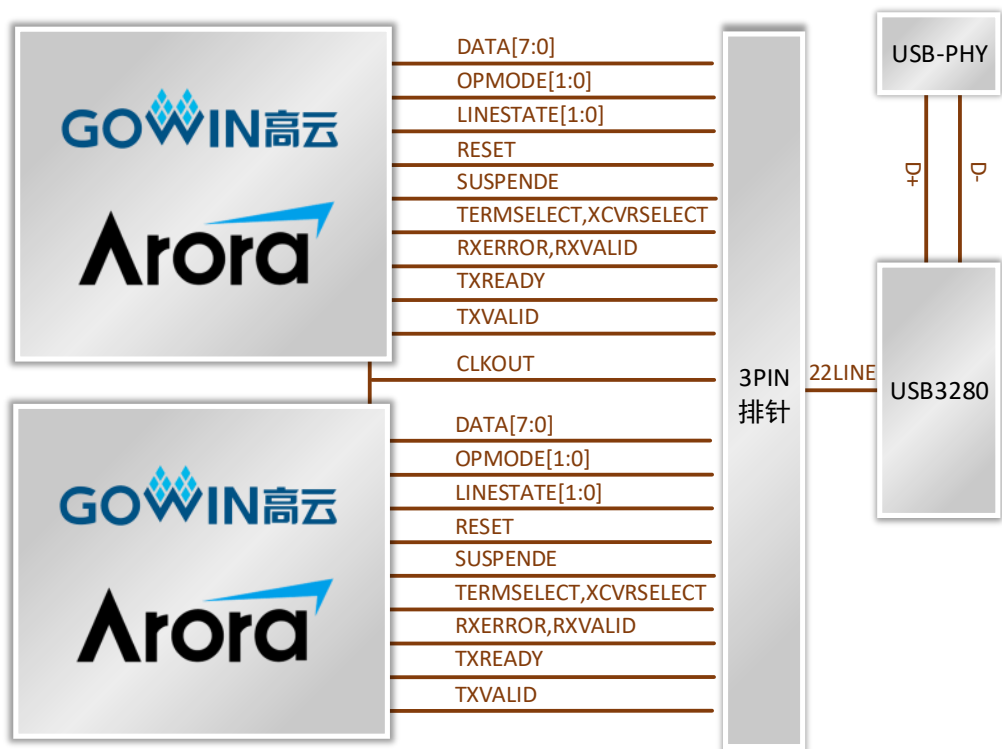
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_CLK	10	6	3.3V/2.5V	12MHz 有源晶振输入
F2_IIS_CLK	35	4	3.3V	8.192Mhz
F2_RST_N	19	6	3.3V/2.5V	复位信号，低有效

3.5 USB-PHY 模块

3.5.1 介绍

开发板搭载了一颗 USB3280 芯片。

图 3-7 FPGA 与 USB-PHY 接口连接示意图



3.5.2 管脚分配

表 3-9 GW1NSR-LV4MG64P USB-PHY 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_DATA0	B2	1	3.3V	数据
F1_DATA 1	A2	1	3.3V	数据
F1_DATA 2	B3	1	3.3V	数据
F1_DATA 3	A3	1	3.3V	数据
F1_DATA 4	B4	1	3.3V	数据
F1_DATA 5	A4	1	3.3V	数据
F1_DATA 6	B6	1	3.3V	数据
F1_DATA 7	A6	1	3.3V	数据
F1_TXVALID	C8	1	3.3V	发送数据有效
F1_TXREADY	B8	1	3.3V	发送数据
F1_RXACTIVE	D7	1	3.3V	接收数据
F1_RXVALID	A1	1	3.3V	接收数据有效
F1_RXERROR	B1	1	3.3V	接收错误
F1_XCVRSELECT	A7	1	3.3V	选择 FS/HS 收发器
F1_TERMSELECT	A8	1	3.3V	终止 FS/HS 收发器 选择
F1_SUSPENDN	C7	1	3.3V	挂起/暂停
F1_RESET	D8	1	3.3V	复位
F1_OPMODE0	E6	1	3.3V	操作模式
F1_OPMODE1	D6	1	3.3V	操作模式
F1_LINESTATE0	B7	1	3.3V	USB 数据总线状态
F1_LINESTATE1	E7	1	3.3V	USB 数据总线状态
CLKOUT	B5	1	3.3V	系统时钟

表 3-10 GW2AR-LV18QN88P USB-PHY 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_DATA0	34	5	3.3V	数据
F2_DATA 1	36	4	3.3V	数据
F2_DATA 2	37	4	3.3V	数据
F2_DATA 3	38	4	3.3V	数据
F2_DATA 4	39	4	3.3V	数据
F2_DATA 5	40	4	3.3V	数据

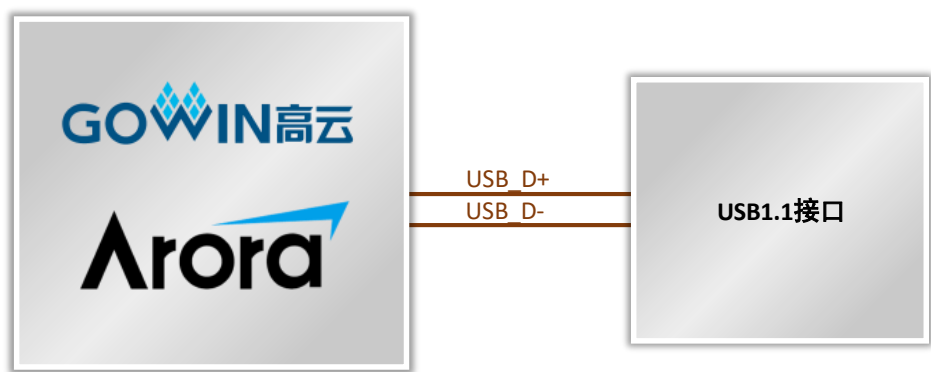
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_DATA 6	41	4	3.3V	数据
F2_DATA 7	42	4	3.3V	数据
F2_TXVALID	27	5	3.3V	发送数据有效
F2_TXREADY	29	5	3.3V	发送数据
F2_RXACTIVE	25	5	3.3V	接收数据
F2_RXVALID	33	5	3.3V	接收数据有效
F2_RXERROR	32	5	3.3V	接收错误
F2_XCVRSELECT	31	5	3.3V	选择 FS/HS 收发器
F2_TERMSELECT	30	5	3.3V	终止 FS/HS 收发器选择
F2_SUSPENDN	28	5	3.3V	挂起/暂停
F2_RESET	26	5	3.3V	复位
F2_OPMODE0	54	3	3.3V	操作模式
F2_OPMODE1	55	3	3.3V	操作模式
F2_LINESTATE0	52	3	3.3V	USB 数据总线状态
F2_LINESTATE1	53	3	3.3V	USB 数据总线状态
CLKOUT	51	3	3.3V	系统时钟

3.6 USB1.1 接口

3.6.1 介绍

USB1.1 接口直接和 FPGA 相连。连接示意图如图 3-8 所示：

图 3-8 FPGA 与 USB1.1 接口连接示意图



3.6.2 管脚分配

表 3-11 GW1NSR-LV4MG64P USB1.1 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_D+	G2	2	3.3V/2.5V	USB 数据信号
F1_D-	H2	2	3.3V/2.5V	USB 数据信号

表 3-12 GW2AR-LV18QN88P USB1.1 模块管脚分配

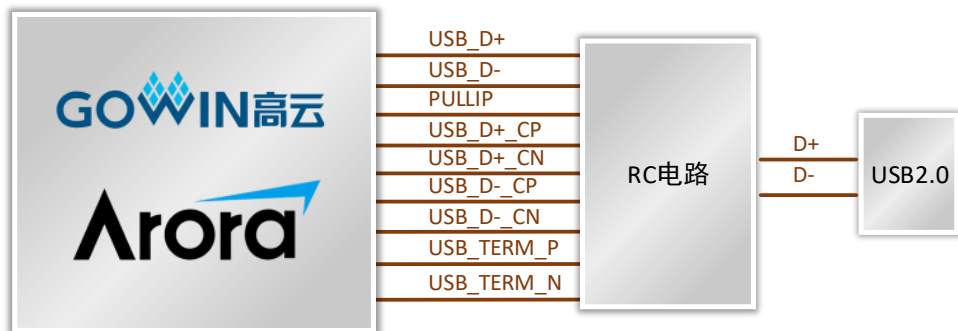
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_D+	49	3	3.3V	USB 数据信号
F2_D-	48	3	3.3V	USB 数据信号

3.7 USB2.0 接口

3.7.1 介绍

USB2.0 接口通过配置电阻与 FPGA 直接相连。连接示意图如图 3-9 所示。

图 3-9 FPGA 与 USB2.0 接口连接示意图



3.7.2 管脚分配

表 3-13 GW1NSR-LV4MG64P USB2.0 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1N_Pullip	G6	2	3.3V/2.5V	上拉
USB_1N_D+_CP	G7	2	3.3V/2.5V	USB+信号
USB_1N_D+_CN	H7	2	3.3V/2.5V	USB+信号
USB_1N_D-_CP	G3	2	3.3V/2.5V	USB-信号
USB_1N_D-_CN	H3	2	3.3V/2.5V	USB-信号
1N_Term_p	G4	2	3.3V/2.5V	USB 参考电平

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1N_Term_n	H4	2	3.3V/2.5V	USB 参考电平
USB_1N_D+	G5	2	3.3V/2.5V	USB 数据信号
USB_1N_D-	H5	2	3.3V/2.5V	USB 数据信号

表 3-14 GW1NSR-LV4MG64P USB2.0 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1N_Pullip	80	0	3.3V/2.5V	上拉
USB_1N_D+_CP	77	1	3.3V/2.5V	USB+信号
USB_1N_D+_CN	76	1	3.3V/2.5V	USB+信号
USB_1N_D-_CP	71	1	3.3V/2.5V	USB-信号
USB_1N_D-_CN	70	1	3.3V/2.5V	USB-信号
1N_Term_p	73	1	3.3V/2.5V	USB 参考电平
1N_Term_n	72	1	3.3V/2.5V	USB 参考电平
USB_1N_D+	75	1	3.3V/2.5V	USB 数据信号
USB_1N_D-	74	1	3.3V/2.5V	USB 数据信号

3.8 GPIO

3.8.1 介绍

开发板上 GPIO 口预留了 20 个,其中 2 个 3.3V 电压引脚,2 个地引脚,8 个 GW1NSR-LV4MG64P 引脚,8 个 GW2AR-LV18QN88P 引脚。

3.9 LED 模块

3.9.1 介绍

开发板中有 2 个蓝色 LED 灯,用户可用 LED 灯来显示所需状态。当 FPGA 对应管脚输出信号为低电平时,LED 被点亮;当输出信号为高电平时,LED 熄灭。连接示意图如图 3-10 所示。

图 3-10 LED 连接示意图



3.9.2 管脚分配

表 3-15 GW1NSR-LV4MG64P LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_LED	G1	2	3.3V/2.5V	LED 指示灯 1

表 3-16 GW2AR-LV18QN88P LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_LED	13	6	3.3V/2.5V	LED 指示灯 2

3.10 按键模块

3.10.1 介绍

开发板中有 2 个按键开关,可用于测试过程中的控制输入。按键按下时,输入低电平。连接示意图如图 3-11 所示。

图 3-11 按键电路



3.10.2 管脚分配

表 3-17 GW1NSR-LV4MG64P 按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_RST_N	A5	1	3.3V	按键 1

表 3-18 GW2AR-LV18QN88P 按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_RST_N	19	6	3.3V/2.5V	按键 2

