



DK_Motor_GW2A-LV55PG484C8I7_V3.0

用户手册

DBUG410-1.0.2,2025-02-14

版权所有© 2025 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2022/06/28	1.0	初始版本。
2023/03/17	1.0.1	● 删除第 4 章“快速应用”。 ● 更新第 2 章“开发板简介”中的“图 2-4 系统框图”。 ● 更新第 3.5.2 章“管脚分配”中的“表 3-3 以太网接口管脚分配”。
2025/02/14	1.0.2	更新“表 3-3 以太网接口管脚分配”的“PHY1_RST_n”和“PHY2_RST_n”信号描述。

目录

目录 i

图目录 iii

表目录 iv

1 关于本手册 1

 1.1 手册内容 1

 1.2 相关文档 1

 1.3 术语、缩略语 1

 1.4 技术支持与反馈 2

2 开发板简介 3

 2.1 概述 3

 2.2 开发板套件 4

 2.3 PCB 组件 5

 2.4 系统框图 5

 2.5 特性 6

3 开发板电路 8

 3.1 FPGA 模块 8

 3.2 下载模块 8

 3.2.1 介绍 8

 3.2.2 管脚分配 9

 3.3 电源 9

 3.3.1 介绍 9

 3.4 时钟、复位 10

 3.4.1 介绍 10

 3.4.2 管脚分配 10

3.5 以太网	10
3.5.1 介绍	10
3.5.2 管脚分配	11
3.6 FSMC 接口	13
3.6.1 介绍	13
3.6.2 管脚分配	13
3.7 ELVDS 接口	14
3.7.1 介绍	14
3.7.2 管脚分配	15
3.8 电机控制接口	16
3.8.1 介绍	16
3.8.2 管脚分配	16
3.9 PWM 接口	17
3.9.1 介绍	17
3.9.2 管脚分配	18
3.10 GPIO	19
3.10.1 介绍	19
3.11 LED 模块	19
3.11.1 介绍	19
3.11.2 管脚分配	20
3.12 按键模块	20
3.12.1 介绍	20
3.12.2 管脚分配	20

图目录

图 2-1 DK_Motor_GW2A-LV55PG484C8I7_V3.0 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 FPGA 下载与配置连接示意图	9
图 3-2 时钟、复位连接示意图	10
图 3-3 FPGA 与以太网接口连接示意图	11
图 3-4 FPGA 与 FSMC 接口连接示意图	13
图 3-5 ELVDS 接口示意图	15
图 3-6 电机控制接口连接示意图	16
图 3-7 PWM 接口连接示意图	17
图 3-8 LED 连接示意图	19
图 3-9 按键电路	20

表目录

表 1-1 术语、缩略语	1
表 3-1 FPGA 下载与配置管脚分配	9
表 3-2 时钟、复位管脚分配	10
表 3-3 以太网接口管脚分配	11
表 3-4 FSMC 接口管脚分配	13
表 3-5 ELVDS 接口管脚分配	15
表 3-6 电机控制接口管脚分配	16
表 3-7 PWM 接口管脚分配	18
表 3-8 LED 指示灯管脚分配	20
表 3-9 按键模块管脚分配	20

1 关于本手册

1.1 手册内容

DK_Motor_GW2A-LV55PG484C8I7_V3.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点；
- 介绍开发板整体系统架构和硬件资源；
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [UG113, GW2A-55 器件 Pinout 手册](#)
- [UG111, GW2A 系列 FPGA 产品封装与管脚手册](#)
- [UG290, GW1N 系列 FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DDR	Double Data Rate	双倍速率
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列

术语、缩略语	全称	含义
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Table	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
SSRAM	Shadow Static Random Access Memory	附加静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

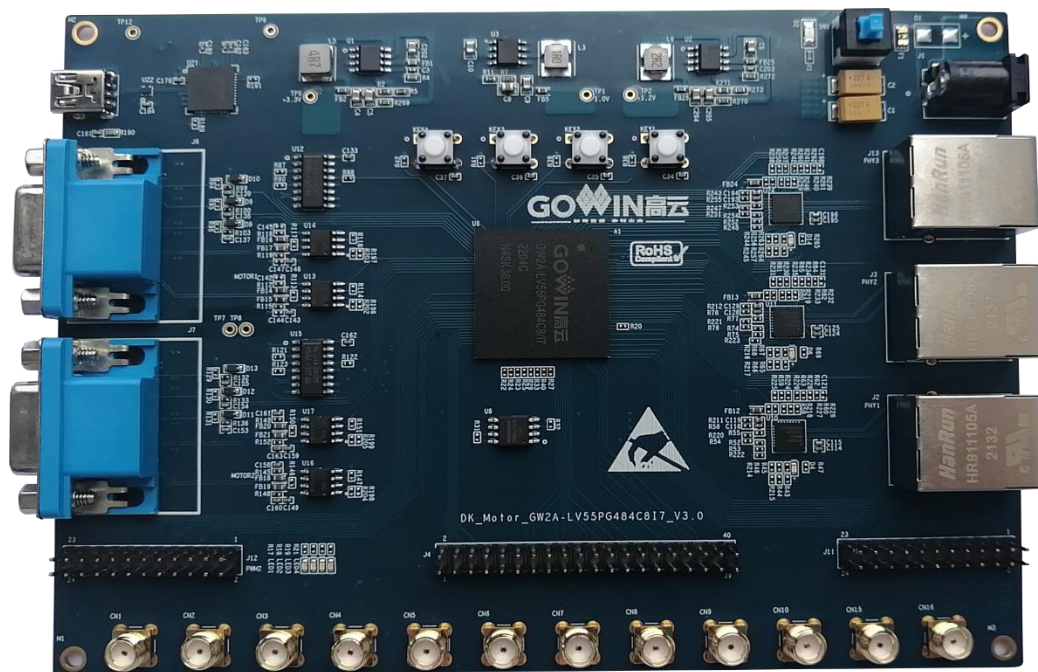
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_Motor_GW2A-LV55PG484C8I7_V3.0 开发板



DK_Motor_GW2A-LV55PG484C8I7_V3.0 开发板采用高云 GW2A-LV55PG484 的 FPGA 器件，该器件为高云半导体晨熙家族 2 系列产品。内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。

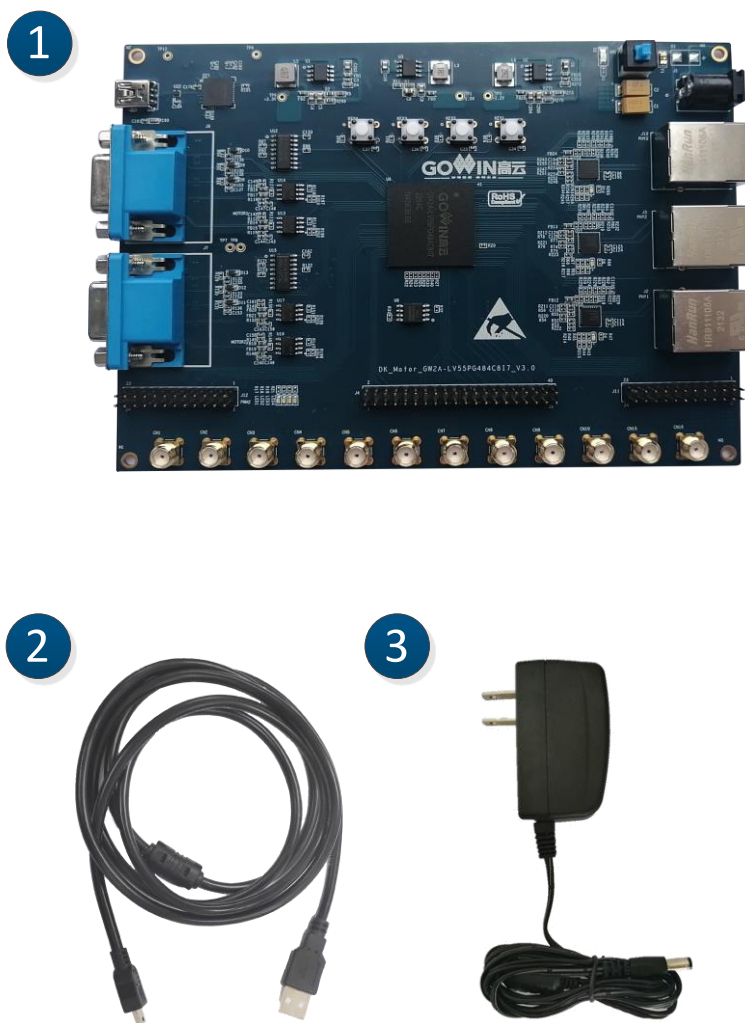
开发板集成了 3 个以太网接口，支持 10M/100M 工业以太网通讯；设计了丰富的外部接口，包括 ELVDS 接口、PWM 接口、PSMC 接口、以太网接口、电机通信接口、GPIO 接口等等；外接 FLASH 芯片用于存储 FPGA 的配置程序；按键、LED 方便用户调试使用。

2.2 开发板套件

开发板套件包括:

1. DK_Motor_GW2A-LV55PG484C8I7_V3.0 开发板
2. 5V 电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
3. USB Mini B 下载线

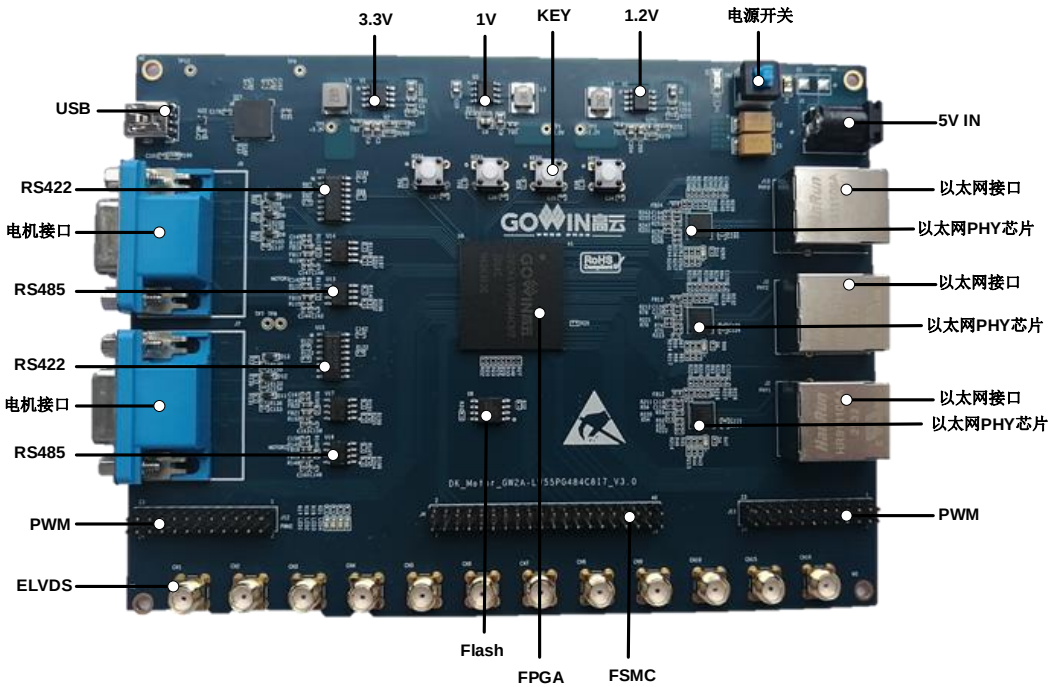
图 2-2 开发板套件



- ① DK_Motor_GW2A-LV55PG484C8I7_V3.0开发板
- ② 5V电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
- ③ USB Mini B 数据线

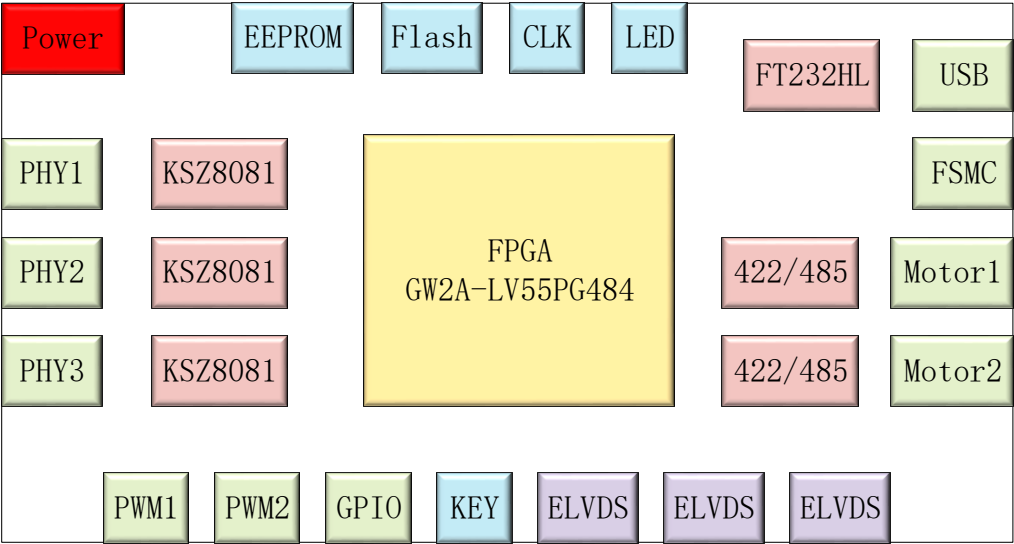
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

1. FPGA 器件
 - 高云 GW2A-LV55PG484 的 FPGA
 - 最多用户 I/O 319 个
2. 下载与启动
 - 板上集成下载模块，通过 USB Mini B 下载线下载
 - 外部 FLASH 启动
3. 供电方式
 - 外部 DC 5V 2A 供电
 - 上电后，绿色 POWER 灯亮
 - 开发板产生 3.3V、1.2V、1.0V 电源
4. 时钟系统
 - 25MHz 晶振输入
5. 存储器件
 - 32Kbit EEPROM
 - 64Mbit FLASH
6. 以太网接口
 - 3 路以太网接口
 - 采用 KSZ8081MNXCA-TR 芯片，支持 MII 接口
 - RJ45 接插件，内部集成变压器
7. ELVDS 接口
 - 3 路 ELVDS，包括 6 对差分信号
8. FSMC 接口
 - 一路 FSMC 接口，用于 FPGA 与 MCU 通信
9. PWM 接口
 - 2 路 PWM 接口，用于传送 PWM 信号
10. 电机控制接口
 - 2 路电机控制接口
 - 每路电机接口连接 1 颗 RS422 收发器，2 颗 RS485 收发器芯片
11. USB 接口
 - 用于下载测试程序
12. GPIO 接口
 - 40PIN 双排插针，引出 36 个 GPIO，I/O 所在 Bank 电压为 3.3V，同

时引出两个 3.3V，两个地插针。

- 24PIN 双排插针两个，每个 24PIN 双排插针引出 19 个 GPIO，I/O 所在 Bank 电压为 3.3V，同时引出三个地插针。

13. 调试模块

- 4 个按键
- 4 个绿色 LED

3 开发板电路

3.1 FPGA 模块

概述

GW2A-LV55PG484 FPGA 产品资源信息参考 [DS102, GW2A 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW2A 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG111, GW2A 系列 FPGA 产品封装与管脚手册](#)。

3.2 下载模块

3.2.1 介绍

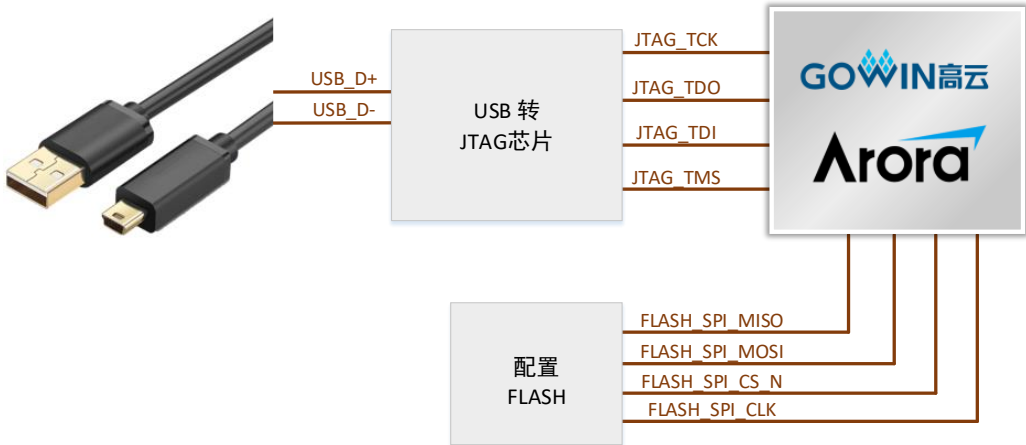
开发板提供 USB 下载接口，由 FT232HL USB 转换芯片的 A 通道来实现。通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“011”，将数据下载到配置 Flash 器件中。将 MODE 设置为“000”，重新上电，器件自行从配置 Flash 读取 FPGA 配置数据。

下载、配置的连接示意图如下：

图 3-1 FPGA 下载与配置连接示意图



3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
JTAG_TCK	N20	2	3.3V	JTAG 信号
JTAG_TDO	M22	2	3.3V	JTAG 信号
JTAG_TDI	M20	2	3.3V	JTAG 信号
JTAG_TMS	N22	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P19	3	3.3V	配置 FLASH 信号
FLASH_SPI_MOSI	P20	3	3.3V	配置 FLASH 信号
FLASH_SPI_CS_N	N18	3	3.3V	配置 FLASH 信号
FLASH_SPI_CLK	P18	3	3.3V	配置 FLASH 信号

3.3 电源

3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：100-240V~50/60MHz 0.5A，输出：DC +5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、1.2V、1.0V 电源。

采用 2 片 NCP3170ADR2G DC-DC 电源芯片，产生 3.3V 和 1.2V，最大输出电流 3A。

采用 1 片 FP6165ADXR-G1 DC-DC 电源芯片，产生 1.0V，最大输出电流 3A。

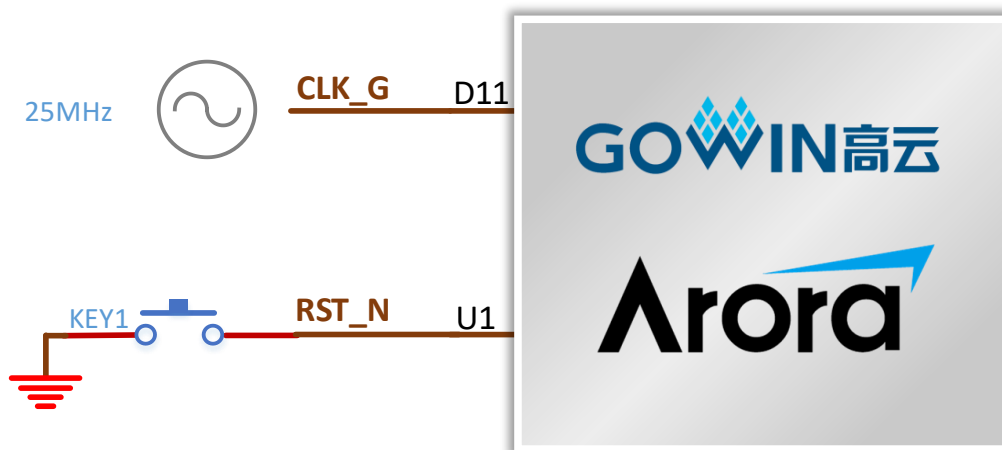
3.4 时钟、复位

3.4.1 介绍

开发板为 FPGA 提供了一个 25MHz 有源晶振, 连接到了全局时钟引脚。

开发板的复位电路采用按键复位设计, 按键按下后 FPGA 进行复位。

图 3-2 时钟、复位连接示意图



3.4.2 管脚分配

表 3-2 时钟、复位管脚分配

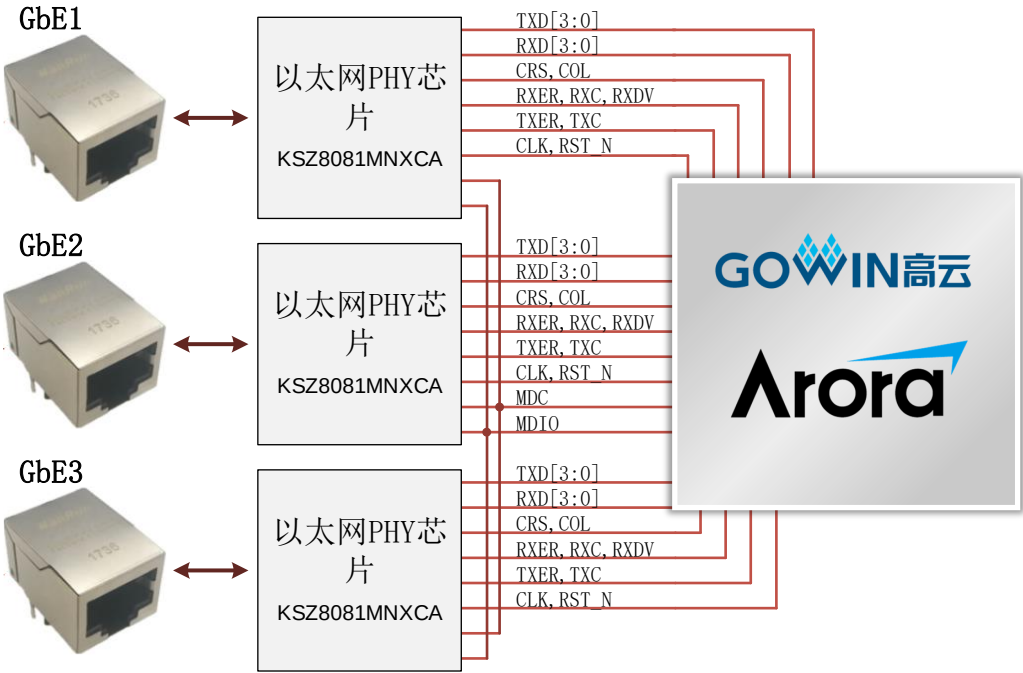
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_G	D11	1	3.3V	25MHz 有源晶振输入
RST_N	U1	6	3.3V	复位信号, 高有效

3.5 以太网

3.5.1 介绍

开发板搭载了三颗 KSZ8081MNXCA-TR 芯片, 支持 MII 接口。

图 3-3 FPGA 与以太网接口连接示意图



3.5.2 管脚分配

表 3-3 以太网接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_CRS	E16	1	3.3V	MII 载波感测
PHY1_COL	C15	1	3.3V	MII 碰撞检测
PHY1_TXD0	D12	1	3.3V	MII 发送数据
PHY1_TXD1	D10	0	3.3V	MII 发送数据
PHY1_TXD2	C11	1	3.3V	MII 发送数据
PHY1_TXD3	D14	1	3.3V	MII 发送数据
PHY1_TXEN	E12	1	3.3V	MII 发送错误
PHY1_TXC	D16	1	3.3V	MII 发送时钟
PHY1_RXER	E13	1	3.3V	MII 接收错误
PHY1_RXC	A15	1	3.3V	MII 接收时钟
PHY1_RXDV	B15	1	3.3V	MII 接收数据有效
PHY1_RXD0	A14	1	3.3V	MII 接收数据
PHY1_RXD1	A13	1	3.3V	MII 接收数据
PHY1_RXD2	C12	1	3.3V	MII 接收数据
PHY1_RXD3	A12	0	3.3V	MII 接收数据
PHY_MDC	C20	2	3.3V	MII 时钟输入
PHY_MDIO	C8	0	3.3V	MII 数据输入输出

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_CLK	M4	6	3.3V	时钟输入
PHY1_RST_n	F16	1	3.3V	复位信号
PHY2_CRS	A9	0	3.3V	MII 碰撞检测
PHY2_COL	A8	0	3.3V	MII 载波感测
PHY2_TXD0	D5	0	3.3V	MII 发送数据
PHY2_TXD1	B7	0	3.3V	MII 发送数据
PHY2_TXD2	A7	0	3.3V	MII 发送数据
PHY2_TXD3	B8	0	3.3V	MII 发送数据
PHY2_TXEN	D4	0	3.3V	MII 发送错误
PHY2_TXC	A6	0	3.3V	MII 发送时钟
PHY2_RXER	B6	0	3.3V	MII 接收错误
PHY2_RXC	A5	0	3.3V	MII 接收时钟
PHY2_RXDV	C4	0	3.3V	MII 接收数据有效
PHY2_RXD0	A4	0	3.3V	MII 接收数据
PHY2_RXD1	A3	0	3.3V	MII 接收数据
PHY2_RXD2	A2	0	3.3V	MII 接收数据
PHY2_RXD3	A1	0	3.3V	MII 接收数据
PHY2_CLK	B11	0	3.3V	时钟输入
PHY2_RST_n	A11	0	3.3V	复位信号
PHY3_CRS	F2	7	3.3V	MII 碰撞检测
PHY3_COL	F1	7	3.3V	MII 载波感测
PHY3_TXD0	D3	7	3.3V	MII 发送数据
PHY3_TXD1	H2	7	3.3V	MII 发送数据
PHY3_TXD2	G1	7	3.3V	MII 发送数据
PHY3_TXD3	G2	7	3.3V	MII 发送数据
PHY3_TXEN	E4	7	3.3V	MII 发送错误
PHY3_TXC	H1	7	3.3V	MII 发送时钟
PHY3_RXER	J1	7	3.3V	MII 接收错误
PHY3_RXC	K1	7	3.3V	MII 接收时钟
PHY3_RXDV	L2	7	3.3V	MII 接收数据有效
PHY2_RXD0	L1	7	3.3V	MII 接收数据
PHY2_RXD1	M2	7	3.3V	MII 接收数据
PHY2_RXD2	M1	7	3.3V	MII 接收数据
PHY2_RXD3	P1	7	3.3V	MII 接收数据
PHY2_CLK	R1	7	3.3V	时钟输入

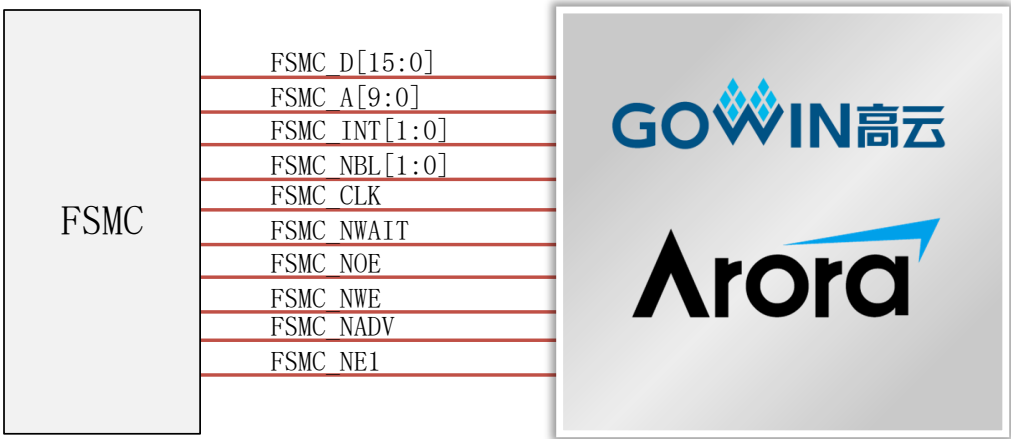
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY2_RST_n	D1	7	3.3V	复位信号

3.6 FSMC 接口

3.6.1 介绍

开发板上有 1 路 FSMC 接口，可用于 FPGA 与 MCU 通信使用。这些引脚也可以作为 GPIO 使用。连接示意图如下：

图 3-4 FPGA 与 FSMC 接口连接示意图



3.6.2 管脚分配

表 3-4 FSMC 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
FSMC_D0	Y18	4	3.3V	数据
FSMC_D1	Y19	4	3.3V	数据
FSMC_D2	AB19	4	3.3V	数据
FSMC_D3	AA20	4	3.3V	数据
FSMC_D4	W19	4	3.3V	数据
FSMC_D5	L22	2	3.3V	数据
FSMC_D6	K18	2	3.3V	数据
FSMC_D7	J19	2	3.3V	数据
FSMC_D8	J22	2	3.3V	数据
FSMC_D9	H19	2	3.3V	数据
FSMC_D10	H22	2	3.3V	数据
FSMC_D11	H21	2	3.3V	数据
FSMC_D12	G18	2	3.3V	数据

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
FSMC_D13	G20	2	3.3V	数据
FSMC_D14	F19	2	3.3V	数据
FSMC_D15	F22	2	3.3V	数据
FSMC_A0	AB18	4	3.3V	地址
FSMC_A1	W18	4	3.3V	地址
FSMC_A2	AB20	4	3.3V	地址
FSMC_A3	Y20	4	3.3V	地址
FSMC_A4	L19	2	3.3V	地址
FSMC_A5	K19	2	3.3V	地址
FSMC_A6	K22	2	3.3V	地址
FSMC_A7	J18	2	3.3V	地址
FSMC_A8	F20	2	3.3V	地址
FSMC_A9	D22	2	3.3V	地址
FSMC_NWE	H20	2	3.3V	写使能
FSMC_NOE	G19	2	3.3V	读使能
FSMC_NWAIT	F18	2	3.3V	等待
FSMC_INT0	F21	2	3.3V	中断
FSMC_INT1	E22	2	3.3V	中断
FSMC_NE1	J20	2	3.3V	片选
FSMC_NADV	H18	2	3.3V	复用模式
FSMC_NBL0	G21	2	3.3V	选择通道
FSMC_NBL1	G22	2	3.3V	选择通道
FSMC_CLK	AB12	4	3.3V	时钟

3.7 ELVDS 接口

3.7.1 介绍

ELVDS 接口为 12 个 SMA 座，包含 6 对差分信号，这些接口也可用作 GPIO 使用。连接示意图如下：

图 3-5 ELVDS 接口示意图



3.7.2 管脚分配

表 3-5 ELVDS 接口管脚分配

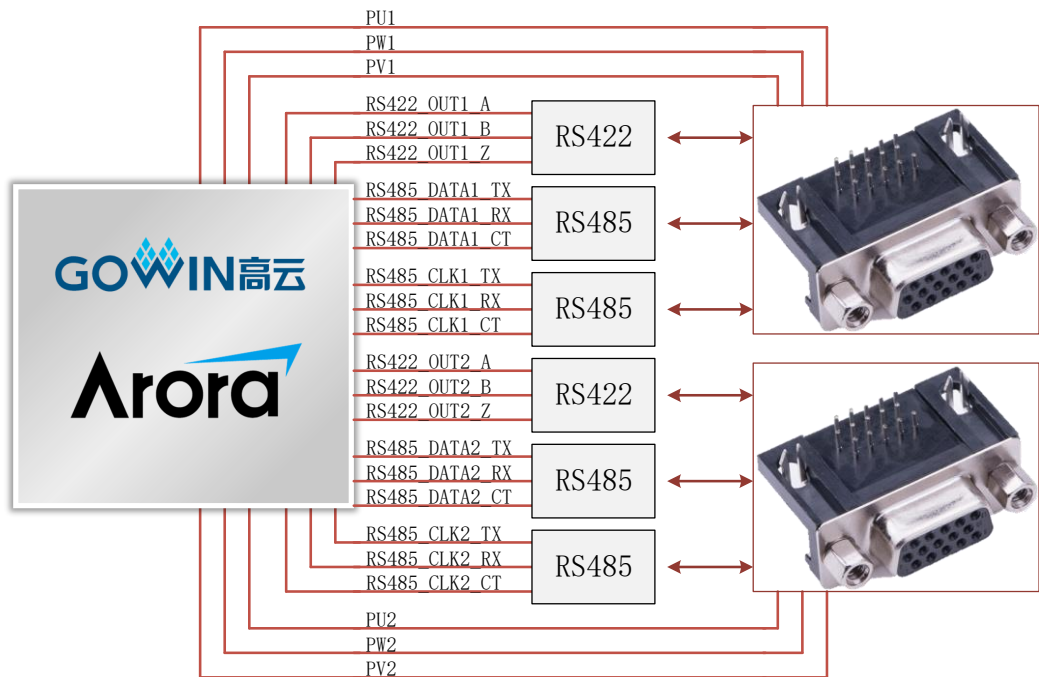
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
ELVDS_D0P	AB22	3	3.3V	差分通道 0+
ELVDS_D0N	AB21	3	3.3V	差分通道 0-
ELVDS_D1P	Y22	3	3.3V	差分通道 1+
ELVDS_D1N	AA22	3	3.3V	差分通道 1-
ELVDS_D2P	V22	3	3.3V	差分通道 2+
ELVDS_D2N	W22	3	3.3V	差分通道 2-
ELVDS_D3P	W20	3	3.3V	差分通道 3+
ELVDS_D3N	V20	3	3.3V	差分通道 3-
ELVDS_D4P	U19	3	3.3V	差分通道 4+
ELVDS_D4N	U18	3	3.3V	差分通道 4-
ELVDS_D5P	T17	3	3.3V	差分通道 5+
ELVDS_D5N	U17	3	3.3V	差分通道 5-

3.8 电机控制接口

3.8.1 介绍

开发板上有 2 路电机控制接口，可用于 FPGA 与电机通信使用。连接示意图如下：

图 3-6 电机控制接口连接示意图



3.8.2 管脚分配

表 3-6 电机控制接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PU1	AB3	5	3.3V	增量式编码器 U 信号
PW1	AA3	5	3.3V	增量式编码器 W 信号
PV1	AB4	5	3.3V	增量式编码器 V 信号
RS422_OUT1_A	Y3	5	3.3V	增量式编码器 A 相脉冲信号
RS422_OUT1_B	AB1	5	3.3V	增量式编码器 B 相脉冲信号
RS422_OUT1_Z	AB2	5	3.3V	增量式编码器 Z 相脉冲信号
RS485_DATA1_TX	AB5	5	3.3V	RS485 收发器发送信号
RS485_DATA1_RX	V6	5	3.3V	RS485 收发器接收信号
RS485_DATA1_CT	U6	5	3.3V	RS485 收发器信号方向控制
RS485_CLK1_TX	Y4	5	3.3V	RS485 收发器发送信号
RS485_CLK1_RX	Y5	5	3.3V	RS485 收发器接收信号

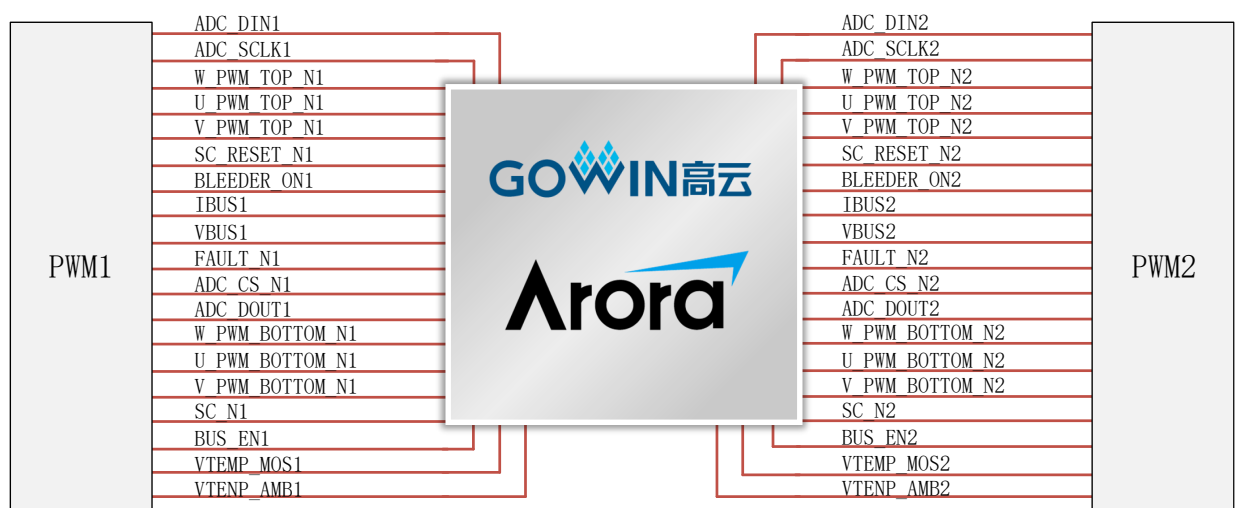
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
RS485_CLK1_CT	W5	5	3.3V	RS485 收发器信号方向控制
PU2	W6	5	3.3V	增量式编码器 U 信号
PW2	AA7	5	3.3V	增量式编码器 W 信号
PV2	AB7	5	3.3V	增量式编码器 V 信号
RS422_OUT2_A	Y6	5	3.3V	增量式编码器 A 相脉冲信号
RS422_OUT2_B	AA6	5	3.3V	增量式编码器 B 相脉冲信号
RS422_OUT2_Z	AB6	5	3.3V	增量式编码器 Z 相脉冲信号
RS485_DATA2_TX	U7	5	3.3V	RS485 收发器发送信号
RS485_DATA2_RX	W8	5	3.3V	RS485 收发器接收信号
RS485_DATA2_CT	V8	5	3.3V	RS485 收发器信号方向控制
RS485_CLK2_TX	U7	5	3.3V	RS485 收发器发送信号
RS485_CLK2_RX	V7	5	3.3V	RS485 收发器接收信号
RS485_CLK2_CT	W7	5	3.3V	RS485 收发器信号方向控制

3.9 PWM 接口

3.9.1 介绍

开发板上有 2 路 PWM 接口，这些引脚也可以作为 GPIO 使用。连接示意图如下：

图 3-7 PWM 接口连接示意图



3.9.2 管脚分配

表 3-7 PWM 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
ADC_DIN1	A16	1	3.3V	ADC 数据输入
ADC_SCLK1	AB10	5	3.3V	ADC 时钟信号
ADC_CS_N1	B17	1	3.3V	ADC 使能信号
ADC_DOUT1	A17	1	3.3V	ADC 数据输出
FAULT_N1	B16	1	3.3V	预留 IO
W_PWM_TOP_N1	D17	1	3.3V	W 相 PWM 上桥臂控制信号
U_PWM_TOP_N1	C18	1	3.3V	U 相 PWM 上桥臂控制信号
V_PWM_TOP_N1	A19	1	3.3V	V 相 PWM 上桥臂控制信号
W_PWM_BOTTOM_N1	C17	1	3.3V	W 相 PWM 下桥臂控制信号
U_PWM_BOTTOM_N1	A18	1	3.3V	U 相 PWM 下桥臂控制信号
V_PWM_BOTTOM_N1	D18	1	3.3V	V 相 PWM 下桥臂控制信号
SC_RESET_N1	D19	2	3.3V	预留 IO
SC_N1	C19	1	3.3V	预留 IO
BLEEDER_ON1	D20	2	3.3V	预留 IO
BUS_EN1	A20	1	3.3V	预留 IO
IBUS1	A22	1	3.3V	预留 IO
VBUS1	C22	2	3.3V	预留 IO
VTEMP_MOS1	A21	1	3.3V	预留 IO
VTEMP_AMB1	B22	1	3.3V	预留 IO
ADC_DIN2	AA16	4	3.3V	ADC 数据输入
ADC_SCLK2	AB16	4	3.3V	ADC 时钟信号
ADC_CS_N2	V17	4	3.3V	ADC 使能信号
ADC_DOUT2	AA15	4	3.3V	ADC 数据输出
FAULT_N2	U16	4	3.3V	预留 IO
W_PWM_TOP_N2	V16	4	3.3V	W 相 PWM 上桥臂控制信号
U_PWM_TOP_N2	W16	4	3.3V	U 相 PWM 上桥臂控制信号
V_PWM_TOP_N2	AB14	4	3.3V	V 相 PWM 上桥臂控制信号
W_PWM_BOTTOM_N2	Y16	4	3.3V	W 相 PWM 下桥臂控制信号
U_PWM_BOTTOM_N2	W17	4	3.3V	U 相 PWM 下桥臂控制信号
V_PWM_BOTTOM_N2	AB15	4	3.3V	V 相 PWM 下桥臂控制信号
SC_RESET_N2	W15	4	3.3V	预留 IO
SC_N2	Y15	4	3.3V	预留 IO

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
BLEEDER_ON2	W14	4	3.3V	预留 IO
BUS_EN2	V15	4	3.3V	预留 IO
IBUS2	AB13	4	3.3V	预留 IO
VBUS2	AA12	4	3.3V	预留 IO
VTEMP_MOS2	V14	4	3.3V	预留 IO
VTEMP_AMB2	Y14	4	3.3V	预留 IO

3.10 GPIO

3.10.1 介绍

开发板上有一个 40PIN 的双排排针和 2 个 24PIN 的双排排针，这些排针可作为 IO 口来使用，方便用户测试使用。其中：

40PIN 双排插针，引出 36 个 GPIO，I/O 所在 Bank 电压为 3.3V，同时引出两个 3.3V，两个地插针。

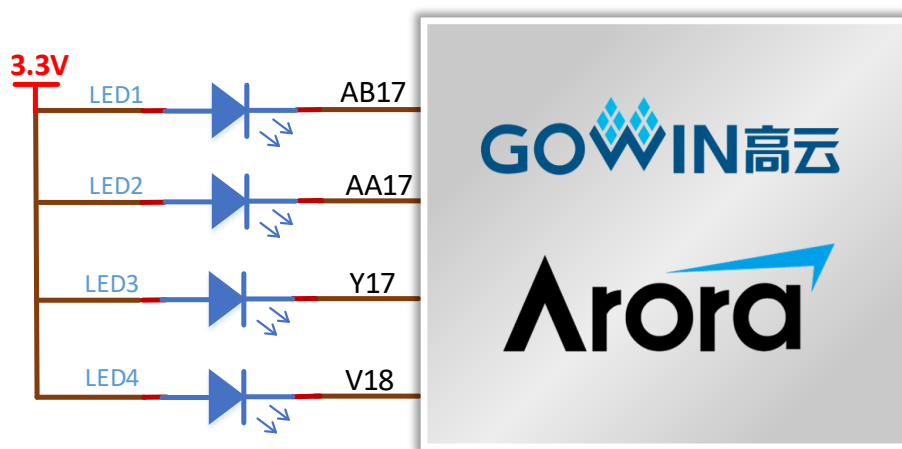
24PIN 双排插针两个，每个 24PIN 双排插针引出 19 个 GPIO，I/O 所在 Bank 电压为 3.3V，同时引出三个地插针。

3.11 LED 模块

3.11.1 介绍

开发板中有 4 个绿色 LED 灯，用户可用 LED 灯来显示所需状态。当 FPGA 对应管脚输出信号为低电平时，LED 被点亮；当输出信号为高电平时，LED 熄灭。连接示意图如图 3-8 所示。

图 3-8 LED 连接示意图



3.11.2 管脚分配

表 3-8 LED 指示灯管脚分配

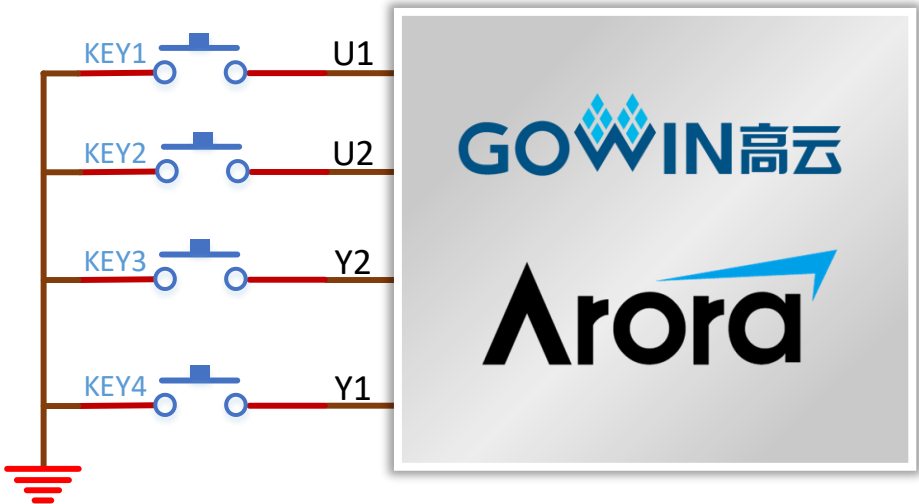
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LED1	AB17	4	3.3V	LED 指示灯 1
LED2	AA17	4	3.3V	LED 指示灯 2
LED3	Y17	4	3.3V	LED 指示灯 3
LED4	V18	4	3.3V	LED 指示灯 4

3.12 按键模块

3.12.1 介绍

开发板中有 4 个按键开关,可用于测试过程中的控制输入。按键按下时,输入低电平,连接示意图如图 3-9 所示。

图 3-9 按键电路



3.12.2 管脚分配

表 3-9 按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
KEY1	U1	6	3.3V	按键 1
KEY2	U2	6	3.3V	按键 2
KEY3	Y2	6	3.3V	按键 3
KEY4	Y1	6	3.3V	按键 4

