




DK\_START\_GW2AN-  
UV9XUG400C7I6\_V1.0

## 用户手册

DBUG411-1.0.2,2023-12-07

**版权所有 © 2023 广东高云半导体科技股份有限公司**

**GOWIN**高云、、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

## **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2023/02/02	1.0	初始版本。
2023/03/17	1.0.1	删除第 4 章“快速应用”。
2023/12/07	1.0.2	更新“3.4 时钟、复位”的“图 3-2 时钟、复位连接示意图”。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 开发板套件 .....	4
2.3 PCB 组件 .....	5
2.4 系统框图 .....	5
2.5 特性 .....	6
<b>3 开发板电路 .....</b>	<b>7</b>
3.1 FPGA 模块 .....	7
3.2 下载模块 .....	7
3.2.1 介绍 .....	7
3.2.2 管脚分配 .....	8
3.3 电源 .....	8
3.3.1 介绍 .....	8
3.4 时钟、复位 .....	8
3.4.1 介绍 .....	8

---

3.4.2 管脚分配.....	9
3.5 以太网 .....	9
3.5.1 介绍.....	9
3.5.2 管脚分配.....	9
3.6 USB1.1 .....	10
3.6.1 介绍.....	10
3.6.2 管脚分配.....	11
3.7 USB 2.0 .....	11
3.7.1 介绍.....	11
3.7.2 管脚分配.....	11
3.8 GPIO .....	12
3.8.1 介绍.....	12
3.8.2 管脚分配.....	13
3.9 LED&按键 .....	15
3.9.1 介绍.....	15
3.9.2 管脚分配.....	15

# 图目录

图 2-1 DK_START_GW2AN-UV9XUG400C716_V1.0 开发板.....	3
图 2-2 开发板套件.....	4
图 2-3 开发板 PCB 组件说明 .....	5
图 2-4 系统框图 .....	5
图 3-1 JTAG 下载连接示意图 .....	7
图 3-2 时钟、复位连接示意图 .....	8
图 3-3 FPGA 与以太网模块连接示意图.....	9
图 3-4 USB 接口连接示意图.....	10
图 3-5 USB 接口连接示意图.....	11
图 3-6 GPIO 排针连接示意图 .....	12
图 3-7 LED&按键连接示意图.....	15

# 表目录

表 1-1 术语、缩略语 .....	2
表 3-1 FPGA 下载与配置管脚分配 .....	8
表 3-2 时钟、复位管脚分配 .....	9
表 3-3 以太网模块管脚分配 .....	9
表 3-4 USB1.1 管脚分配 .....	11
表 3-5 J5 管脚分配 .....	13
表 3-6 J7 管脚分配 .....	14
表 3-7 J8 管脚分配 .....	14
表 3-8 SSPI 管脚分配 .....	14
表 3-9 LED&按键模块管脚分配 .....	15

# 1 关于本手册

## 1.1 手册内容

DK\_START\_GW2AN-UV9XUG400C716\_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

## 1.2 适用产品

本手册中描述的信息可适用于以下高云 FPGA 产品：GW2AN-UV9XUG400 器件。

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [UG978, GW2AN-9X 器件 Pinout 手册](#)
- [UG973, GW2AN-18X & 9X 器件封装与管脚手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DDR	Double Data Rate	双倍速率
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Table	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
SSRAM	Shadow Static Random Access Memory	附加静态随机存储器

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

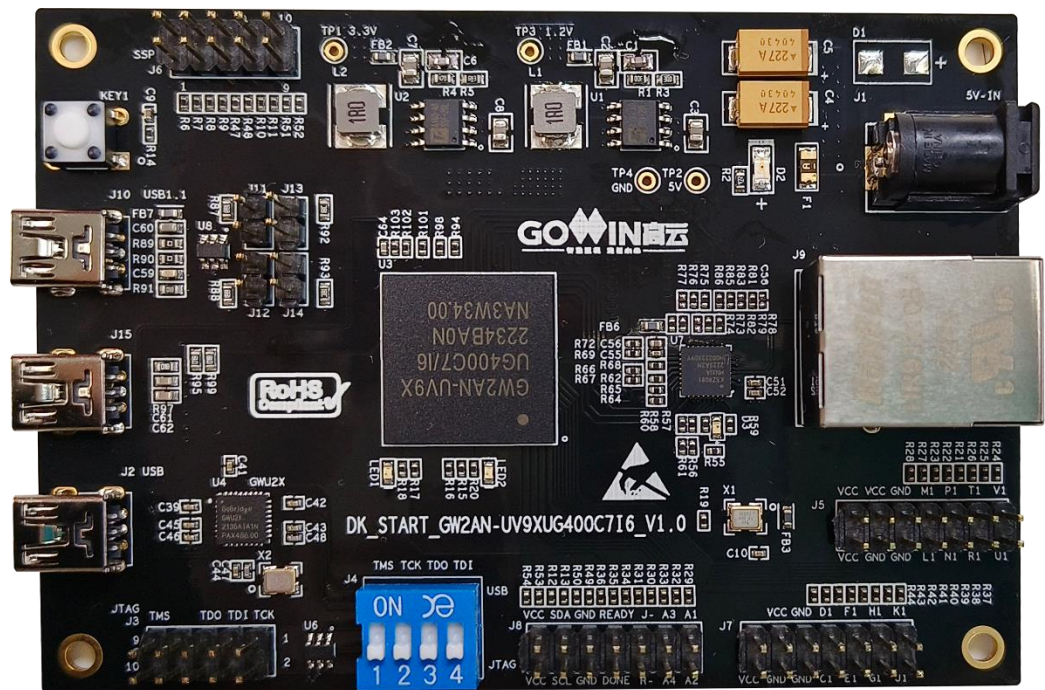
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 DK\_START\_GW2AN-UV9XUG400C7I6\_V1.0 开发板



DK\_START\_GW2AN-UV9XUG400C7I6\_V1.0 开发板以高云 GW2AN-UV9XUG400 芯片为核心，适用于 USB1.1 通信、USB2.0 通信、工业以太网通信、9X 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云半导体 GW2AN 系列 FPGA 产品是高云半导体晨熙® 家族第一代具有非易失性的 FPGA 产品，内部资源丰富，高速 LVDS 接口以及丰富的 BSRAM 存储器资源、NOR Flash 资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AN 系列 FPGA 产品适用于高速低成本的应用场合。

本开发板具有以下特性：

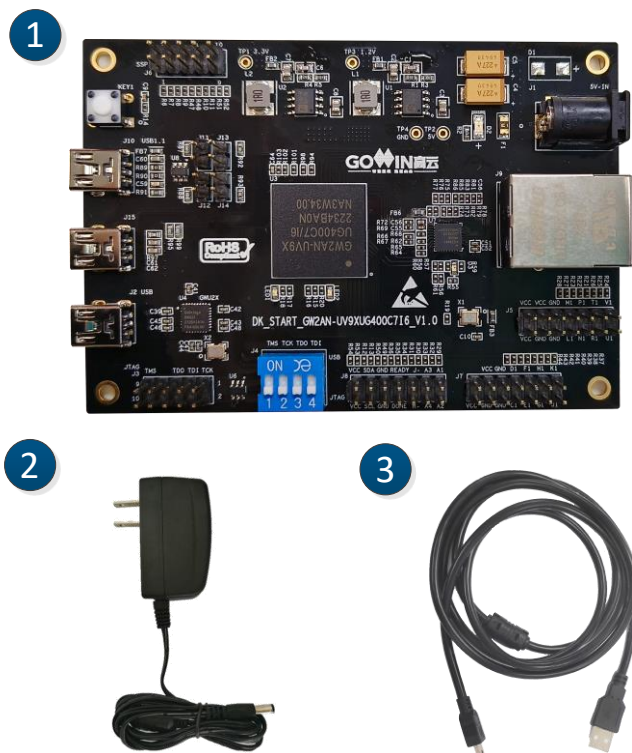
- 搭载一颗工业以太网 PHY 芯片，支持 10M/100M 工业以太网通讯。
- 包含一个 USB1.1 接口和一个 USB2.0 接口，支持 USB 转以太网通信。
- 支持 JTAG 下载。
- 预留 GPIO 接口、LED 以及按键，方便用户测试使用。

## 2.2 开发板套件

开发板套件包括：

1. DK\_START\_GW2AN-UV9XUG400C7I6\_V1.0 开发板
2. 5V 电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
3. USB Mini B 数据线

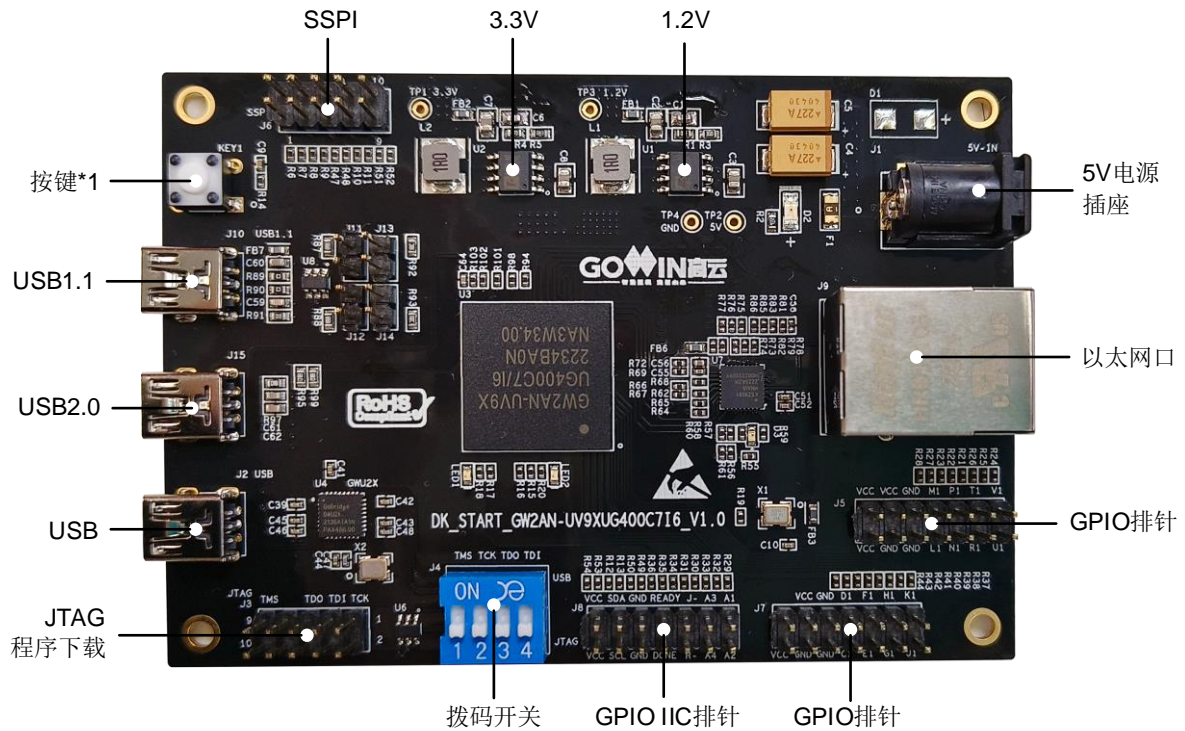
图 2-2 开发板套件



- ① DK\_START\_GW2AN-UV9XUG400C7I6\_V1.0开发板
- ② 5V电源
- ③ USB Mini B数据线

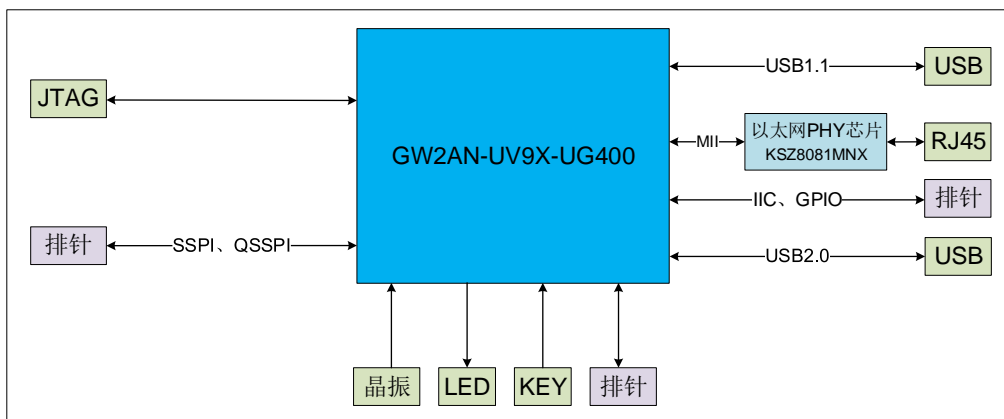
## 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



## 2.4 系统框图

图 2-4 系统框图



## 2.5 特性

开发板的关键特性如下：

1. FPGA 器件
  - 高云 GW2AN-UV9XUG400 的 FPGA
  - 最多用户 I/O 335 个
2. 下载与启动
  - 板上集成下载模块，通过 JTAG 下载器下载程序。
  - 当 programming 或 configuration 完成后，蓝色 DONE 灯（LED1）点亮
3. 供电方式
  - 外部 DC 5V 2A 供电
  - 上电后，LED 灯亮
  - 开发板提供 5.0V、3.3V、1.2V 电源
4. 时钟系统  
12MHz 晶振为 GW2AN-UV9XUG400 提供时钟输入
5. 以太网接口
  - 1 路以太网接口
  - 采用 KSZ8081MNX 以太网芯片（10/100MHz）
  - RJ45 接口
6. GPIO 接口  
预留 4 组 GPIO。一组 SSPI 接口的 GPIO，三组普通 GPIO，一共 32 个引脚
7. 调试模块
  - 1 个按键
  - 1 个 LED（LED2）
8. USB 1.1 通信  
可通过 USB 1.1 接口与 FPGA 通信
9. USB 2.0 通信  
可通过 USB 2.0 接口与 FPGA 通信

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW2AN-UV9XUG400 FPGA 产品资源信息参考 [DS971, GW2AN-18X & 9X 器件数据手册](#)。

### I/O BANK 说明

GW2AN 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG973, GW2AN-18X & 9X 器件封装与管脚手册](#)。

## 3.2 下载模块

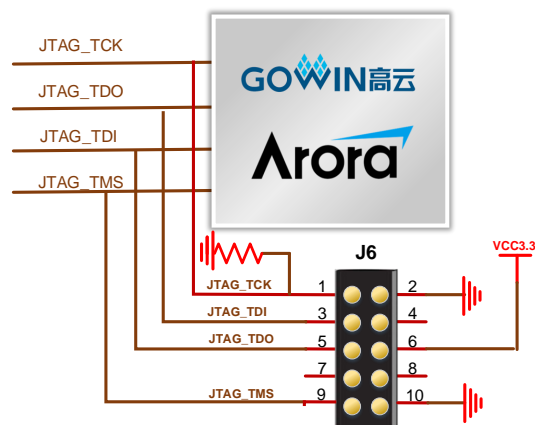
### 3.2.1 介绍

开发板提供 JTAG 下载接口，GW2AN-9X 的 MODE 值是固定的。

将程序下载到片内 SRAM 或 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

程序下载完成后，DONE 连接的 LED1 点亮。

图 3-1 JTAG 下载连接示意图



## 3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
JTAG_TCK	C9	0	3.3V	JTAG 信号
JTAG_TDO	E8	0	3.3V	JTAG 信号
JTAG_TDI	C7	0	3.3V	JTAG 信号
JTAG_TMS	D9	0	3.3V	JTAG 信号

## 3.3 电源

### 3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入 100-240V~50/60MHz 0.5A，输出：DC+5V 2A。

输入的 5V 电源通过开发板上的电源转换芯片产生 3.3V、1.2V 电压。

通过 FP6165ADXR-G1 芯片及其外围电路 DC-DC 将 DC+5V 转为 +3.3V，最大输出电流 3A。

通过 FP6165ADXR-G1 芯片及其外围电路 DC-DC 将 DC+3.3V 转为 +1.2V，最大输出电流 3A。

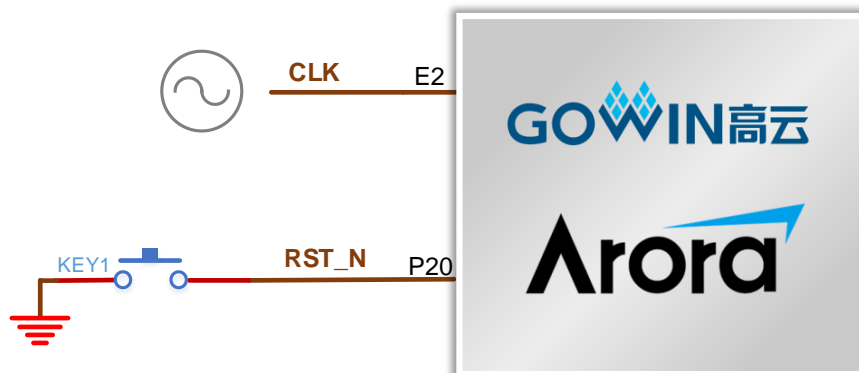
## 3.4 时钟、复位

### 3.4.1 介绍

开发板为 FPGA 提供了一个 12MHz 有源晶振，连接到了全局时钟引脚。

可以通过复位按键手动复位（上电自动复位）。

图 3-2 时钟、复位连接示意图



## 3.4.2 管脚分配

表 3-2 时钟、复位管脚分配

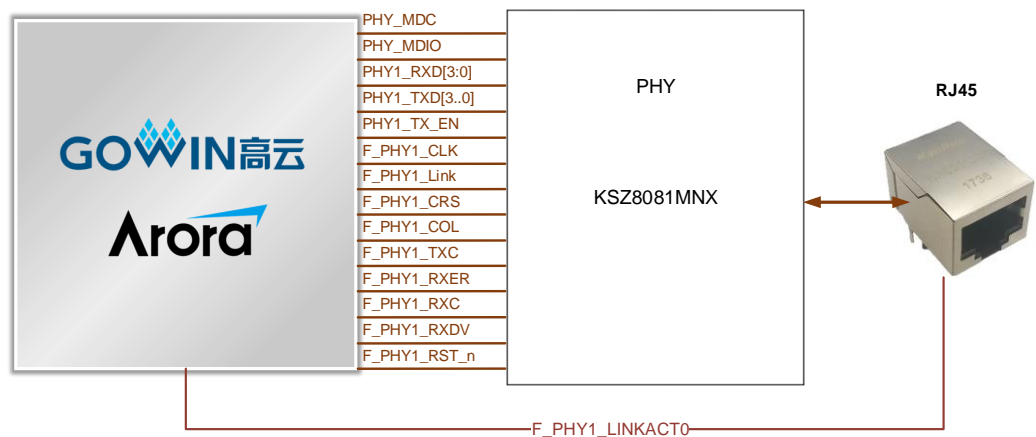
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_CLK	E2	8	3.3V	12MHz 有源晶振输入
F_RST_N	P20	8	2.5V	复位信号，低有效

## 3.5 以太网

### 3.5.1 介绍

开发板搭载了一颗 KSZ8081MNXCA-TR 芯片，支持 MII 接口。

图 3-3 FPGA 与以太网模块连接示意图



### 3.5.2 管脚分配

表 3-3 以太网模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PHY1_Link	V10	5	3.3V	可编程 LED1
F_PHY1_CLK	W9	5	3.3V	时钟输入 (25M)
F_PHY_MDIO	V6	5	3.3V	管理数据
F_PHY_MDC	U6	5	3.3V	管理时钟
F_PHY1_RXD3	Y11	5	3.3V	接收数据 3
F_PHY1_RXD2	Y10	5	3.3V	接收数据 2
F_PHY1_RXD1	Y9	5	3.3V	接收数据 1
F_PHY1_RXD0	Y8	5	3.3V	接收数据 0
F_PHY1_RXDV	Y7	5	3.3V	接收数据有效输出



信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PHY1_RXC	Y5	5	3.3V	接收时钟输出
F_PHY1_RXER	Y4	5	3.3V	接收错误输出
F_PHY1_TXC	Y3	5	3.3V	发送时钟输出
F_PHY1_TXEN	Y2	5	3.3V	发送使能
F_PHY1_TXD0	Y1	5	3.3V	发送数据 0
F_PHY1_TXD1	W1	5	3.3V	发送数据 1
F_PHY1_TXD2	W2	5	3.3V	发送数据 2
F_PHY1_TXD3	W3	5	3.3V	发送数据 3
F_PHY1_COL	W4	5	3.3V	碰撞检测
F_PHY1_CRS	W5	5	3.3V	载波感测
F_PHY1_RST_n	W10	5	3.3V	芯片复位
F_PHY1_LINKACT0	W11	5	3.3V	连接网口

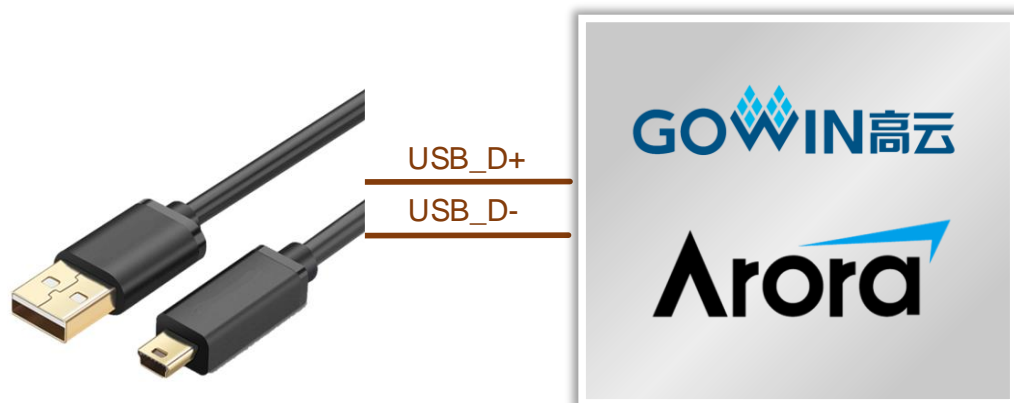
## 3.6 USB1.1

### 3.6.1 介绍

开发板上有 1 路 USB1.1 接口，可用于 FPGA 与 USB1.1 接口通信使用。

USB1.1 通信方式有 2 种，低速模式(1.5Mbps)和高速模式(12Mbps)。可通过跳线帽选择 USB1.1 的通信模式。

图 3-4 USB 接口连接示意图



## 3.6.2 管脚分配

表 3-4 USB1.1 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
USB_D-	K20	3	3.3V	USB 信号线-
USB_D+	K19	3	3.3V	USB 信号线+

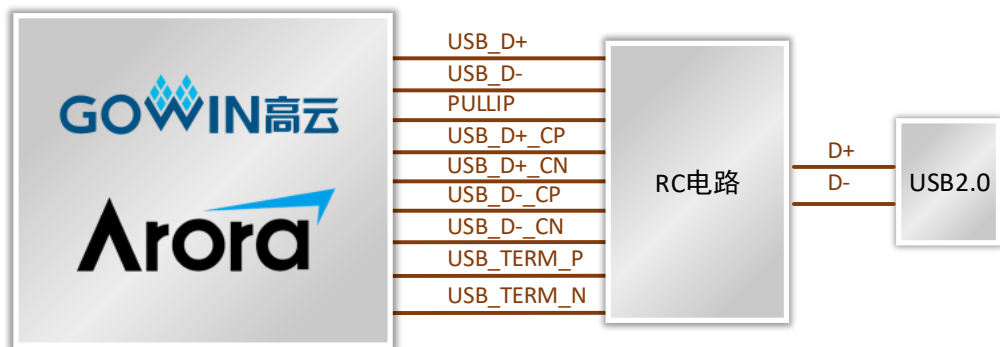
## 3.7 USB 2.0

### 3.7.1 介绍

开发板上有 1 路 USB2.0 接口，可用于 FPGA 与 USB2.0 接口通信使用。

USB2.0 接口通过“配置电阻”与 FPGA 直接相连。

图 3-5 USB 接口连接示意图



### 3.7.2 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
USB_Pullip	Y14	4	3.3V	VBUS 断开检测，用于复位 USB
USB_D+_CP	Y16	4	3.3V	USB+信号
USB_D+/-_CN	W16	4	3.3V	USB+端参考信号
USB_D-_CP	Y17	4	3.3V	USB-信号
USB_D+/-_CN	W17	4	3.3V	USB-端参考信号
USB_Term_p	V14	4	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_Term_n	U14	4	3.3V	在高速时实现端接电阻控

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
				制, 在全速与低速时作为 USB 数据管脚
USB_D+	V12	4	3.3V	USB 高速时数据管脚
USB_D-	V13	4	3.3V	USB 高速时数据管脚

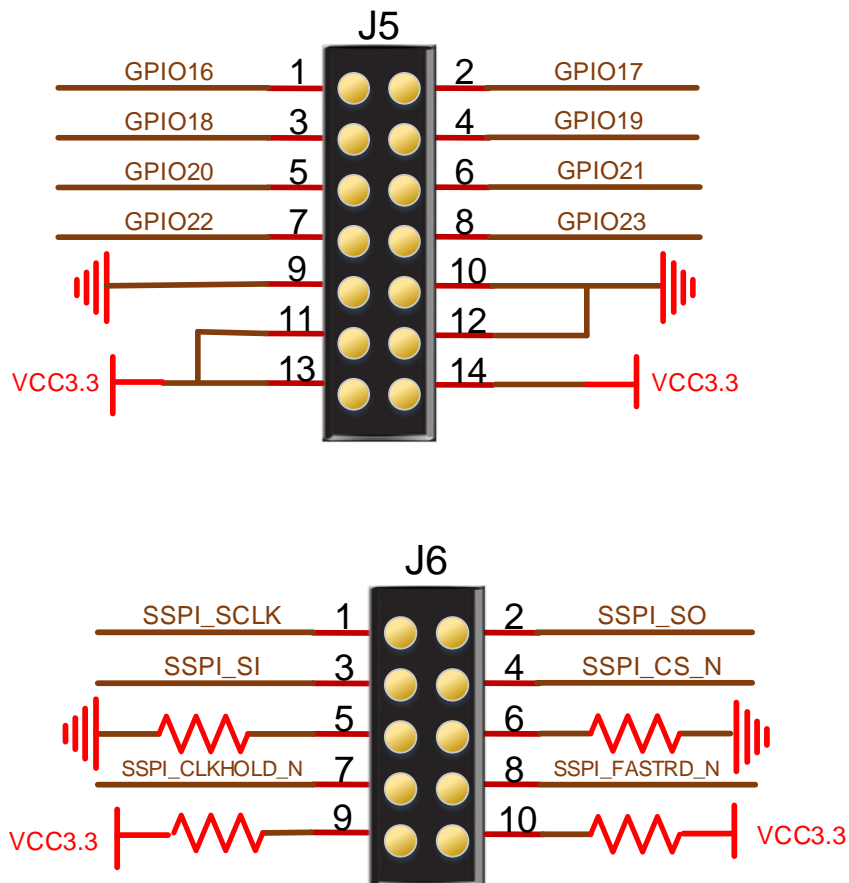
## 3.8 GPIO

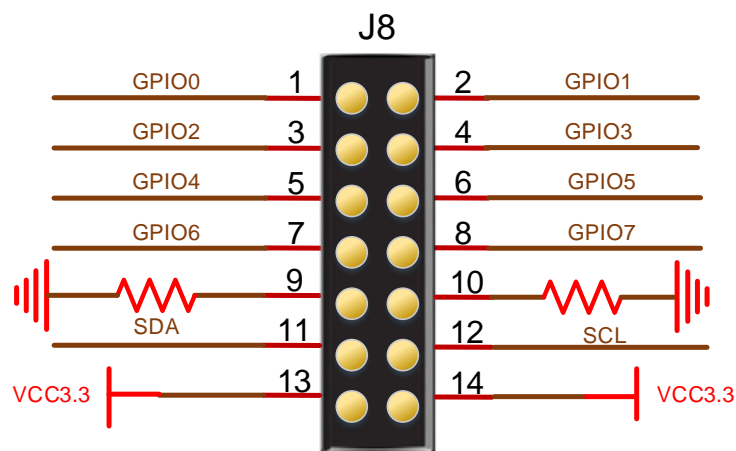
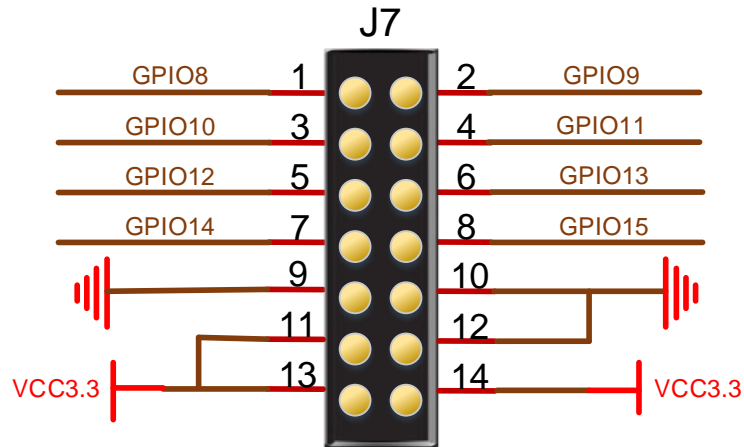
### 3.8.1 介绍

为了方便用户测试, 在开发板上预留 4 个 2.54mm 间距的双列插针, 其中 J5、J7、J8 为 14Pin 插针, J6 为 10Pin 插针, 共有 32 个 GPIO 接口。

J6 插针为复用引脚, 用户可以根据需求进行选择。

图 3-6 GPIO 排针连接示意图





### 3.8.2 管脚分配

表 3-5 J5 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
GPIO16	V1	6	3.3V	普通 IO
GPIO17	U1	6	3.3V	普通 IO
GPIO18	T1	6	3.3V	普通 IO
GPIO19	R1	6	3.3V	普通 IO
GPIO20	P1	7	3.3V	普通 IO
GPIO21	N1	7	3.3V	普通 IO
GPIO22	M1	7	3.3V	普通 IO
GPIO23	L1	7	3.3V	普通 IO

表 3-6 J7 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
GPIO8	K1	7	3.3V	普通 IO
GPIO9	J1	7	3.3V	普通 IO
GPIO10	H1	8	3.3V	普通 IO
GPIO11	G1	8	3.3V	普通 IO
GPIO12	F1	8	3.3V	普通 IO
GPIO13	E1	8	3.3V	普通 IO
GPIO14	D1	8	3.3V	普通 IO
GPIO15	C1	8	3.3V	普通 IO

表 3-7 J8 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
GPIO0	A1	0	3.3V	普通 IO
GPIO1	A2	0	3.3V	普通 IO
GPIO2	A3	0	3.3V	普通 IO
GPIO3	A4	0	3.3V	普通 IO
GPIO4	C13	1	3.3V	普通 IO
GPIO5	D13	1	3.3V	普通 IO
GPIO6	C17	1	3.3V	普通 IO
GPIO7	A19	1	3.3V	普通 IO

表 3-8 SSPI 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SSPI_SCLK	W6	4	3.3V	配置模式  普通 IO
SSPI_SO	Y6	4	3.3V	配置模式  普通 IO
SSPI_SI	W20	4	3.3V	配置模式  普通 IO
SSPI_CS_N	Y20	4	3.3V	配置模式  普通 IO
SSPI_CLKHOLD_N	T14	4	3.3V	配置模式  普通 IO
SSPI_FASTRD_N	Y19	4	3.3V	配置模式  普通 IO

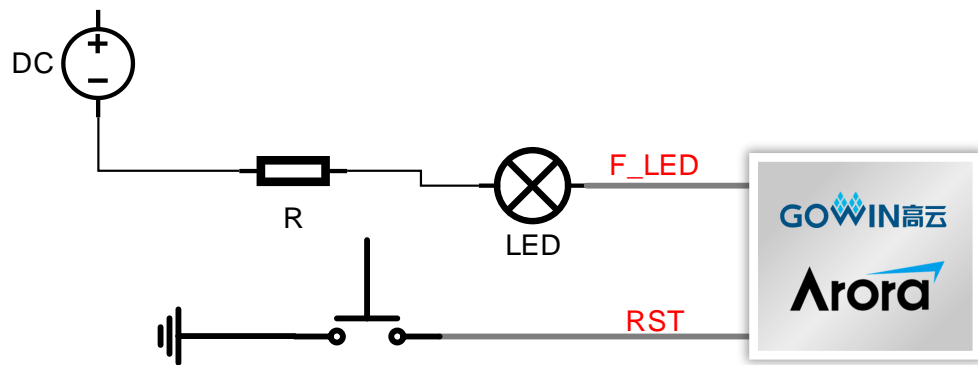
## 3.9 LED&按键

### 3.9.1 介绍

开发板预留一路 LED 与 FPGA 相连，当 FPGA 输出逻辑低电平时，LED 点亮；输出逻辑高电平时，LED 熄灭。

开发板配有一路开关（硬件消抖）与 FPGA 相连，用户可对该开关灵活使用。

图 3-7 LED&按键连接示意图



### 3.9.2 管脚分配

表 3-9 LED&按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_RST_N	P20	8	3.3V	按键 IO
F_LED	A10	0	3.3V	LED_IO

