



DK_Motor_GW5AS-EV25UG256C2I1_V1.1

用户手册

DBUG422-1.0.2, 2025-02-14

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/07/19	1.0	初始版本。
2024/09/13	1.0.1	更新开发板名称。
2025/02/14	1.0.2	更新“表 3-3 Ethernet1 接口管脚分配”和“表 3-4 Ethernet2 接口管脚分配”中“F_PHY1_RST_n”和“F_PHY2_RST_n”的信号描述。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	8
3.1 FPGA	8
3.2 电源	8
3.2.1 介绍	8
3.2.2 电源分配	9
3.3 下载模块	9
3.3.1 介绍	9
3.3.2 管脚分配	10
3.4 时钟	10
3.4.1 介绍	10
3.4.2 管脚分配	11

3.5 以太网接口	11
3.5.1 介绍	11
3.5.2 管脚分配	11
3.6 LVDS 接口	13
3.6.1 介绍	13
3.6.2 管脚分配	13
3.7 PWM 接口	14
3.7.1 介绍	14
3.7.2 管脚分配	15
3.8 电机控制接口	17
3.8.1 介绍	17
3.8.2 管脚分配	18
3.9 OTG 接口	20
3.9.1 介绍	20
3.9.2 管脚分配	21
3.10 AT-Link 接口	21
3.10.1 介绍	21
3.10.2 管脚分配	22
3.11 AT-Link/OTG1 选择接口	22
3.11.1 介绍	22
3.11.2 管脚分配	23
3.12 GPIO	23
3.12.1 介绍	23
3.12.2 管脚分配	24
3.13 LED 灯、按键	26
3.13.1 介绍	26
3.13.2 管脚分配	27

图目录

图 2-1 DK_Motor_GW5AS-EV25UG256C2I1_V1.1 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	5
图 3-1 电源分配示意图	9
图 3-2 下载连接示意图	10
图 3-3 时钟连接示意图	10
图 3-4 以太网接口连接示意图	11
图 3-5 LVDS 接口原理图	13
图 3-6 PWM 接口原理图	14
图 3-7 电机控制接口原理图.....	17
图 3-8 OTG 接口原理图	20
图 3-9 AT-Link 接口原理图	21
图 3-10 AT-Link/OTG1 选择接口原理图	22
图 3-11 GPIO 接口原理图	23
图 3-12 MCU IO 接口原理图	23
图 3-13 LED 指示灯连接示意图	26
图 3-14 按键连接示意图	26
图 3-15 MCU 复位按键连接示意图	27

表目录

表 1-1 术语、缩略语.....	1
表 3-1 JTAG 管脚分配.....	10
表 3-2 时钟管脚分配.....	11
表 3-3 Ethernet1 接口管脚分配.....	11
表 3-4 Ethernet2 接口管脚分配.....	12
表 3-5 LVDS 接口管脚分配	13
表 3-6 PWM1 接口 J11 管脚分配	15
表 3-7 PWM2 接口 J12 管脚分配	16
表 3-8 电机控制接口 1 管脚分配	18
表 3-9 电机控制接口 1 FPGA 管脚分配	18
表 3-10 电机控制接口 2 管脚分配	19
表 3-11 电机控制接口 2 FPGA 管脚分配.....	19
表 3-12 OTG1 接口 J9 管脚分配	21
表 3-13 OTG2 接口 J14 管脚分配	21
表 3-14 AT-Link 接口 J8 管脚分配	22
表 3-15 AT-Link/OTG1 选择接口 J17 管脚分配	23
表 3-16 GPIO 管脚分配.....	24
表 3-17 MCU IO 管脚分配.....	24
表 3-18 LED & KEY 管脚分配	27
表 3-19 MCU 复位按键管脚分配	27

1 关于本手册

1.1 手册内容

DK_Motor_GW5AS-EV25UG256C2I1_V1.1 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1103, Arora V 25K FPGA 产品数据手册](#)
- [UG1115, GW5AS-25 器件 Pinout 手册](#)
- [UG1106, GW5AS 系列 FPGA 产品封装与管脚手册](#)
- [UG714, Arora V 25K FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
OTG	On-The-Go	电子设备数据交换技术
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
MCU	Microcontroller Unit	微控制单元

术语、缩略语	全称	含义
PWM	Pulse-width modulation	脉冲宽度调制
LVDS	Low-Voltage Differential Signaling	低电压差分信号
JTAG	Joint Test Action Group	联合测试工作组

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

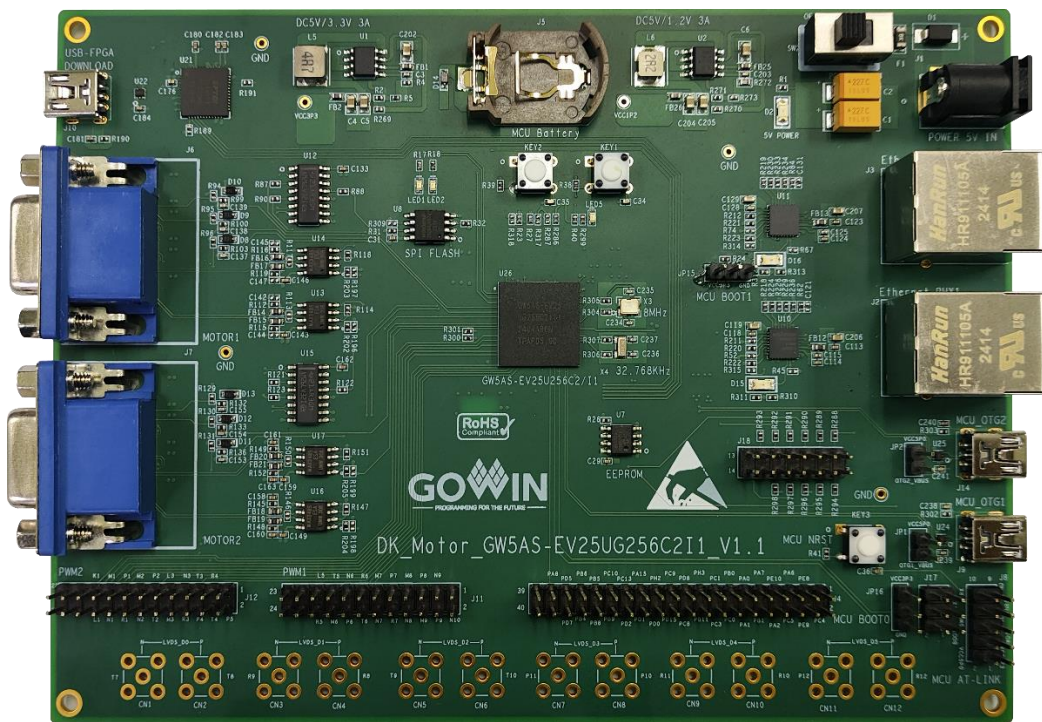
Tel: +86 755 8262 0391

2

开发板简介

2.1 概述

图 2-1 DK Motor GW5AS-EV25UG256C2I1 V1.1 开发板



高云半导体 **GW5AS-25** 器件是高云半导体晨熙家族 **5** 系列产品，集成最新一代的嵌入式 **ARM®** 内核处理器 **Cortex-M4**，内部资源丰富，具有全新构架且支持 **AI** 运算的高性能 **DSP**，高速 **LVDS** 接口以及丰富的 **BSRAM** 存储器资源，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

DK_Motor_GW5AS-EV25UG256C2I1_V1.1 开发板集成 2 个以太网接口，支持 10M/100M 工业以太网通信。设计了丰富的外部接口，包括 LVDS 接口、PWM 接口、电机通信接口、GPIO 接口、MCU 下载接口、FPGA 下

载接口等等。

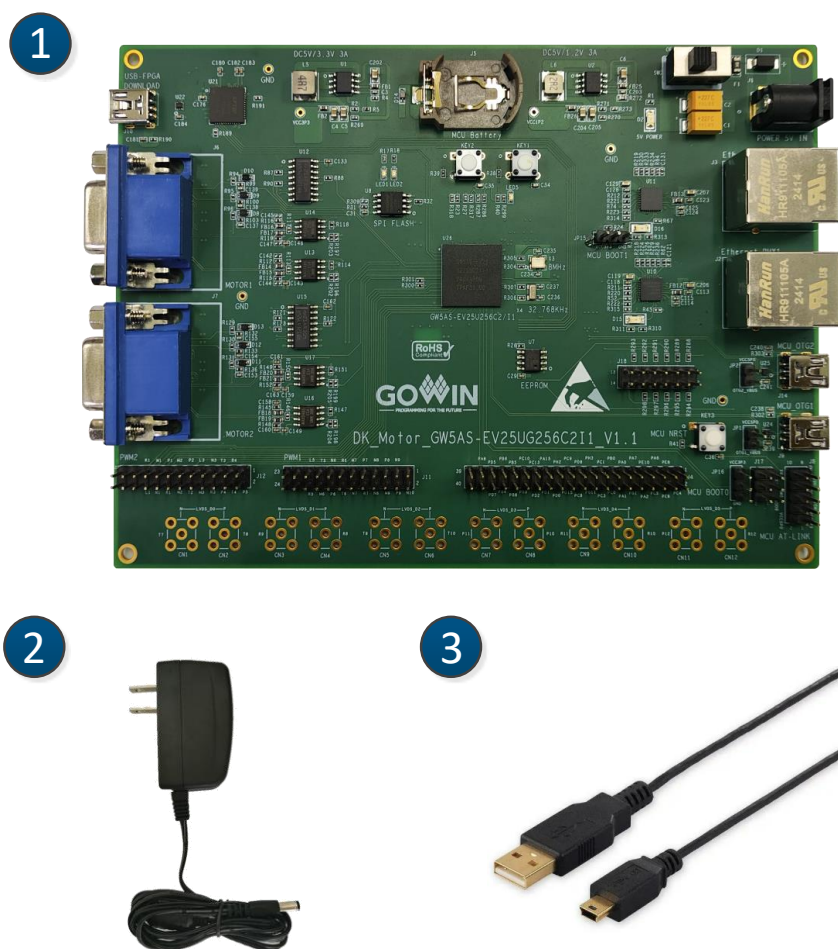
开发板采用高云的“GW5AS - EV25UG256”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1103](#)，[Arora V 25K FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_Motor_GW5AS-EV25UG256C2I1_V1.1 开发板
2. 5V 电源适配器（输入：AC 100-240V~50/60Hz 0.5A，输出：DC5V 2A）
3. Mini USB-B 下载线

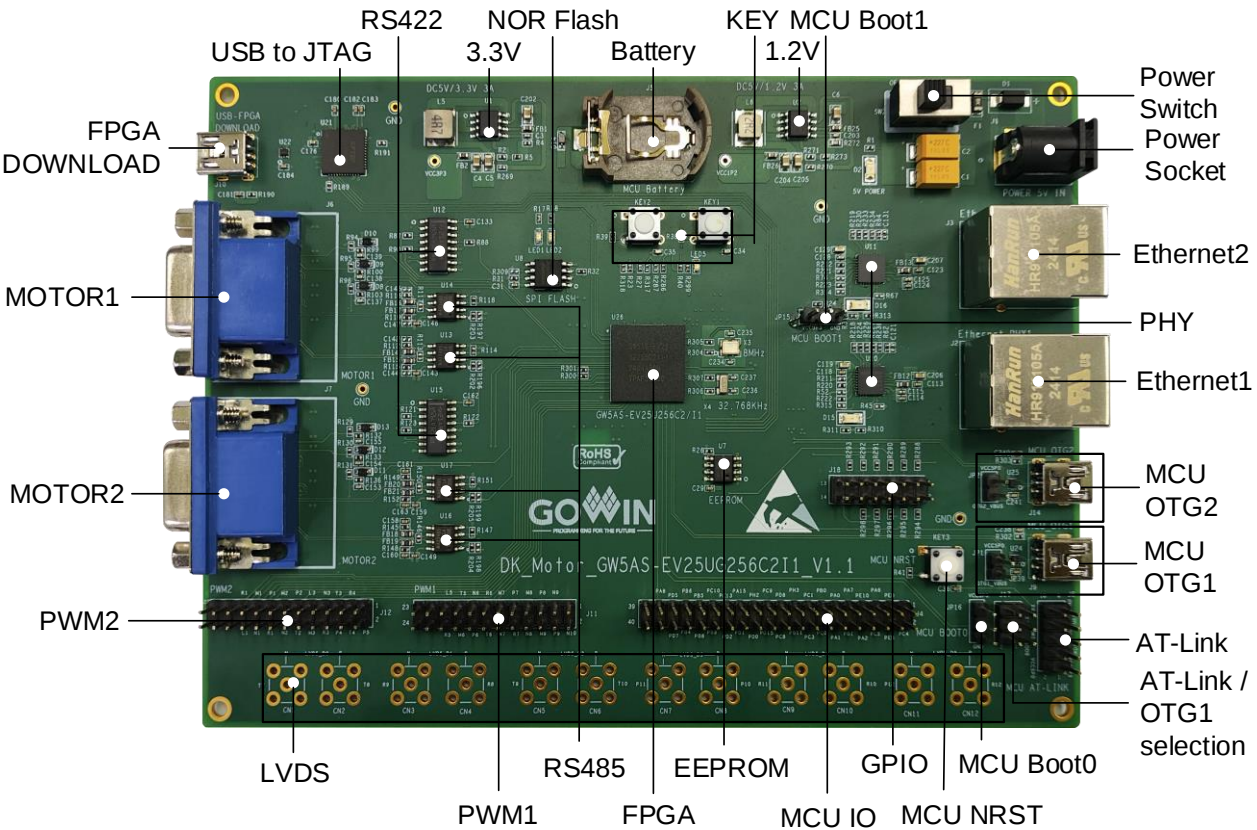
图 2-2 开发板套件



- ① DK_Motor_GW5AS-EV25UG256C2I1_V1.1开发板
- ② 5V电源
- ③ Mini USB-B下载线

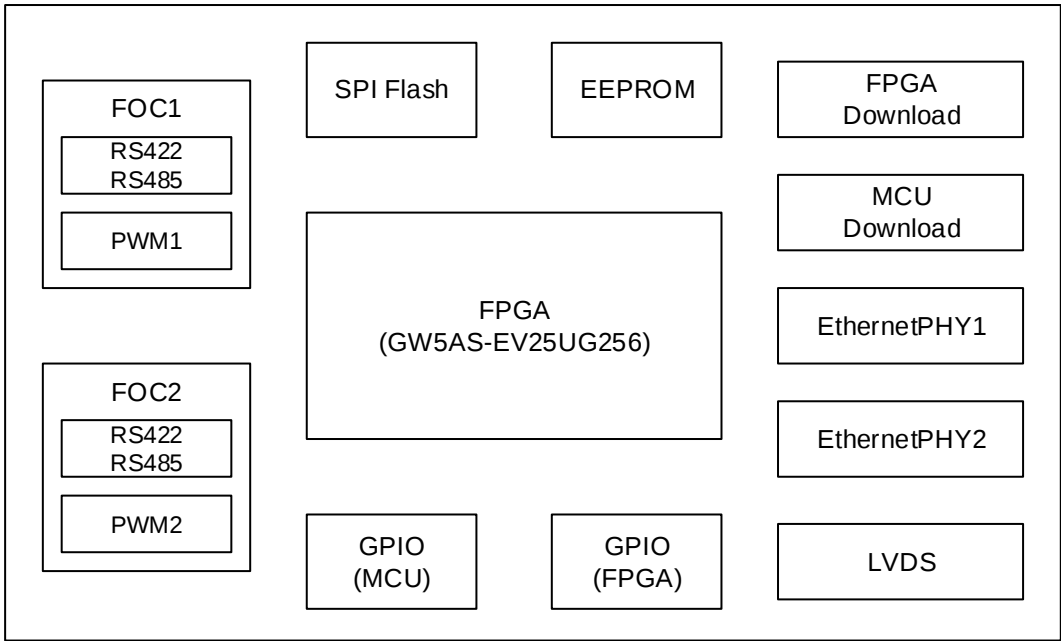
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 高云 GW5AS-EV25UG256 的 FPGA
 - 最多用户 I/O 144 个
- **下载与启动**
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外部 SPI FLASH 启动
 - 加载完成后，DONE 灯亮
- **供电方式**
 - 外部 DC5V/2A 供电
 - 上电后，POWER 灯亮
 - 开发板产生 3.3V、1.2V 电源
- **系统时钟**
 - 25MHz 时钟
- **存储器件**
 - 32Kbit EEPROM
 - 64Mbit NOR SPI Flash
- **LVDS 接口**
 - 6 对 LVDS 差分对
- **以太网接口**
 - 2 路以太网接口
 - MII 接口，支持 10BASE-T/100BASE-TX
 - RJ45 连接器，内部集成网络变压器
- **PWM 接口**
 - 2 路 PWM 接口，用于传输 PWM 信号
- **电机控制接口**
 - 2 路电机控制接口
 - 每路电机控制接口包含 3 路 RS422 差分信号、1 路 RS485 差分数据信号、1 路差分时钟信号和 3 个 GPIO
- **MCU 相关接口**
 - 2 路 OTG 接口，采用 mini USB-B 插座，带静电防护
 - 1 路 AT-LINK 接口
 - 1 路 MCU 复位按键
 - 37 个 3.3V 供电的 MCU IO

- 1 路 8MHz 差分时钟
- 1 路 32.768KHz 差分时钟
- AT-Link/OTG1 选择接口
 - 1 路 AT-Link/OTG1 选择接口
 - 通过跳线选择 AT-Link 接口或 OTG1 接口
- 按键&LED
 - 2 个按键
 - 2 个 LED
- GPIO
 - 11 个 3.3V 电平标准的 GPIO

3 开发板电路

3.1 FPGA

概述

GW5AS 系列 FPGA 产品资源信息参 [DS1103, Arora V 25K FPGA 产品数据手册](#)。

I/O BANK 说明

GW5AS 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1106, GW5AS 系列 FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

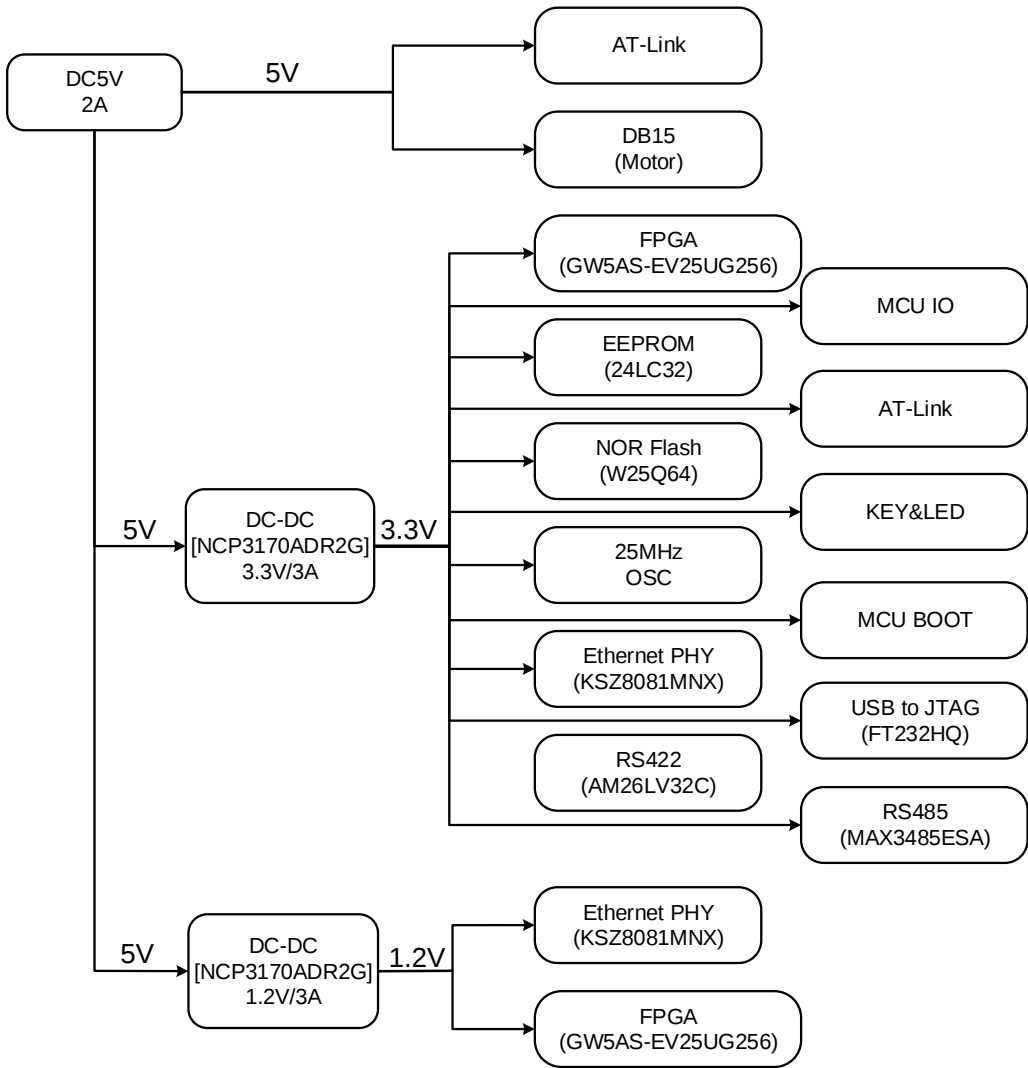
开发板需要通过 5V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.5A，输出：DC5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、1.2V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



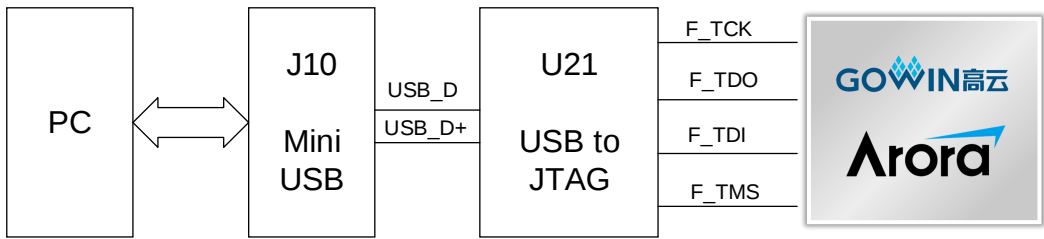
3.3 下载模块

3.3.1 介绍

开发板设计有 Mini USB-B 下载口（J10），可将程序烧录到外部 SPI FLASH 或下载到 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

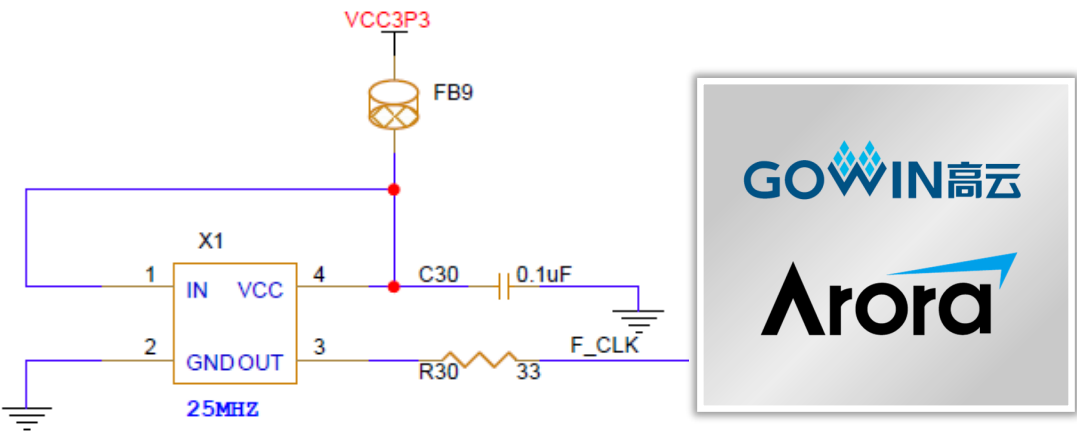
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_TCK	L10	10	3.3V	JTAG 信号
F_TDO	N11	10	3.3V	
F_TDI	M10	10	3.3V	
F_TMS	M11	10	3.3V	

3.4 时钟

3.4.1 介绍

FPGA 时钟源，25MHz 单端时钟信号引入。时钟管脚分配如图 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

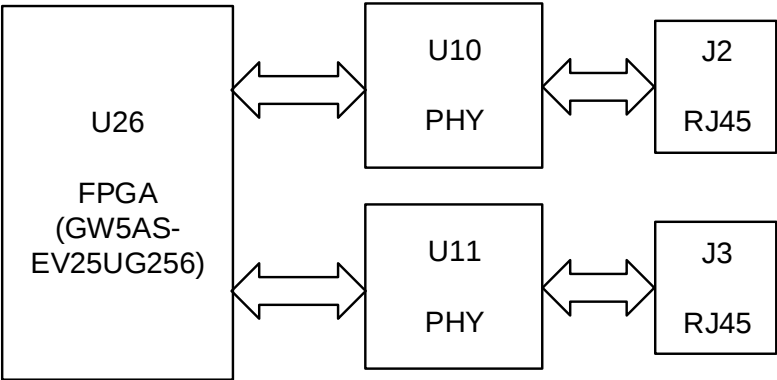
信号名称	FPGA（U1）管脚号	BANK	I/O 电平	描述
F_CLK	L8	1	3.3V	频率 25MHz

3.5 以太网接口

3.5.1 介绍

开发板提供了两路以太网，支持 MII（10BASE-T/100BASE-TX）接口。使用 RJ45 连接器，内部集成网络变压器。连接示意图如图 3-4 所示。

图 3-4 以太网接口连接示意图



3.5.2 管脚分配

表 3-3 Ethernet1 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PHY1_TXD0	C11	6	3.3V	MII 发送数据
F_PHY1_TXD1	D11	6	3.3V	MII 发送数据
F_PHY1_TXD2	A12	6	3.3V	MII 发送数据
F_PHY1_TXD3	B12	6	3.3V	MII 发送数据
F_PHY1_TXC	A11	6	3.3V	MII 发送时钟
F_PHY1_TXEN	B11	6	3.3V	MII 发送错误
F_PHY1_RXD0	A8	5	3.3V	MII 接收数据
F_PHY1_RXD1	E7	5	3.3V	MII 接收数据
F_PHY1_RXD2	D7	5	3.3V	MII 接收数据

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PHY1_RXD3	C7	5	3.3V	MII 接收数据
F_PHY1_RXC	D10	6	3.3V	MII 接收时钟
F_PHY1_RXER	E10	6	3.3V	MII 接收错误
F_PHY1_RXDV	C10	6	3.3V	MII 接收数据有效
F_PHY1_CLK	E9	6	3.3V	时钟输入
F_PHY_MDIO	A7	5	3.3V	MII 数据输入输出
F_PHY_MDC	B7	5	3.3V	MII 时钟输入
F_PHY1_SPEED	C12	6	3.3V	MII 速率
F_PHY1_RST_n	A13	6	3.3V	复位信号

表 3-4 Ethernet2 接口管脚分配

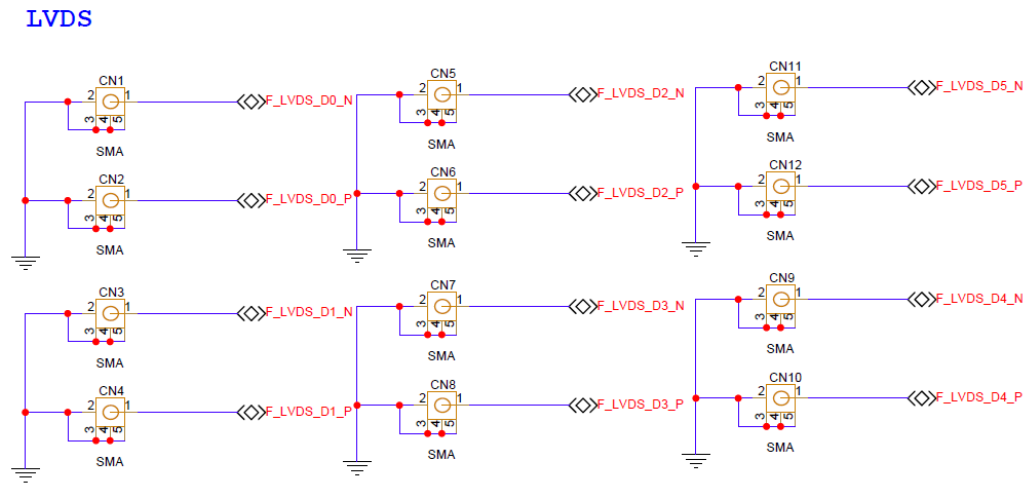
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PHY2_TXD0	C5	5	3.3V	MII 发送数据
F_PHY2_TXD1	A6	5	3.3V	MII 发送数据
F_PHY2_TXD2	B6	5	3.3V	MII 发送数据
F_PHY2_TXD3	C6	5	3.3V	MII 发送数据
F_PHY2_TXC	A5	5	3.3V	MII 发送时钟
F_PHY2_TXEN	B5	5	3.3V	MII 发送错误
F_PHY2_RXD0	E3	5	3.3V	MII 接收数据
F_PHY2_RXD1	D3	5	3.3V	MII 接收数据
F_PHY2_RXD2	A3	5	3.3V	MII 接收数据
F_PHY2_RXD3	D2	5	3.3V	MII 接收数据
F_PHY2_RXC	B4	5	3.3V	MII 接收时钟
F_PHY2_RXER	C4	5	3.3V	MII 接收错误
F_PHY2_RXDV	A4	5	3.3V	MII 接收数据有效
F_PHY2_CLK	E9	6	3.3V	时钟输入
F_PHY_MDIO	A7	5	3.3V	MII 数据输入输出
F_PHY_MDC	B7	5	3.3V	MII 时钟输入
F_PHY2_SPEED	D6	5	3.3V	MII 速率
F_PHY2_RST_n	E6	5	3.3V	复位信号

3.6 LVDS 接口

3.6.1 介绍

LVDS 接口为 12 个 SMA 座，包含 6 对 LVDS 差分信号。接口原理图如图 3-5 所示。

图 3-5 LVDS 接口原理图



3.6.2 管脚分配

表 3-5 LVDS 接口管脚分配

器件号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CN1	F_LVDS_D0_N	T7	2	3.3V	LVDS 差分信号 0-
CN2	F_LVDS_D0_P	T8	2	3.3V	LVDS 差分信号 0+
CN3	F_LVDS_D1_N	R9	2	3.3V	LVDS 差分信号 1-
CN4	F_LVDS_D1_P	R8	2	3.3V	LVDS 差分信号 1+
CN5	F_LVDS_D2_N	T9	2	3.3V	LVDS 差分信号 2-
CN6	F_LVDS_D2_P	T10	2	3.3V	LVDS 差分信号 2+
CN7	F_LVDS_D3_N	P11	2	3.3V	LVDS 差分信号 3-
CN8	F_LVDS_D3_P	P10	2	3.3V	LVDS 差分信号 3+
CN9	F_LVDS_D4_N	R11	2	3.3V	LVDS 差分信号 4-
CN10	F_LVDS_D4_P	R10	2	3.3V	LVDS 差分信号 4+
CN11	F_LVDS_D5_N	P12	2	3.3V	LVDS 差分信号 5-
CN12	F_LVDS_D5_P	R12	2	3.3V	LVDS 差分信号 5+

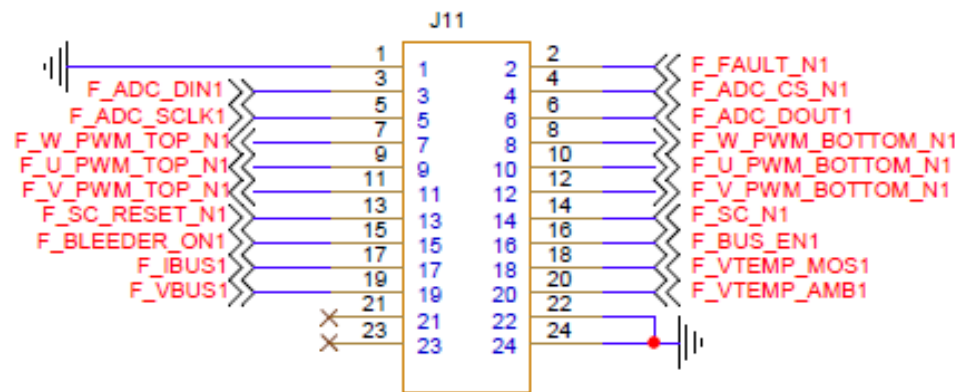
3.7 PWM 接口

3.7.1 介绍

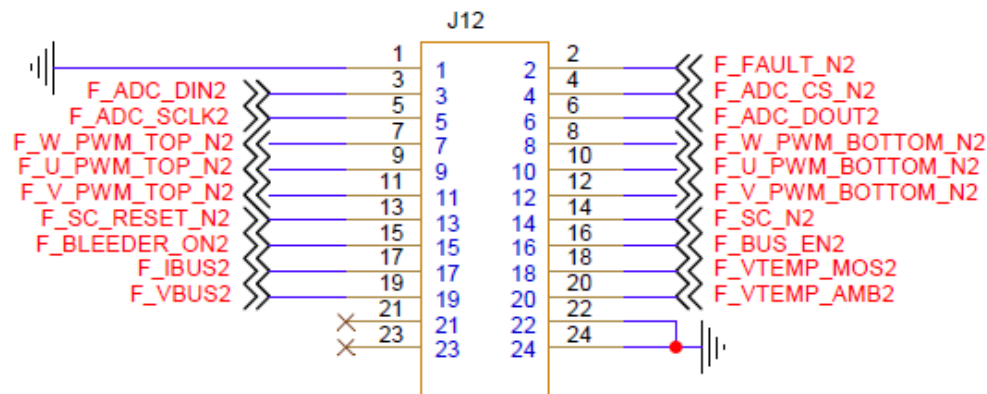
开发板上有两路 PWM 接口，这些管脚也可以用作 GPIO。PWM 接口原理图如图 3-6 所示。

图 3-6 PWM 接口原理图

PWM1



PWM2



3.7.2 管脚分配

表 3-6 PWM1 接口 J11 管脚分配

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	GND	—	—	—	GND
2	F_FAULT_N1	N10	2	3.3V	预留 IO
3	F_ADC_DIN1	N9	2	3.3V	ADC 数据输入
4	F_ADC_CS_N1	P9	2	3.3V	ADC 使能信号
5	F_ADC_SCLK1	P8	2	3.3V	ADC 时钟信号
6	F_ADC_DOUT1	M9	2	3.3V	ADC 数据输出
7	F_W_PWM_TOP_N1	M8	2	3.3V	W 相 PWM 上桥臂控制信号
8	F_W_PWM_BOTTOM_N1	N8	2	3.3V	W 相 PWM 下桥臂控制信号
9	F_U_PWM_TOP_N1	P7	3	3.3V	U 相 PWM 上桥臂控制信号
10	F_U_PWM_BOTTOM_N1	R7	3	3.3V	U 相 PWM 下桥臂控制信号
11	F_V_PWM_TOP_N1	M7	3	3.3V	V 相 PWM 上桥臂控制信号
12	F_V_PWM_BOTTOM_N1	N7	3	3.3V	V 相 PWM 下桥臂控制信号
13	F_SC_RESET_N1	R6	3	3.3V	预留 IO
14	F_SC_N1	T6	3	3.3V	预留 IO
15	F_BLEEDER_ON1	N6	3	3.3V	预留 IO
16	F_BUS_EN1	P6	3	3.3V	预留 IO
17	F_IBUS1	T5	3	3.3V	预留 IO
18	F_VTEMP_MOS1	M6	3	3.3V	预留 IO
19	F_VBUS1	L5	4	3.3V	预留 IO
20	F_VTEMP_AMB1	R5	3	3.3V	预留 IO
21	NC	—	—	—	悬空
22	GND	—	—	—	GND

J11 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
23	NC	—	—	—	悬空
24	GND	—	—	—	GND

表 3-7 PWM2 接口 J12 管脚分配

J12 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	GND	—	—	—	GND
2	F_FAULT_N2	P5	3	3.3V	预留 IO
3	F_ADC_DIN2	R4	3	3.3V	ADC 数据输入
4	F_ADC_CS_N2	T4	3	3.3V	ADC 使能信号
5	F_ADC_SCLK2	T3	3	3.3V	ADC 时钟信号
6	F_ADC_DOUT2	P4	3	3.3V	ADC 数据输出
7	F_W_PWM_TOP_N2	N3	3	3.3V	W 相 PWM 上桥臂控制信号
8	F_W_PWM_BOTTOM_N2	R3	3	3.3V	W 相 PWM 下桥臂控制信号
9	F_U_PWM_TOP_N2	L4	4	3.3V	U 相 PWM 上桥臂控制信号
10	F_U_PWM_BOTTOM_N2	M3	3	3.3V	U 相 PWM 下桥臂控制信号
11	F_V_PWM_TOP_N2	P2	3	3.3V	V 相 PWM 上桥臂控制信号
12	F_V_PWM_BOTTOM_N2	T2	3	3.3V	V 相 PWM 下桥臂控制信号
13	F_SC_RESET_N2	M2	3	3.3V	预留 IO
14	F_SC_N2	N2	3	3.3V	预留 IO
15	F_BLEEDER_ON2	P1	3	3.3V	预留 IO
16	F_BUS_EN2	R1	3	3.3V	预留 IO
17	F_IBUS2	M1	3	3.3V	预留 IO
18	F_VTEMP_MOS2	N1	3	3.3V	预留 IO
19	F_VBUS2	K1	4	3.3V	预留 IO
20	F_VTEMP_AMB2	L1	3	3.3V	预留 IO

3.8.2 管脚分配

表 3-8 电机控制接口 1 管脚分配

J6 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	RS485_DATA1P	—	—	—	RS485 数据信号
2	RS485_CLK1P	—	—	—	RS485 时钟信号
3	RS422_IN1_Ap	—	—	—	增量式编码器 A 相脉冲信号+
4	RS422_IN1_An	—	—	—	增量式编码器 A 相脉冲信号-
5	VCC5P0	—	—	5V	POWER
6	F_PU1	F4	4	3.3V	增量式编码器 U 信号
7	RS485_DATA1N	—	—	—	RS485 数据信号
8	RS485_CLK1N	—	—	—	RS485 时钟信号
9	RS422_IN1_Bn	—	—	—	增量式编码器 B 相脉冲信号+
10	RS422_IN1_Bp	—	—	—	增量式编码器 B 相脉冲信号-
11	F_PV1	G6	4	3.3V	增量式编码器 V 信号
12	GND	—	—	—	GND
13	RS422_IN1_Zn	—	—	—	增量式编码器 Z 相脉冲信号-
14	RS422_IN1_Zp	—	—	—	增量式编码器 Z 相脉冲信号+
15	F_PW1	F1	4	3.3V	增量式编码器 W 信号

表 3-9 电机控制接口 1 FPGA 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PU1	F4	4	3.3V	增量式编码器 U 信号
F_PW1	F1	4	3.3V	增量式编码器 W 信号
F_PV1	G6	4	3.3V	增量式编码器 V 信号
F_RS422_OUT_A1	F5	4	3.3V	增量式编码器 A 相脉冲信号
F_RS422_OUT_B1	E1	4	3.3V	增量式编码器 B 相脉冲信号
F_RS422_OUT_Z1	E2	4	3.3V	增量式编码器 Z 相脉冲信号
F_RS485_DATA_TX1	G2	4	3.3V	RS485 收发器发送信号
F_RS485_DATA_RX1	H6	4	3.3V	RS485 收发器接收信号
F_RS485_DATA_CT1	G1	4	3.3V	RS485 收发器信号方向控制
F_RS485_CLK_TX1	G5	4	3.3V	RS485 收发器发送信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_RS485_CLK_RX1	G3	4	3.3V	RS485 收发器接收信号
F_RS485_CLK_CT1	G4	4	3.3V	RS485 收发器信号方向控制

表 3-10 电机控制接口 2 管脚分配

J7 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	RS485_DATA2p	—	—	—	RS485 数据信号
2	RS485_CLK2p	—	—	—	RS485 时钟信号
3	RS422_IN2_Ap	—	—	—	增量式编码器 A 相脉冲信号+
4	RS422_IN2_An	—	—	—	增量式编码器 A 相脉冲信号-
5	VCC5P0	—	—	5V	POWER
6	F_PU2	H2	4	3.3V	增量式编码器 U 信号
7	RS485_DATA2n	—	—	—	RS485 数据信号
8	RS485_CLK2n	—	—	—	RS485 时钟信号
9	RS422_IN2_Bn	—	—	—	增量式编码器 B 相脉冲信号+
10	RS422_IN2_Bp	—	—	—	增量式编码器 B 相脉冲信号-
11	F_PV2	J6	4	3.3V	增量式编码器 V 信号
12	GND	—	—	—	GND
13	RS422_IN2_Zn	—	—	—	增量式编码器 Z 相脉冲信号-
14	RS422_IN2_Zp	—	—	—	增量式编码器 Z 相脉冲信号+
15	F_PW2	H1	4	3.3V	增量式编码器 W 信号

表 3-11 电机控制接口 2 FPGA 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_PU2	H2	4	3.3V	增量式编码器 U 信号
F_PW2	H1	4	3.3V	增量式编码器 W 信号
F_PV2	J6	4	3.3V	增量式编码器 V 信号
F_RS422_OUT_A2	H5	4	3.3V	增量式编码器 A 相脉冲信号
F_RS422_OUT_B2	H4	4	3.3V	增量式编码器 B 相脉冲信号
F_RS422_OUT_Z2	H3	4	3.3V	增量式编码器 Z 相脉冲信号
F_RS485_DATA_TX2	K6	4	3.3V	RS485 收发器发送信号

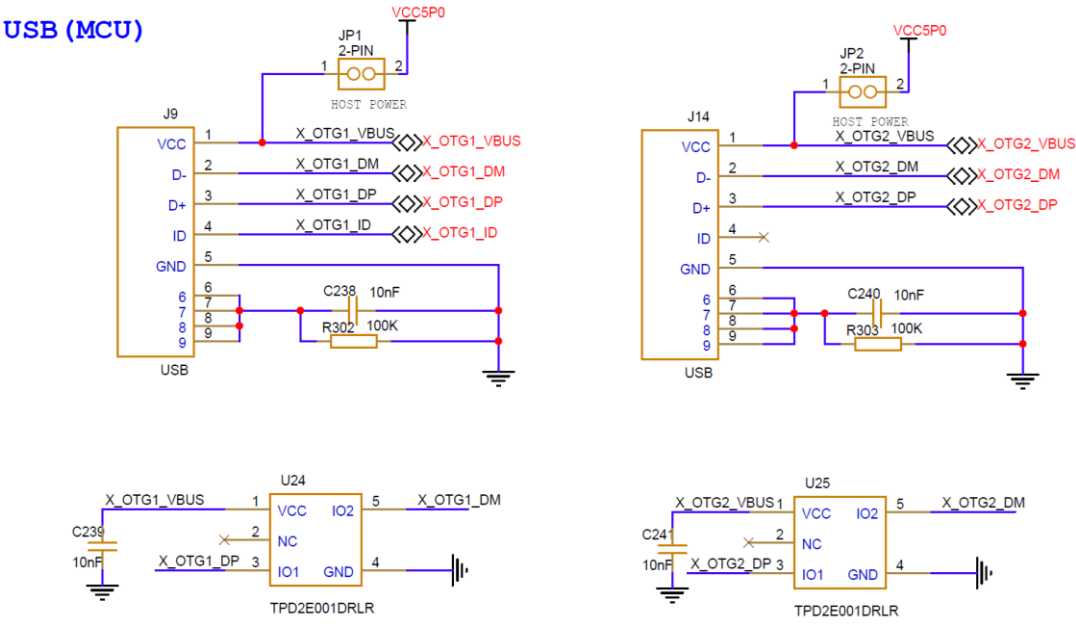
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_RS485_DATA_RX2	K2	4	3.3V	RS485 收发器接收信号
F_RS485_DATA_CT2	K3	4	3.3V	RS485 收发器信号方向控制
F_RS485_CLK_TX2	J4	4	3.3V	RS485 收发器发送信号
F_RS485_CLK_RX2	J1	4	3.3V	RS485 收发器接收信号
F_RS485_CLK_CT2	J2	4	3.3V	RS485 收发器信号方向控制

3.9 OTG 接口

3.9.1 介绍

开发板上有两路 OTG 接口，采用 mini USB-B 插座，带有静电防护，用于在线调试下载或与主/从机连接通信。OTG 接口原理图如图 3-8 所示。

图 3-8 OTG 接口原理图



3.9.2 管脚分配

表 3-12 OTG1 接口 J9 管脚分配

J9 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	X_OTG1_VBUS	—	—	3.3V	电压检测
2	X_OTG1_DM	T14	MCU	3.3V	OTG 数据信号
3	X_OTG1_DP	T15	MCU	3.3V	OTG 数据信号
4	X_OTG1_ID	—	—	3.3V	OTG 主/从机身份识别
5	GND	—	—	—	GND

表 3-13 OTG2 接口 J14 管脚分配

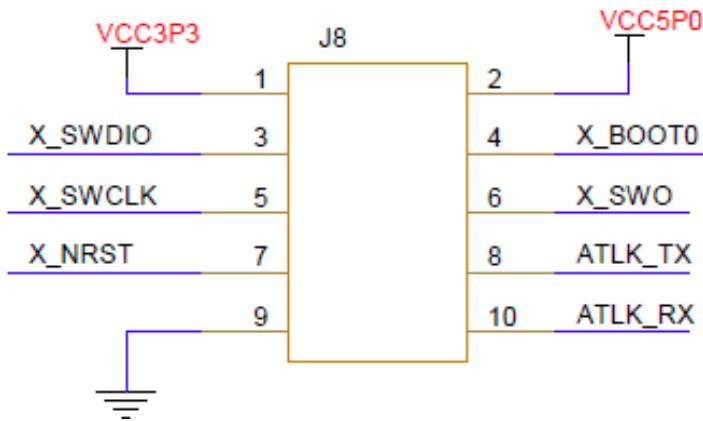
J14 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	X_OTG2_VBUS	G15	MCU	3.3V	电压检测
2	X_OTG2_DM	H14	MCU	3.3V	OTG 数据信号
3	X_OTG2_DP	H15	MCU	3.3V	OTG 数据信号
4	NC	—	—	—	悬空
5	GND	—	—	—	GND

3.10 AT-Link 接口

3.10.1 介绍

开发板上有 1 路 AT-Link 接口，连接主机进行调试编程。AT-Link 接口原理图如图 3-9 所示。

图 3-9 AT-Link 接口原理图



3.10.2 管脚分配

表 3-14 AT-Link 接口 J8 管脚分配

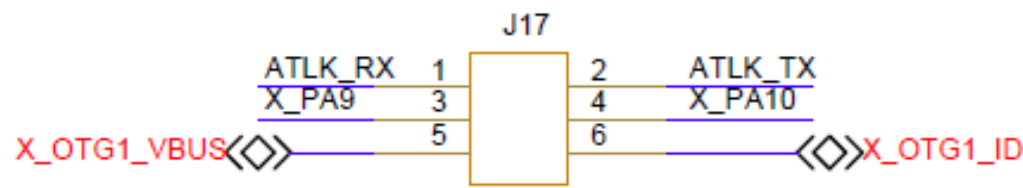
J8 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	VCC3P3	—	—	3.3V	POWER
2	VCC5P0	—	—	5V	POWER
3	X_SWDIO	K15	MCU	3.3V	串行数据输入输出
4	X_BOOT0	R16	MCU	3.3V	启动
5	X_SWCLK	L14	MCU	3.3V	串行时钟输入
6	X_SWO	N14	MCU	3.3V	单总线输出
7	X_NRST	J16	MCU	3.3V	复位
8	ATLK_TX	—	—	3.3V	AT-Link 串口发送信号
9	GND	—	—	—	GND
10	ATLK_RX	—	—	3.3V	AT-Link 串口接收信号

3.11 AT-Link/OTG1 选择接口

3.11.1 介绍

开发板上有一路 AT-Link/OTG1 选择接口，跳线选择 OTG1 时，PA9 和 PA10 连接到 OTG1 (J9)接口；跳线选择 AT-Link 接口时，与 OTG1 接口断开，与 AT-Link (J8)接口连接。AT-Link/OTG1 选择接口原理图如图 3-10 所示。

图 3-10 AT-Link/OTG1 选择接口原理图



3.11.2 管脚分配

表 3-15 AT-Link/OTG1 选择接口 J17 管脚分配

J17 管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	ATLK_RX	—	—	3.3V	AT-Link 串口接收信号
2	ATLK_TX	—	—	3.3V	AT-Link 串口发送信号
3	X_PA9	T12	MCU	3.3V	GPIO
4	X_PA10	T13	MCU	3.3V	GPIO
5	X_OTG1_VBUS	—	—	3.3V	电压检测
6	X_OTG1_ID	—	—	3.3V	OTG 主/从机身份识别

3.12 GPIO

3.12.1 介绍

开发板上有一个 14PIN 的双排针和 40PIN 的双排排针，分别引出 11 个 GPIO 和 37 个 MCU IO，方便用户测试使用。GPIO 接口原理图如下图所示。

图 3-11 GPIO 接口原理图

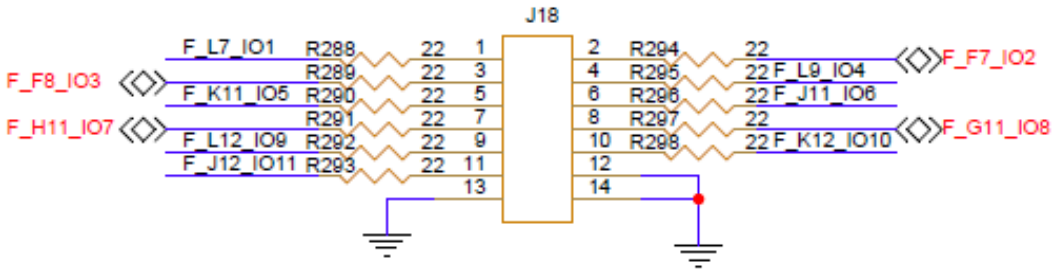
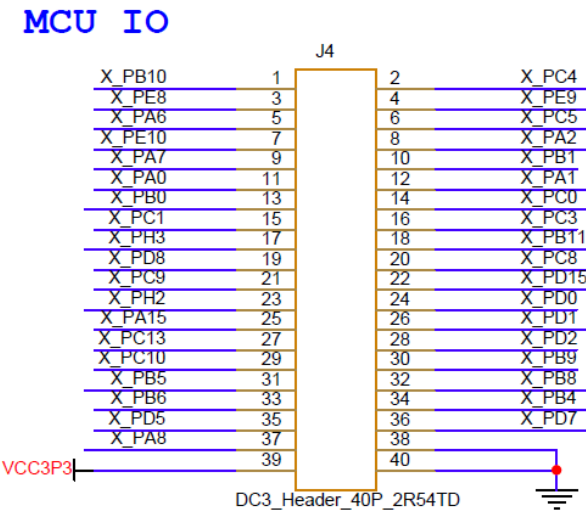


图 3-12 MCU IO 接口原理图



3.12.2 管脚分配

表 3-16 GPIO 管脚分配

管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	F_L7_IO1	L7	1	3.3V	GPIO
2	F_F7_IO2	F7	7	3.3V	GPIO
3	F_F8_IO3	F8	7	3.3V	GPIO
4	F_L9_IO4	L9	1	3.3V	GPIO
5	F_K11_IO5	K11	1	3.3V	GPIO
6	F_J11_IO6	J11	1	3.3V	GPIO
7	F_H11_IO7	H11	7	3.3V	GPIO
8	F_G11_IO8	G11	7	3.3V	GPIO
9	F_L12_IO9	L12	1	3.3V	GPIO
10	F_K12_IO10	K12	1	3.3V	GPIO
11	F_J12_IO11	J12	1	3.3V	GPIO
12	GND	—	—	—	GND
13	GND	—	—	—	GND
14	GND	—	—	—	GND

表 3-17 MCU IO 管脚分配

管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	X_PB10	A14	MCU	3.3V	MCU IO
2	X_PC4	B16	MCU	3.3V	MCU IO
3	X_PE8	B14	MCU	3.3V	MCU IO
4	X_PE9	B13	MCU	3.3V	MCU IO
5	X_PA6	C16	MCU	3.3V	MCU IO
6	X_PC5	C15	MCU	3.3V	MCU IO
7	X_PE10	C13	MCU	3.3V	MCU IO
8	X_PA2	D16	MCU	3.3V	MCU IO
9	X_PA7	D15	MCU	3.3V	MCU IO
10	X_PB1	D14	MCU	3.3V	MCU IO
11	X_PA0	E16	MCU	3.3V	MCU IO
12	X_PA1	E15	MCU	3.3V	MCU IO
13	X_PB0	E14	MCU	3.3V	MCU IO

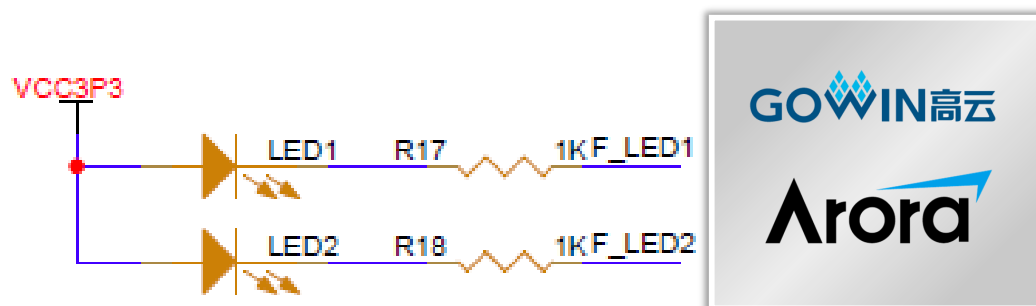
管脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
14	X_PC0	F16	MCU	3.3V	MCU IO
15	X_PC1	F15	MCU	3.3V	MCU IO
16	X_PC3	F14	MCU	3.3V	MCU IO
17	X_PH3	G14	MCU	3.3V	MCU IO
18	X_PB11	G13	MCU	3.3V	MCU IO
19	X_PD8	H13	MCU	3.3V	MCU IO
20	X_PC8	J15	MCU	3.3V	MCU IO
21	X_PC9	J14	MCU	3.3V	MCU IO
22	X_PD15	J13	MCU	3.3V	MCU IO
23	X_PH2	K14	MCU	3.3V	MCU IO
24	X_PD0	K13	MCU	3.3V	MCU IO
25	X_PA15	L15	MCU	3.3V	MCU IO
26	X_PD1	J13	MCU	3.3V	MCU IO
27	X_PC13	M16	MCU	3.3V	MCU IO
28	X_PD2	M15	MCU	3.3V	MCU IO
29	X_PC10	M14	MCU	3.3V	MCU IO
30	X_PB9	N16	MCU	3.3V	MCU IO
31	X_PB5	N15	MCU	3.3V	MCU IO
32	X_PB8	P16	MCU	3.3V	MCU IO
33	X_PB6	P15	MCU	3.3V	MCU IO
34	X_PB4	R14	MCU	3.3V	MCU IO
35	X_PD5	P13	MCU	3.3V	MCU IO
36	X_PD7	R13	MCU	3.3V	MCU IO
37	X_PA8	T11	MCU	3.3V	MCU IO
38	GND	—	—	—	GND
39	VCC3P3	—	—	3.3V	POWER
40	GND	—	—	—	GND

3.13 LED 灯、按键

3.13.1 介绍

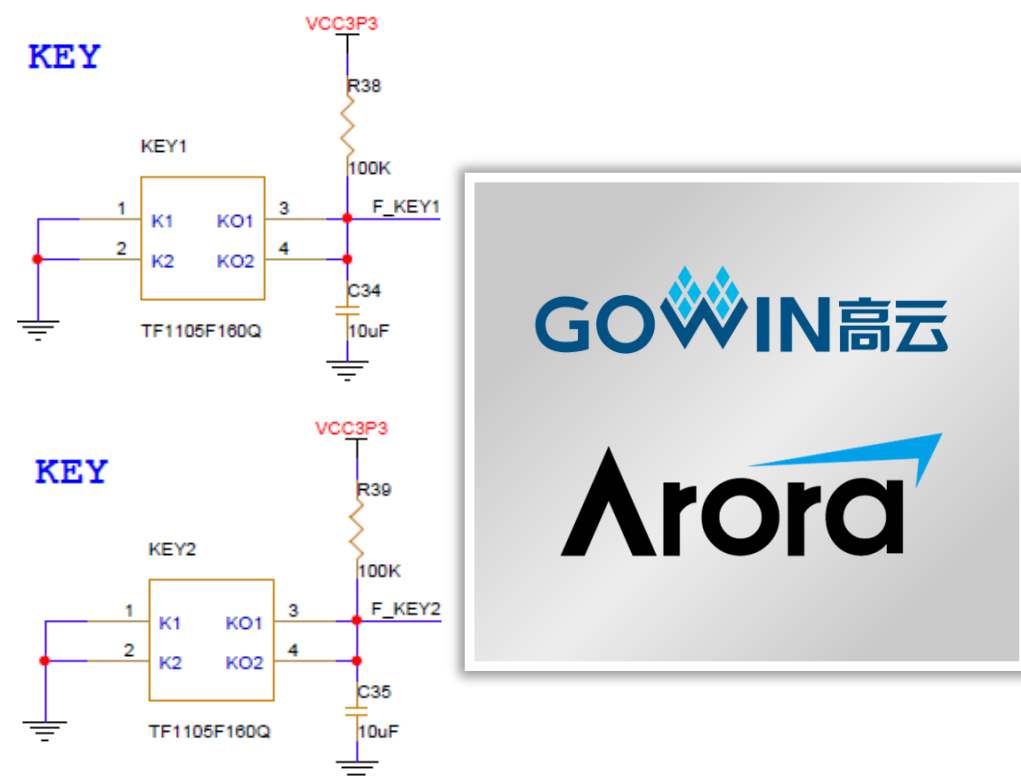
开发板共有 2 个用户 LED，连接 FPGA BANK5 的 IO，可以通过程序来控制亮和灭，当对应 IO 电压为低时，用户 LED 点亮，当连接 IO 电压为高时，用户 LED 熄灭。连接示意图如图 3-13 所示。

图 3-13 LED 指示灯连接示意图



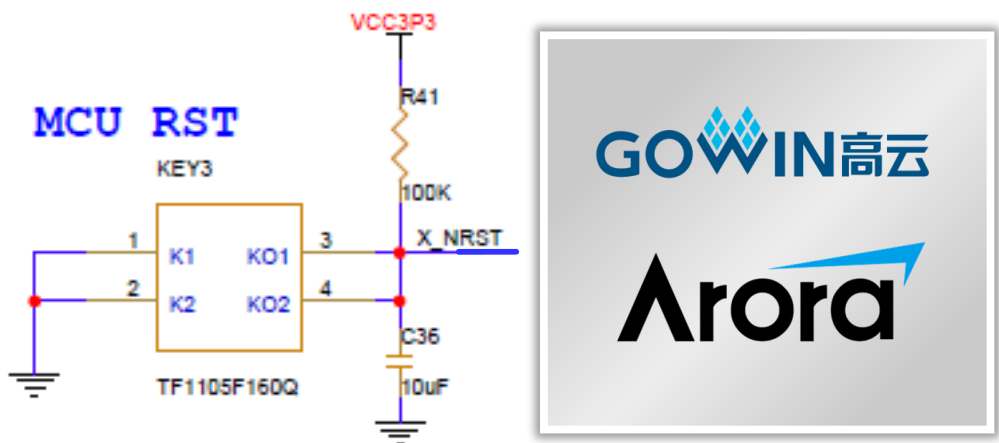
开发板上有 2 个用户按键，分别连接 FPGA BANK5 的普通的 IO。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如图 3-14 所示。

图 3-14 按键连接示意图



开发板上有 1 个复位按键。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。连接示意图如图 3-15 所示。

图 3-15 MCU 复位按键连接示意图



3.13.2 管脚分配

表 3-18 LED & KEY 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_LED1	B1	5	3.3V	LED
F_LED2	C1	5	3.3V	LED
F_KEY1	A2	5	3.3V	按键
F_KEY2	C2	5	3.3V	按键

表 3-19 MCU 复位按键管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
X_NRST	J16	MCU	3.3V	MCU 复位按键

