



DK_START_GW5A-LV25UG324_V2.0

用户手册

DBUG423-1.0.1,2025-02-28

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/03/01	1.0	初始版本。
2025/02/28	1.0.1	更新开发板图片。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	6
2.5 特性	6
3 开发板电路	8
3.1 FPGA	8
3.2 电源	8
3.2.1 介绍	8
3.2.2 电源分配	9
3.3 下载模块	10
3.3.1 介绍	10
3.3.2 管脚分配	10
3.4 时钟	11
3.4.1 介绍	11
3.4.2 管脚分配	11

3.5 DDR3 模块	11
3.5.1 介绍	11
3.5.2 管脚分配	12
3.6 SPI Flash	15
3.6.1 介绍	15
3.6.2 管脚分配	15
3.7 LED 灯、按键	16
3.7.1 介绍	16
3.7.2 管脚分配	17
3.8 HDMI_TX 接口	17
3.8.1 介绍	17
3.8.2 管脚分配	18
3.9 USB2.0 接口	19
3.9.1 介绍	19
3.9.2 管脚分配	20
3.10 GPIO	20
3.10.1 介绍	20
3.10.2 管脚分配	21
3.11 LVDS 接口	22
3.11.1 介绍	22
3.11.2 管脚分配	23
3.12 ADC 接口	24
3.12.1 介绍	24
3.12.2 管脚分配	24
3.13 MIPI	25
3.13.1 介绍	25
3.13.2 管脚分配	26

图目录

图 2-1 DK_START_GW5A-LV25UG324_V2.0 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	6
图 3-1 电源分配示意图	9
图 3-2 下载连接示意图	10
图 3-3 时钟连接示意图	11
图 3-4 DDR3 的硬件连接示意图	12
图 3-5 SPI Flash 的硬件连接示意图	15
图 3-6 LED 指示灯连接示意图	16
图 3-7 按键连接示意图	16
图 3-8 FPGA 与 HDMI 接口连接示意图	17
图 3-9 USB2.0 原理图连接示意图	19
图 3-10 GPIO 原理图连接示意图	20
图 3-11 LVDS 接口原理图连接示意图	22
图 3-12 ADC 原理图	24
图 3-13 MIPI 接口原理图电路	25

表目录

表 1-1 术语、缩略语.....	2
表 2-1 开发板 PCB 组件说明.....	5
表 3-1 JTAG 管脚分配.....	10
表 3-2 Mini USB 接口 J13 管脚分配.....	10
表 3-3 时钟管脚分配.....	11
表 3-4 DDR3 配置	11
表 3-5 DDR3 模块管脚分配.....	12
表 3-6 SPI FLASH 的具体配置.....	15
表 3-7 FLASH 各引脚分配.....	15
表 3-8 LED 灯管脚分配	17
表 3-9 HDMI_TX 模块管脚分配.....	18
表 3-10 USB2.0 接口管脚分配	20
表 3-11 GPIO 管脚分配	21
表 3-12 LVD_TX 接口管脚分配	23
表 3-13 LVD_RX 接口管脚分配.....	23
表 3-14 ADC 信号输入管脚分配.....	24
表 3-15 MIPI 接口管脚分配	26

1 关于本手册

1.1 手册内容

DK_START_GW5A-LV25UG324_V2.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [UG985, GW5A-25 器件 Pinout 手册](#)
- [UG1101, GW5A 系列 FPGA 产品封装与管脚手册](#)
- [UG987, GW5A 系列 FPGA 产品原理图指导手册](#)
- [UG714, Arora V 25K FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog-to-digital Converter	模数转换器
DDR	Double Data Rate	双倍速率
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LDO	Low Dropout Regulator	低压差线性稳压器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
LVDS	Low-Voltage Differential Signaling	低电压差分信号
JTAG	Joint Test Action Group	联合测试工作组

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

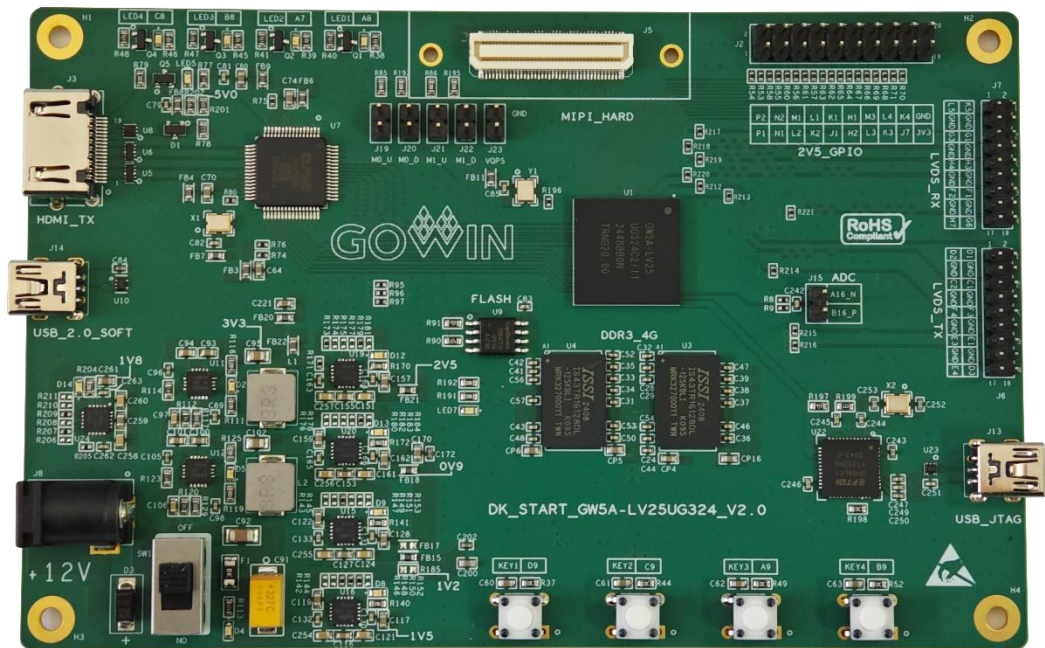
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW5A-LV25UG324_V2.0 开发板



DK_START_GW5A-LV25UG324_V2.0 开发板适用于 DDR3 的高速数据存储，MIPI、LVDS 等高速通信，ADC 模数转换，HDMI_TX 通信，USB2.0 通信，硬件可靠性验证及软件学习调试等多种应用需求。

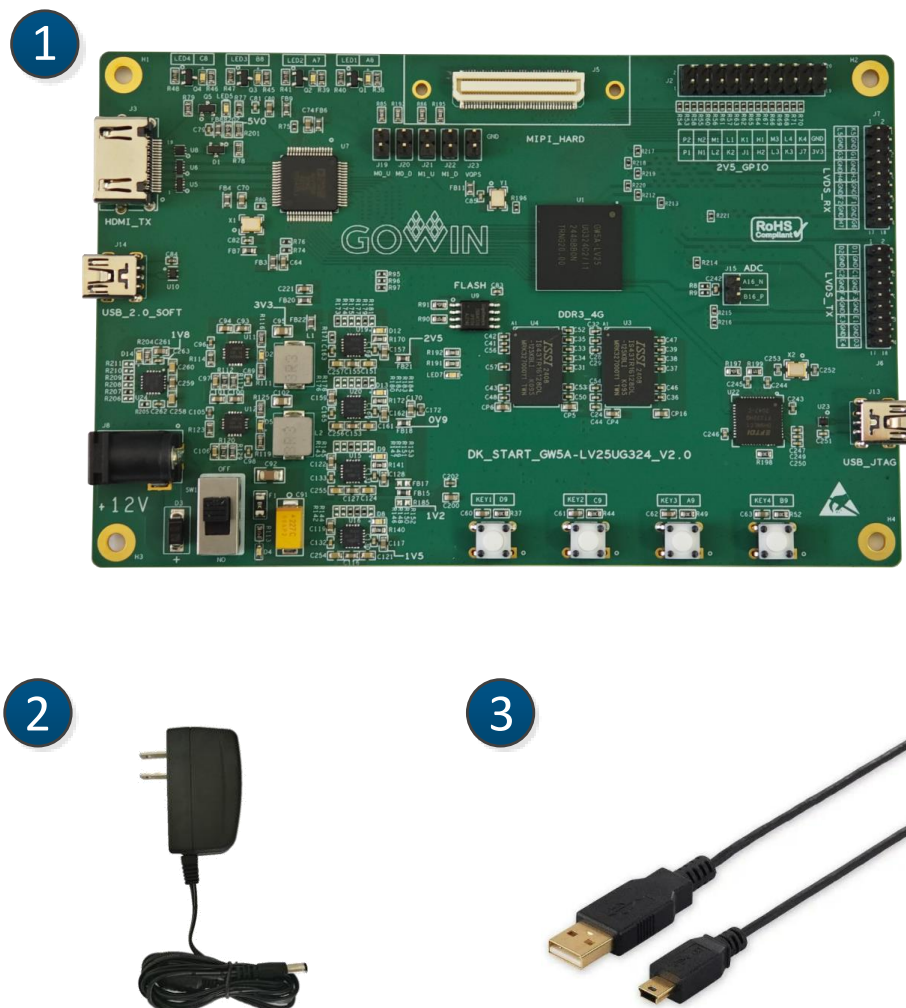
开发板采用高云的“GW5A-LV25UG324”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1103](#)、[GW5A 系列 FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括：

1. DK_START_GW5A-LV25UG324_V2.0 开发板
2. 12V 电源适配器（输入：AC 100-240V~50/60Hz 0.6A，输出：DC12V 2A）
3. Mini USB-B 下载线

图 2-2 开发板套件



- ① DK_START_GW5A-LV25UG324_V2.0 开发板
- ② 12V电源适配器
- ③ Mini USB-B下载线

2.3 PCB 组件

图 2-3 开发板 PCB 组件说明

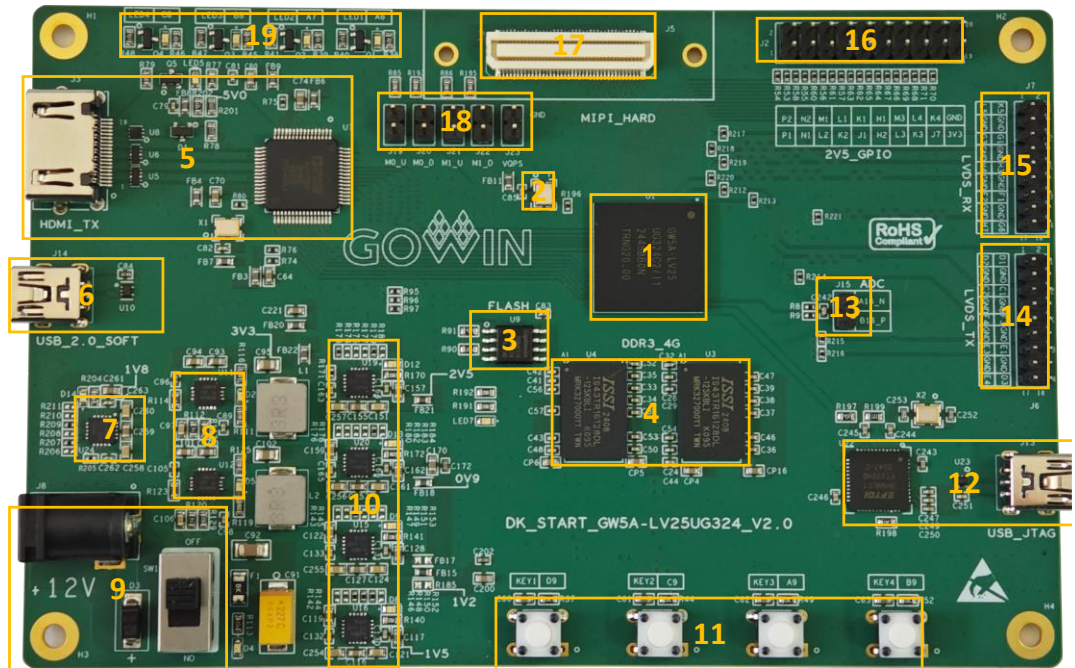


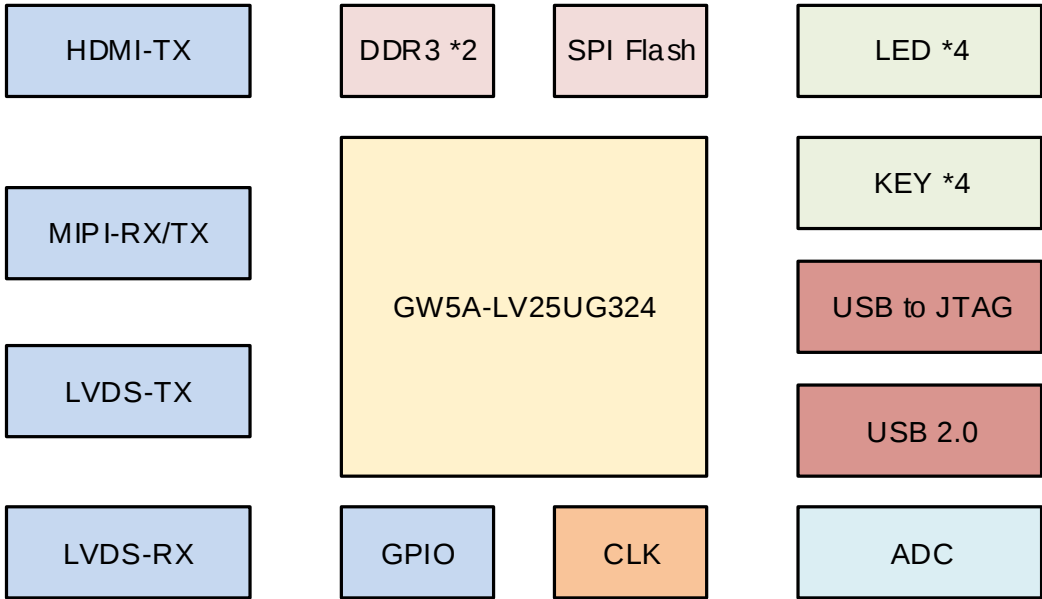
表 2-1 开发板 PCB 组件说明

编号	说明
1	GW5A-LV25UG324, FPGA
2	50M 时钟晶振
3	64Mbit SPI Flash
4	4Gbit DDR3 SDRAM
5	HDMI_TX 接口
6	USB2.0 接口
7	LDO 电源转换芯片
8	DC-DC 电源转换芯片
9	+12V 电源输入
10	LDO 电源转换芯片
11	4*SWITCH
12	Mini USB 下载口
13	ADC 模数转换输入接口
14	4 data + 1 clk, LVDS_TX 接口

编号	说明
15	4 data + 1 clk, LVDS_RX 接口
16	18*GPIO
17	MIPI_RX/TX 硬核（4 data + 1 clk）和 4 个 GPIO
18	模式选择
19	4*LED

2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

- **FPGA 器件**
 - 主芯片采用 GW5A-LV25UG324，为高云 Arora V 系列 FPGA，是高云半导体晨熙家族 5 系列产品
 - 最多用户 I/O 239 个
- **下载与启动**
 - 板上集成 USB 下载电路，通过 Mini USB-B 接口下载
 - 外部 SPI FLASH 启动
 - 加载完成后，DONE 灯亮
- **供电方式**
 - 外部 DC12V/2A 供电

- 上电后, POWER 灯亮
- 开发板产生 0.9V、1.2V、1.5V、1.8V、2.1V、2.5V、3.3V、5V 电压
- 系统时钟
 - 50MHz 时钟
- 存储器件
 - 4Gbit DDR3 SDRAM
 - 64Mbit Quad SPI Flash Memory
- LVDS 接口
 - LVDS_TX 接口, 单通道, 包括 4data+1clk
 - LVDS_RX 接口, 单通道, 包括 4data+1clk
- MIPI 接口
 - MIPI_RX/TX 硬核, 单通道, 包括 4data+1clk
 - 4*GPIO
 - 3.3V 电源供电
 - 采用 80 触点, 0.5mm 间距连接器
- ADC
 - 1 路 ADC 接口
 - 接口采用 1x2p 插针
 - ADC 差分输入设计了抗混叠滤波器
- 按键&LED
 - 4 个按键
 - 4 个 LED
- HDMI 接口
 - 1 路 HDMI-TX 接口
- USB2.0 接口
 - Mini USB-B 接口, 带静电防护
- GPIO 接口
 - 18 个 2.5V 供电的 GPIO

3 开发板电路

3.1 FPGA

概述

GW5A 系列 FPGA 产品资源信息参考 [DS1103, GW5A 系列FPGA 产品数据手册](#)。

I/O BANK 说明

GW5A 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1101, GW5A 系列FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

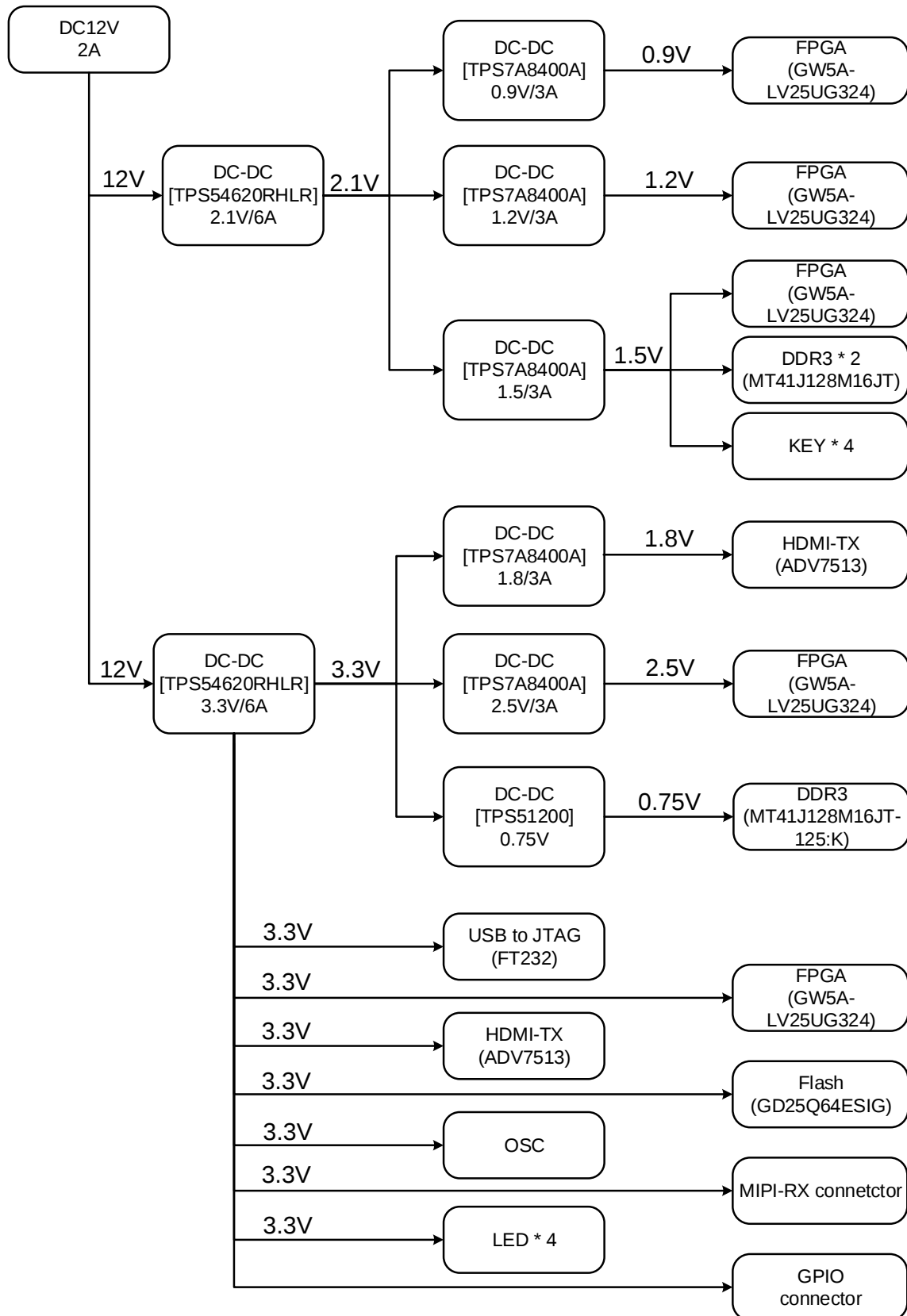
开发板需要通过 12V 电源适配器供电。

适配器的参数为输入：AC 100-240V~50/60MHz 0.6A，输出：DC12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 0.9V、1.2V、1.5V、1.8V、2.1V、2.5V、3.3V 电源，以满足开发板电源需求。

3.2.2 电源分配

图 3-1 电源分配示意图



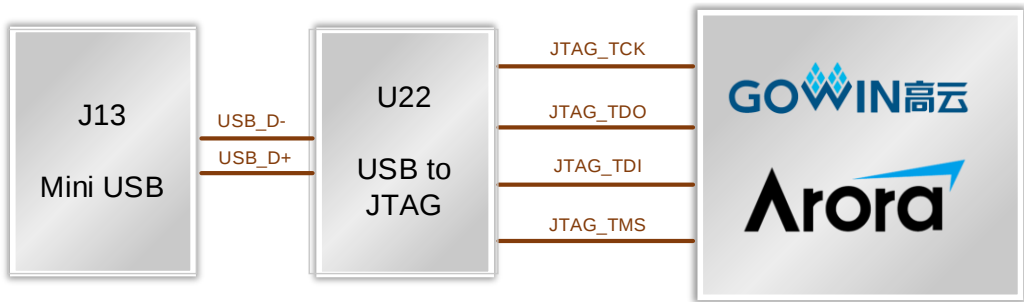
3.3 下载模块

3.3.1 介绍

DK_START_GW5A-LV25UG324_V2.0 开发板设计有 Mini USB-B 下载口（J13），可将程序烧录到外部 SPI FLASH 或下载到 SRAM 中。

下载连接示意图如图 3-2 所示。

图 3-2 下载连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
JTAG_TCK	A17	10	3.3V	JTAG 信号
JTAG_TDO	D16	10	3.3V	
JTAG_TDI	D15	10	3.3V	
JTAG_TMS	B18	10	3.3V	

表 3-2 Mini USB 接口 J13 管脚分配

J13 管脚号	信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
1	VSLA_5P0	--	--	5V	POWER
2	USB_D-	--	--	3.3V	USB-信号
3	USB_D+	--	--	3.3V	USB+信号
4	NC	--	--	--	悬空
5	GND	--	--	--	GND
6	GND	--	--	--	GND
7	GND	--	--	--	GND

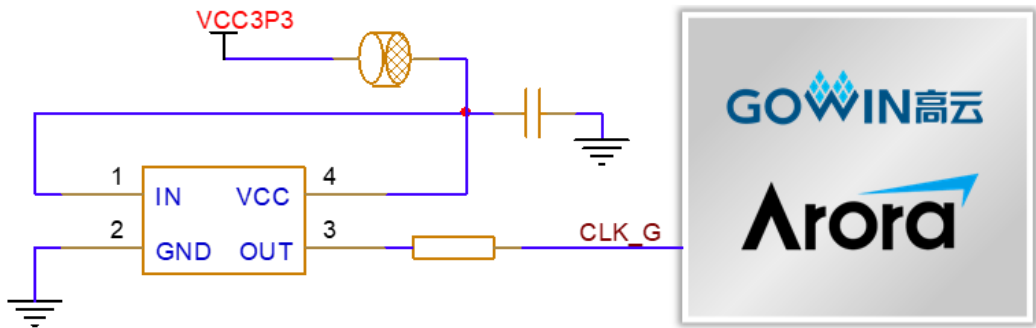
J13 管脚号	信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
8	GND	--	--	--	GND
9	GND	--	--	--	GND

3.4 时钟

3.4.1 介绍

FPGA 时钟源，50MHz 单端时钟信号引入。时钟管脚分配如表 3-3 所示。

图 3-3 时钟连接示意图



3.4.2 管脚分配

表 3-3 时钟管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
CLK_G	T9	4	3.3V	频率 50MHz

3.5 DDR3 模块

3.5.1 介绍

DK_START_GW5A-LV25UG324_V2.0 开发板上配有 2 个 2Gbit 的 DDR3 芯片。DDR3 芯片的信号连接到了 FPGA 的 BANK1、BANK2、BANK3 上。DDR3 的具体配置如表 3-4 所示。

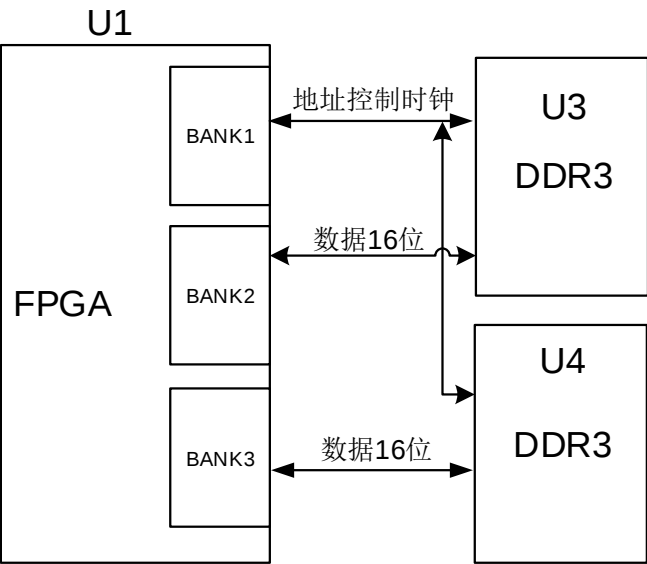
表 3-4 DDR3 配置

位号	容量
U3	128M x 16bit
U4	128M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，在电路设计和 PCB 设计时已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制等，以保证 DDR3 高速稳定的工作。

DDR3 的硬件连接示意图如图 3-4 所示。

图 3-4 DDR3 的硬件连接示意图



3.5.2 管脚分配

表 3-5 DDR3 模块管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_A0	B11	1	1.5V	地址
DDR3_A1	A10	1	1.5V	地址
DDR3_A2	C11	1	1.5V	地址
DDR3_A3	F11	1	1.5V	地址
DDR3_A4	A14	1	1.5V	地址
DDR3_A5	G11	1	1.5V	地址
DDR3_A6	C12	1	1.5V	地址
DDR3_A7	F10	1	1.5V	地址
DDR3_A8	A12	1	1.5V	地址
DDR3_A9	C10	1	1.5V	地址
DDR3_A10	F12	1	1.5V	地址
DDR3_A11	A11	1	1.5V	地址

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_A12	D12	1	1.5V	地址
DDR3_A13	G9	1	1.5V	地址
DDR3_BA0	B14	1	1.5V	Bank 地址
DDR3_BA1	E12	1	1.5V	Bank 地址
DDR3_BA2	D11	1	1.5V	Bank 地址
DDR3_CSn	E13	1	1.5V	片选通
DDR3_CASn	F13	1	1.5V	列地址选通
DDR3_CK_EN	A13	1	1.5V	时钟使能
DDR3_ODT	E11	1	1.5V	片上终端使能
DDR3_RASn	C15	1	1.5V	行地址选通
DDR3_RSTn	F9	1	1.5V	复位
DDR3_WEn	C13	1	1.5V	写使能
DDR3_CKn	C14	1	1.5V	差分时钟
DDR3_CKp	D14	1	1.5V	差分时钟
DDR3_DQ0	E18	2	1.5V	数据
DDR3_DQ1	F15	2	1.5V	数据
DDR3_DQ2	E16	2	1.5V	数据
DDR3_DQ3	F14	2	1.5V	数据
DDR3_DQ4	H13	2	1.5V	数据
DDR3_DQ5	C17	2	1.5V	数据
DDR3_DQ6	F16	2	1.5V	数据
DDR3_DQ7	C18	2	1.5V	数据
DDR3_DQ8	G16	2	1.5V	数据
DDR3_DQ9	K12	2	1.5V	数据
DDR3_DQ10	F17	2	1.5V	数据
DDR3_DQ11	L12	2	1.5V	数据
DDR3_DQ12	G18	2	1.5V	数据
DDR3_DQ13	L13	2	1.5V	数据
DDR3_DQ14	F18	2	1.5V	数据
DDR3_DQ15	K13	2	1.5V	数据

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
DDR3_LDM	G14	2	1.5V	数据输入屏蔽
DDR3_UDM	H15	2	1.5V	数据输入屏蔽
DDR3_LDQSp	D17	2	1.5V	数据时钟
DDR3_LDQSn	D18	2	1.5V	数据时钟
DDR3_UDQSp	J13	2	1.5V	数据时钟
DDR3_UDQSn	K14	2	1.5V	数据时钟
DDR3_DQ16	L18	3	1.5V	数据
DDR3_DQ17	L15	3	1.5V	数据
DDR3_DQ18	M18	3	1.5V	数据
DDR3_DQ19	J16	3	1.5V	数据
DDR3_DQ20	L17	3	1.5V	数据
DDR3_DQ21	H18	3	1.5V	数据
DDR3_DQ22	M16	3	1.5V	数据
DDR3_DQ23	H17	3	1.5V	数据
DDR3_DQ24	P17	3	1.5V	数据
DDR3_DQ25	T17	3	1.5V	数据
DDR3_DQ26	N17	3	1.5V	数据
DDR3_DQ27	N14	3	1.5V	数据
DDR3_DQ28	P18	3	1.5V	数据
DDR3_DQ29	U17	3	1.5V	数据
DDR3_DQ30	N18	3	1.5V	数据
DDR3_DQ31	U18	3	1.5V	数据
DDR3_LDM_1	L16	3	1.5V	数据输入屏蔽
DDR3_UDM_1	T18	3	1.5V	数据输入屏蔽
DDR3_LDQSp_1	K17	3	1.5V	数据时钟
DDR3_LDQSn_1	K18	3	1.5V	数据时钟
DDR3_UDQSp_1	N15	3	1.5V	数据时钟
DDR3_UDQSn_1	N16	3	1.5V	数据时钟

3.6 SPI Flash

3.6.1 介绍

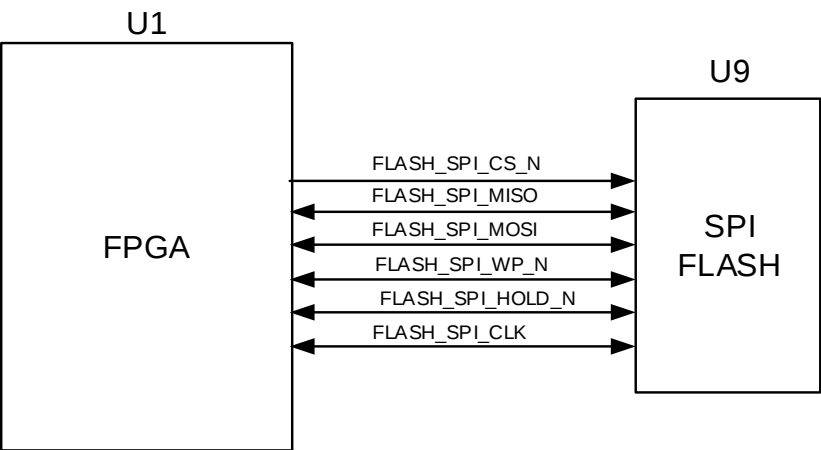
DK_START_GW5A-LV25UG324_V2.0 开发板配有一个 SPI FLASH 存储芯片，存储容量为 64Mbit。我们将 FPGA 程序烧录在 SPI FLASH 中，上电后 FPGA 芯片会通过 MSPI 接口加载 SPI FLASH 中的程序。SPI FLASH 的具体配置如表 3-6 所示。

表 3-6 SPI FLASH 的具体配置

位号	容量
U9	64M Bit

SPI FLASH 连接到 FPGA 芯片的 BANK4 专用管脚上。图 3-5 为 SPI Flash 的硬件连接示意图。

图 3-5 SPI Flash 的硬件连接示意图



3.6.2 管脚分配

表 3-7 FLASH 各引脚分配

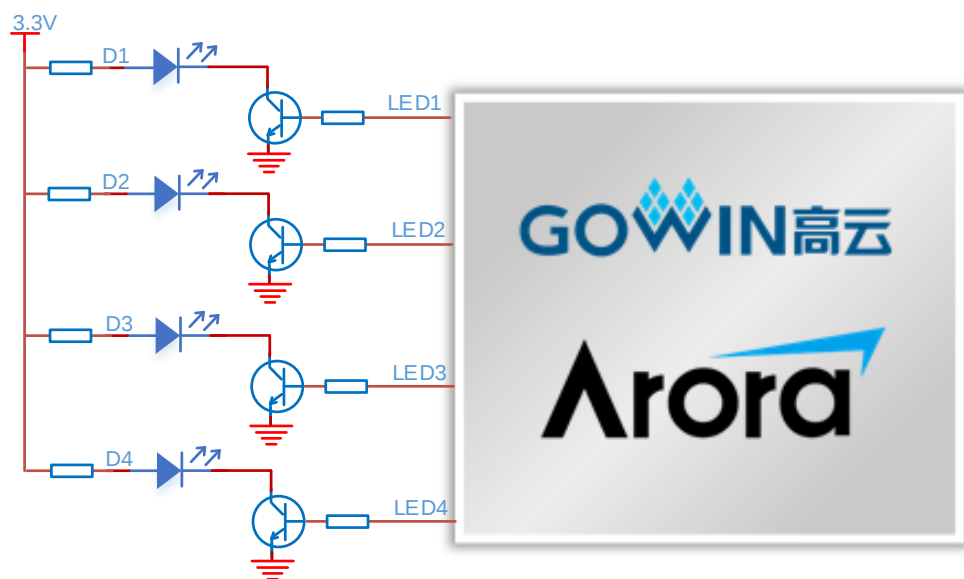
信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
FLASH_SPI_CLK	R15	4	3.3V	时钟信号
FLASH_SPI_CS_N	V3	4	3.3V	片选信号
FLASH_SPI_MISO	R13	4	3.3V	串行数据输入
FLASH_SPI_MOSI	T13	4	3.3V	串行数据输出
FLASH_SPI_WP_N	T14	4	3.3V	写保护信号
FLASH_SPI_HOLD_N	V14	4	3.3V	时钟锁定

3.7 LED 灯、按键

3.7.1 介绍

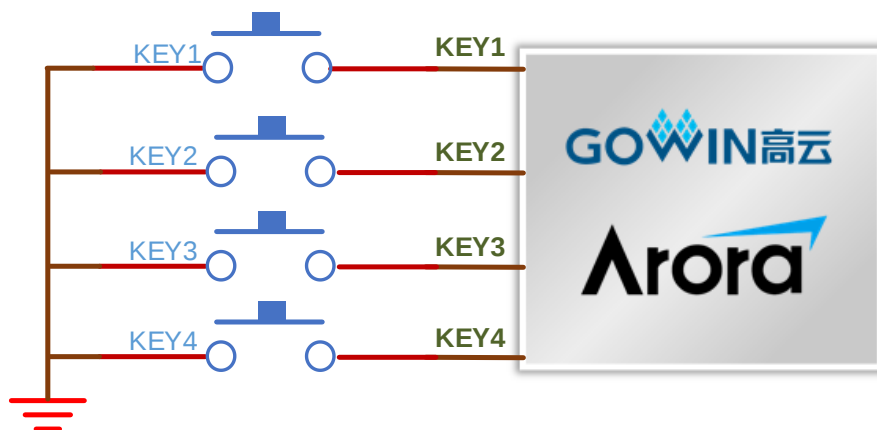
DK_START_GW5A-LV25UG324_V2.0 开发板共有 4 个用户 LED, 连接 FPGA BANK0 的 IO, 可以通过程序来控制亮和灭, 当对应 IO 电压为高时, 用户 LED 点亮, 当连接 IO 电压为低时, 用户 LED 熄灭。连接示意图如图 3-6 所示。

图 3-6 LED 指示灯连接示意图



开发板上有 4 个用户按键, 分别连接 FPGA BANK0 的普通的 IO。当按键按下, FPGA 的对应 IO 输入电压为低, 当没有按键按下时, FPGA 的对应 IO 输入电压为高。按键电路配有硬件消抖功能。连接示意图如图 3-7 所示。

图 3-7 按键连接示意图



3.7.2 管脚分配

表 3-8 LED 灯管脚分配

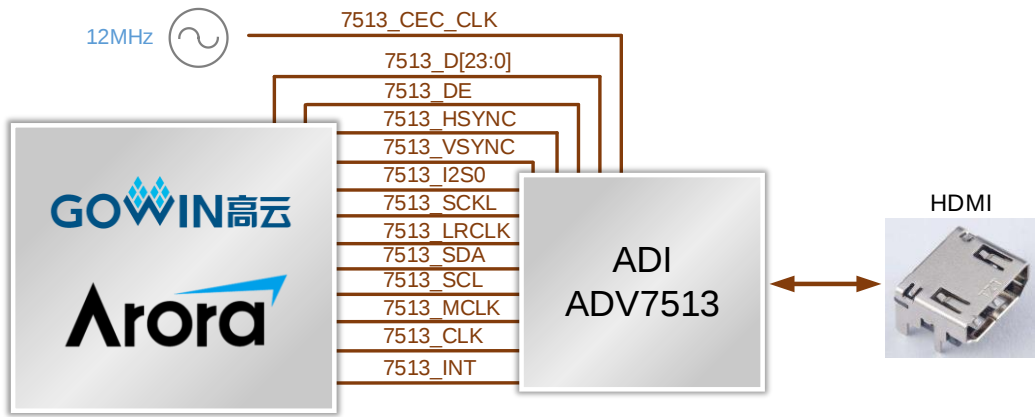
信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
LED1	A8	0	1.5V	LED
LED2	A7	0	1.5V	LED
LED3	B8	0	1.5V	LED
LED4	C8	0	1.5V	LED
KEY1	D9	0	1.5V	按键
KEY2	C9	0	1.5V	按键
KEY3	A9	0	1.5V	按键
KEY4	B9	0	1.5V	按键

3.8 HDMI_TX 接口

3.8.1 介绍

DK_START_GW5A-LV25UG324_V2.0 开发板上 HDMI_TX 接口采用 ADI 的 ADV7513BSWZ 编码芯片，连接示意图如图 3-8 所示。

图 3-8 FPGA 与 HDMI 接口连接示意图



3.8.2 管脚分配

表 3-9 HDMI_TX 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_CLK	V8	5	3.3V	RGB 数据行锁定输出时钟
7513_D0	P6	5	3.3V	RGB 数据信号
7513_D1	P7	5	3.3V	RGB 数据信号
7513_D2	M8	5	3.3V	RGB 数据信号
7513_D3	U5	5	3.3V	RGB 数据信号
7513_D4	V5	5	3.3V	RGB 数据信号
7513_D5	V6	5	3.3V	RGB 数据信号
7513_D6	U7	5	3.3V	RGB 数据信号
7513_D7	V7	5	3.3V	RGB 数据信号
7513_D8	U8	5	3.3V	RGB 数据信号
7513_D9	T6	5	3.3V	RGB 数据信号
7513_D10	R7	5	3.3V	RGB 数据信号
7513_D11	T7	5	3.3V	RGB 数据信号
7513_D12	P8	5	3.3V	RGB 数据信号
7513_D13	N8	5	3.3V	RGB 数据信号
7513_D14	N9	5	3.3V	RGB 数据信号
7513_D15	M10	5	3.3V	RGB 数据信号
7513_D16	M11	4	3.3V	RGB 数据信号
7513_D17	V12	4	3.3V	RGB 数据信号
7513_D18	V13	4	3.3V	RGB 数据信号
7513_D19	U13	4	3.3V	RGB 数据信号
7513_D20	V15	4	3.3V	RGB 数据信号
7513_D21	U15	4	3.3V	RGB 数据信号
7513_D22	V16	4	3.3V	RGB 数据信号
7513_D23	U16	4	3.3V	RGB 数据信号
7513_VSYNC	T5	5	3.3V	垂直同步输出信号
7513_HSYNC	N5	5	3.3V	水平同步输出信号

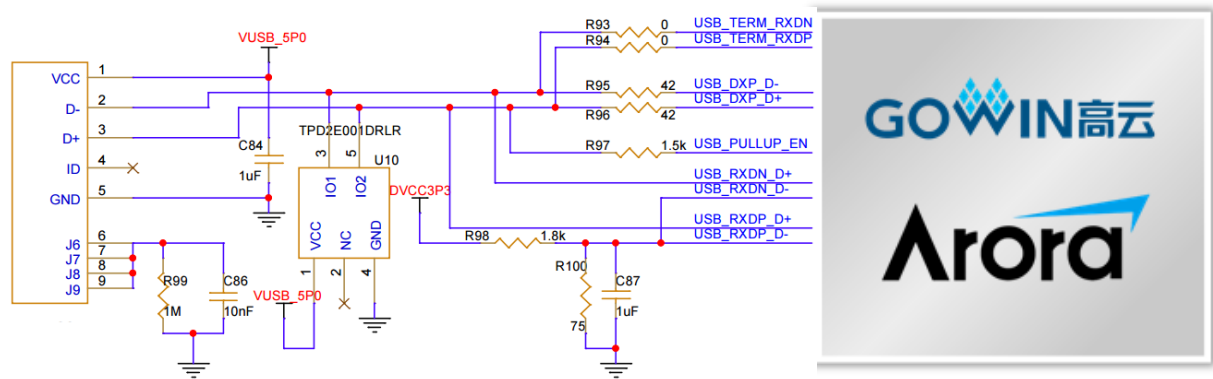
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_DE	N6	5	3.3V	RGB 数据使能
7513_SCLK	T3	5	3.3V	音频串行时钟
7513_LRCLK	R3	5	3.3V	音频左右时钟
7513_MCLK	R5	5	3.3V	音频主时钟
7513_IIS0	T4	5	3.3V	音频输出引脚
7513_SCL	R11	4	3.3V	I2C 串行接口时钟
7513_SDA	N11	4	3.3V	I2C 串行接口数据
7513_INT	T11	4	3.3V	中断信号

3.9 USB2.0 接口

3.9.1 介绍

DK_START_GW5A-LV25UG324_V2.0 开发板通过采用 Mini USB-B 连接器实现 USB2.0 接口，设计有 ESD 保护电路，用于 FPGA 与外部通信。

图 3-9 USB2.0 原理图连接示意图



3.9.2 管脚分配

表 3-10 USB2.0 接口管脚分配

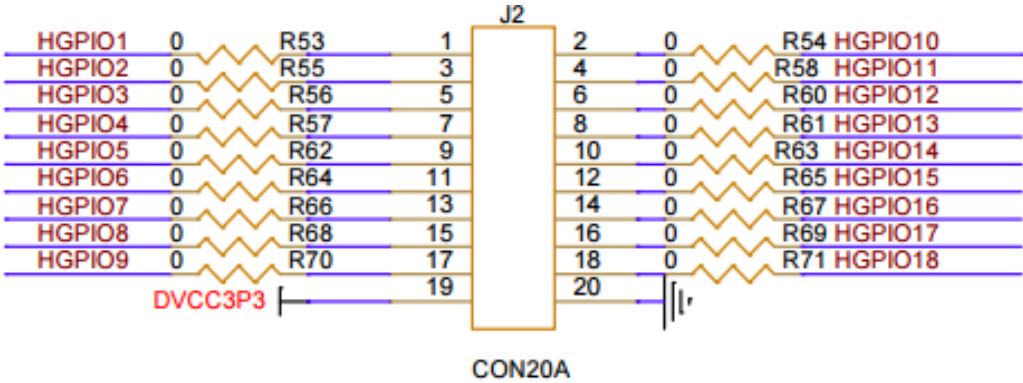
信号名称	FPGA (U1)管脚号	BANK	IO 电平	描述
USB_TERM_RX DN	P11	4	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_TERM_RX DP	N10	4	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_DXP_D-	V10	4	3.3V	USB 高速时数据管脚
USB_DXP_D+	U10	4	3.3V	USB 高速时数据管脚
USB_PULLUP_EN	T12	4	3.3V	上拉
USB_RXDN_D+	R10	4	3.3V	USB-信号
USB_RXDN_D-	T10	4	3.3V	USB+端参考信号
USB_RXDP_D+	U11	4	3.3V	USB+信号
USB_RXDP_D-	V11	4	3.3V	USB-端参考信号

3.10 GPIO

3.10.1 介绍

DK_START_GW5A-LV25UG324_V2.0 开发板上通过 2.54mm 间距双列排针引出 18 个 2.5V 电平标准的 GPIO。

图 3-10 GPIO 原理图连接示意图



3.10.2 管脚分配

表 3-11 GPIO 管脚分配

信号名称	FPGA (U1)管脚号	BANK	IO 电平
HGPIO1	P1	6	2.5V
HGPIO2	N1	6	2.5V
HGPIO3	L2	6	2.5V
HGPIO4	K2	6	2.5V
HGPIO5	J1	6	2.5V
HGPIO6	H2	6	2.5V
HGPIO7	L3	6	2.5V
HGPIO8	K3	6	2.5V
HGPIO9	J7	7	2.5V
HGPIO10	P2	6	2.5V
HGPIO11	N2	6	2.5V
HGPIO12	M1	6	2.5V
HGPIO13	L1	6	2.5V
HGPIO14	K1	6	2.5V
HGPIO15	H1	6	2.5V
HGPIO16	M3	6	2.5V
HGPIO17	L4	6	2.5V
HGPIO18	K4	6	2.5V

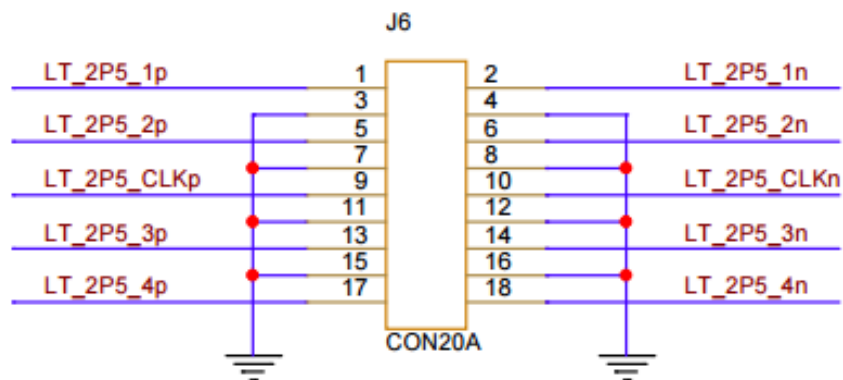
3.11 LVDS 接口

3.11.1 介绍

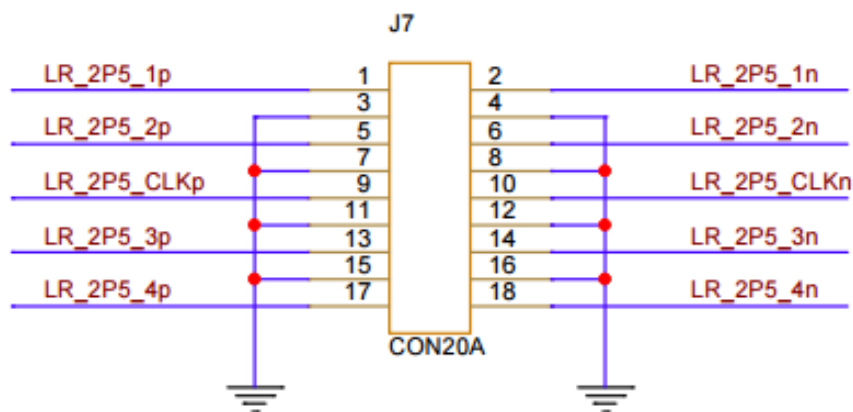
DK_START_GW5A-LV25UG324_V2.0 开发板配有 LVDS 收发两部分接口，连接器形式均为 2x9P 的 2.0mm 间距排针，LVDS_TX 包含：4 data + 1 clk；LVDS_RX 包含：4 data + 1 clk。

图 3-11 LVDS 接口原理图连接示意图

LVDS_TX:



LVDS_RX:



3.11.2 管脚分配

表 3-12 LVD_TX 接口管脚分配

信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
LT_2P5_1p	D2	7	2.5V	LVDS 数据
LT_2P5_1n	D1	7	2.5V	LVDS 数据
LT_2P5_2p	C2	7	2.5V	LVDS 数据
LT_2P5_2n	C1	7	2.5V	LVDS 数据
LT_2P5_CLKp	F4	7	2.5V	LVDS 时钟
LT_2P5_CLKn	F3	7	2.5V	LVDS 时钟
LT_2P5_3p	E3	7	2.5V	LVDS 数据
LT_2P5_3n	E1	7	2.5V	LVDS 数据
LT_2P5_4p	E4	7	2.5V	LVDS 数据
LT_2P5_4n	D3	7	2.5V	LVDS 数据

表 3-13 LVD_RX 接口管脚分配

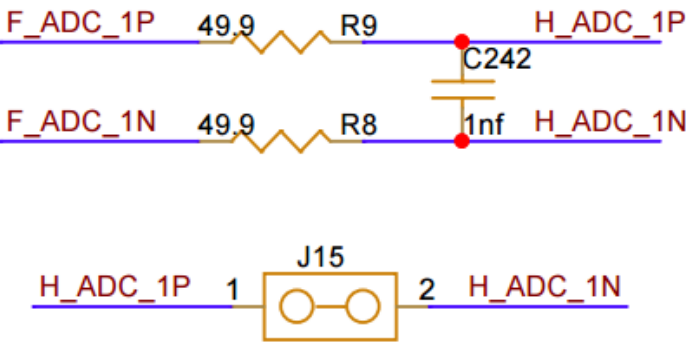
信号名称	FPGA (U1)管脚号	BANK	I/O 电平	描述
LR_2P5_1p	L5	7	2.5V	LVDS 数据
LR_2P5_1n	K5	7	2.5V	LVDS 数据
LR_2P5_2p	G3	7	2.5V	LVDS 数据
LR_2P5_2n	G1	7	2.5V	LVDS 数据
LR_2P5_CLKp	H4	7	2.5V	LVDS 时钟
LR_2P5_CLKn	H3	7	2.5V	LVDS 时钟
LR_2P5_3p	F2	7	2.5V	LVDS 数据
LR_2P5_3n	F1	7	2.5V	LVDS 数据
LR_2P5_4p	H7	7	2.5V	LVDS 数据
LR_2P5_4n	G6	7	2.5V	LVDS 数据

3.12 ADC 接口

3.12.1 介绍

DK_START_GW5A-LV25UG324_V2.0 开发板上设计了 ADC 信号输入接口，连接器使用的是 1x2P 的 2.54mm 间距排针。图 3-12 为 ADC 原理图连接示意图和抗混叠滤波电路。

图 3-12 ADC 原理图



3.12.2 管脚分配

表 3-14 ADC 信号输入管脚分配

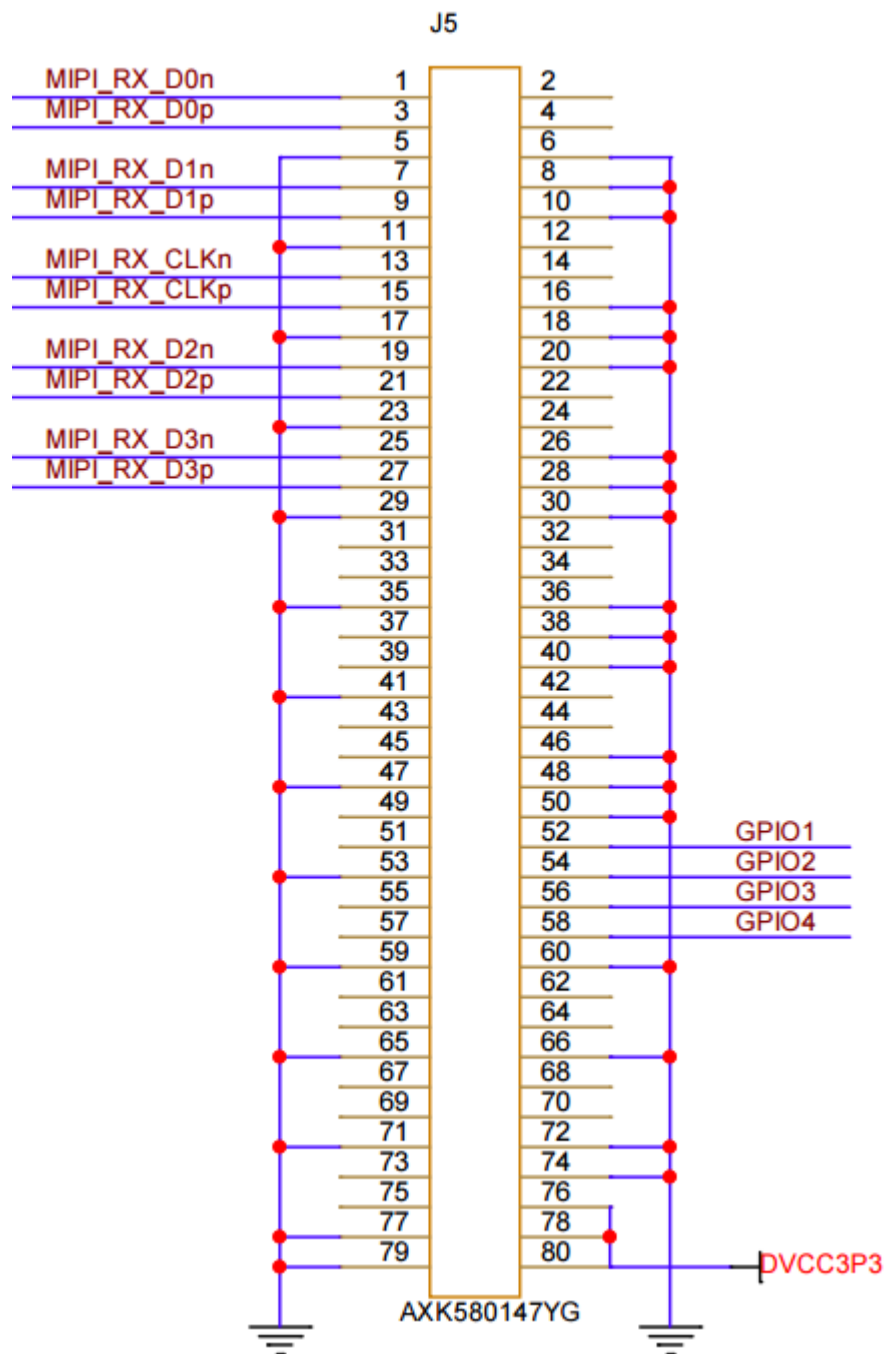
信号名称	FPGA (U1)管脚号	BANK	IO 电平	描述
H_ADC_1P	B16	1	1.5V	模拟信号输入
H_ADC_1N	A16	1	1.5V	模拟信号输入

3.13 MIPI

3.13.1 介绍

开发板上的 MIPI 接口采用 AXK580147YG 连接器，此连接器 80pin、0.5mm 间距。从 FPGA 引出 MIPI_RX/TX 硬核信号（4 data + 1 clk）和 4 个 GPIO。另外该连接器可以提供 3.3V 供电。原理图电路如图 3-13 所示。

图 3-13 MIPI 接口原理图电路



3.13.2 管脚分配

表 3-15 MIPI 接口管脚分配

信号名称	FPGA（U1）管脚号	BANK	I/O 电平	描述
MIPI_RX_D0n	T1	MIPI	-	MIPI 数据信号
MIPI_RX_D0p	T2	MIPI	-	MIPI 数据信号
MIPI_RX_D1n	U1	MIPI	-	MIPI 数据信号
MIPI_RX_D1p	U2	MIPI	-	MIPI 数据信号
MIPI_RX_CLKn	M5	MIPI	-	MIPI 时钟信号
MIPI_RX_CLKp	L6	MIPI	-	MIPI 时钟信号
MIPI_RX_D2n	N3	MIPI	-	MIPI 数据信号
MIPI_RX_D2p	N4	MIPI	-	MIPI 数据信号
MIPI_RX_D3n	P3	MIPI	-	MIPI 数据信号
MIPI_RX_D3p	P4	MIPI	-	MIPI 数据信号
GPIO1	F6	7	2.5V	GPIO
GPIO2	J6	7	2.5V	GPIO
GPIO3	K6	7	2.5V	GPIO
GPIO4	L7	7	2.5V	GPIO

