

Preliminary



# GW5AR 系列 FPGA 产品 数据手册

DS1108-1.0, 2023-12-08

# Preliminary

版权所有 © 2023 广东高云半导体科技股份有限公司

**GOWIN**高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

# Preliminary

## 版本信息

日期	版本	说明
2023/12/08	1.0	Preliminary 版本。

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>v</b>
表目录 .....	<b>vi</b>
<b>1 产品概述 .....</b>	<b>1</b>
1.1 特性概述 .....	1
1.2 产品信息列表 .....	3
<b>2 结构介绍 .....</b>	<b>4</b>
2.1 结构框图 .....	4
2.2 PSRAM .....	5
2.3 可配置功能单元 .....	6
2.4 输入输出模块 .....	7
2.4.1 I/O 电平标准 .....	7
2.4.2 I/O 逻辑 .....	12
2.4.3 I/O 逻辑工作模式 .....	14
2.5 块状静态随机存储器模块 .....	14
2.5.1 简介 .....	14
2.5.2 存储器配置模式 .....	15
2.5.3 存储器数据宽度配置 .....	17
2.5.4 字节使能功能配置 .....	17
2.5.5 同步操作 .....	17
2.5.6 BSRAM 操作模式 .....	18
2.5.7 时钟模式 .....	19
2.6 数字信号处理模块 .....	20
2.6.1 预加器 .....	21
2.6.2 乘法器 .....	21
2.6.3 算术逻辑单元 .....	21
2.6.4 操作模式 .....	21
2.7 MIPI D-PHY .....	22
2.8 ADC .....	22

2.9 时钟 .....	23
2.9.1 全局时钟 .....	23
2.9.2 高速时钟 .....	23
2.9.3 锁相环 .....	24
2.9.4 DDR 存储器接口时钟管理 DQS .....	25
2.9.5 长线 .....	25
2.10 全局复位 .....	26
2.11 编程配置 .....	26
2.12 片内时钟振荡器 .....	27
<b>3 电气特性 .....</b>	<b>28</b>
3.1 工作条件 .....	28
3.1.1 绝对最大范围 .....	28
3.1.2 推荐工作范围 .....	28
3.1.3 电源上升斜率 .....	29
3.1.4 热插拔特性 .....	29
3.1.5 POR 特性 .....	29
3.2 ESD 性能 .....	29
3.3 DC 电气特性 .....	30
3.3.1 推荐工作范围的 DC 电气特性 .....	30
3.3.2 静态电流 .....	31
3.3.3 I/O 推荐工作条件 .....	31
3.3.4 单端 I/O DC 电气特性 .....	32
3.3.5 差分 I/O DC 电气特性 .....	33
3.4 AC 开关特性 .....	35
3.4.1 CFU 开关特性 .....	35
3.4.2 BSRAM 开关特性 .....	35
3.4.3 DSP 开关特性 .....	35
3.4.4 时钟和 I/O 开关特性 .....	35
3.4.5 片内时钟振荡器开关特性 .....	36
3.4.6 PLL 开关特性 .....	36
3.5 编程接口时序标准 .....	36
<b>4 器件订货信息 .....</b>	<b>37</b>
4.1 器件命名 .....	37
4.2 器件封装标识示例 .....	38
<b>5 关于本手册 .....</b>	<b>39</b>
5.1 手册内容 .....	39

5.2 相关文档.....	39
5.3 术语、缩略语 .....	39
5.4 技术支持与反馈.....	41



## 图目录

图 2-1 结构概念示意图 .....	4
图 2-2 CFU 结构示意图 .....	6
图 2-3 IOB 结构示意图 .....	7
图 2-4 GW5AR-25 的 GPIO Bank 分布示意图 .....	8
图 2-5 I/O 逻辑输出示意图 .....	12
图 2-6 I/O 逻辑输入示意图 .....	13
图 2-7 IODELAY 示意图 .....	13
图 2-8 GW5AR 的 I/O 寄存器示意图 .....	14
图 2-9 单端口、伪双端口及双端口模式下的流水线模式 .....	18
图 2-10 独立时钟模式 .....	19
图 2-11 读写时钟模式 .....	20
图 2-12 单端口时钟模式 .....	20
图 2-13 GW5AR-25 系列时钟资源 .....	23
图 2-14 GW5AR-25 HCLK 示意图 .....	24
图 4-1 器件命名方法示例-ES .....	37
图 4-2 器件命名方法示例-Production .....	37
图 4-3 器件封装标识示例 .....	38



## 表目录

表 1-1 产品信息列表 .....	3
表 1-2 GW5AR 系列 FPGA 产品封装信息 .....	3
表 2-1 GW5AR-25 支持的输出 I/O 类型及部分可选配置 .....	8
表 2-2 GW5AR-25 支持的输入 I/O 类型及部分可选配置 .....	10
表 2-3 GW5AR 系列 FPGA 产品支持的串行/解串比率模式 .....	14
表 2-4 存储器配置列表 .....	15
表 2-5 双端口模式读写数据宽度配置列表 .....	17
表 2-6 伪双端口模式读写数据宽度配置列表 .....	17
表 2-7 时钟模式配置列表 .....	19
表 3-1 绝对最大范围 .....	28
表 3-2 推荐工作范围 .....	28
表 3-3 电源上升斜率 .....	29
表 3-4 热插拔特性 .....	29
表 3-5 POR 电压参数 .....	29
表 3-6 GW5AR ESD - HBM .....	29
表 3-7 GW5AR ESD - CDM .....	30
表 3-8 推荐工作范围内的 DC 电气特性 .....	30
表 3-9 静态电流 .....	31
表 3-10 I/O 推荐工作条件 .....	31
表 3-11 单端 I/O DC 电气特性 .....	32
表 3-12 差分 I/O DC 电气特性 .....	33
表 3-13 CFU 时序参数 .....	35
表 3-14 BSRAM 时序参数 .....	35
表 3-15 DSP 时序参数 .....	35
表 3-16 外部开关特性 .....	35
表 3-17 片内时钟振荡器开关特性 .....	36
表 3-18 PLL 开关特性 .....	36
表 5-1 术语、缩略语 .....	39

# 1 产品概述

高云半导体 GW5AR 系列 FPGA 产品是高云半导体晨熙®家族第五代产品，是一款系统级封装芯片，在 GW5A 基础上集成了 PSRAM 存储芯片，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW5AR 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

## 1.1 特性概述

- 低功耗
  - 22nm SRAM 工艺
  - LV 版本核电压：0.9V/1.0V
  - 支持时钟动态打开/关闭
- 丰富的基本逻辑单元
  - GW5AR-25 具有 23K 4 输入 LUT(LUT4)
  - 支持分布式存储器
- 支持多种模式的块状静态随机存储器
  - 支持双端口、单端口、伪双端口及只读模式
  - 支持字节写使能
- 集成 PSRAM 存储芯片
- 支持 MIPI D-PHY RX/TX 硬核
  - 支持 MIPI DSI 和 MIPI CSI-2 RX/TX 器件接口
- MIPI 传输速率单通道可达 2.5Gbps(RX/TX)
  - 支持最多 4 个数据通道和 1 个时钟通道
- GPIO 支持 D-PHY RX/TX
  - GPIO 可配置为 MIPI DSI 和 MIPI CSI-2 RX/TX 器件接口
  - MIPI 传输速率单通道可达 1.2Gbps
- 全新架构高性能 DSP 模块
  - 高性能数字信号处理能力
  - 支持 27 x 18、12 x 12 及 27 x 36 位的乘法运算和 48 位累加器
  - 支持多个乘法器级联
  - 支持寄存器流水线和旁路功能
  - 前加运算实现滤波器功能
  - 支持桶形移位寄存器

- 集成全新灵活的多通道过采样 ADC，精度高、不需要外部提供电压源
  - 60dB SNR
  - 1kHz Signal Bandwidth
- 支持多种 SDRAM 接口，最高支持 DDR3 1066 Mbps
- 支持多种 I/O 电平标准
  - 提供输入信号去迟滞选项
  - 支持 2mA、4mA、6mA、8mA、12mA、16mA 等驱动能力
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
- 16 个全局时钟、6 个高性能 PLL、16 个高速时钟
- 编程配置特性
  - 支持 JTAG 配置模式
  - 支持 4 种 GowinConfig 配置模式：SSPI、MSPI、CPU、SERIAL
  - 支持 JTAG、SSPI 模式直接编程 SPI Flash，其他模式可以通过 IP 的方式编程 SPI Flash
  - 支持背景升级
  - 支持比特流文件加密和安全位设置
  - 支持配置内存软错误恢复 (CMSER)，包含 Basic 模式和 Advanced 模式
  - 支持 mDRP
  - 支持 OTP，每个器件有唯一的 64 位 DNA 标识

## 1.2 产品信息列表

表 1-1 产品信息列表

器件	GW5AR-25
逻辑单元(LUT4)	23040
寄存器(REG)	23040
分布式静态随机存储器 SSRAM(Kb)	180
块状静态随机存储器 BSRAM(Kb)	1008
块状静态随机存储器数目 BSRAM(个)	56
PSRAM(颗)	2
单颗 PSRAM(bits)	8M x 8bits
DSP (27-bit x 18-bit)	28
最多锁相环 <sup>[1]</sup> (PLLs)	6
全局时钟	16
高速时钟	16
LVDS Gbps	1.25
DDR3 Mbps	1066
MIPI DPHY 硬核	2.5Gbps (RX/TX), 4 数据通道 1 时钟通道
ADC	1
GPIO Bank 数	8 <sup>[2]</sup>
最大 GPIO 数	239
核电压	0.9V/1.0V

**注!**

- [1]不同封装支持的锁相环数量不同，此处为最大值。
- [2]除 GPIO Bank 外，还包含一个 JTAG Bank，含 4 个 I/O，一个 Config Bank，含 1 个 I/O。

表 1-2 GW5AR 系列 FPGA 产品封装信息

封装	间距(mm)	尺寸(mm)	GW5AR-25	
			I/O (True LVDS Pair)	MIPI D-PHY 硬核
UG256P	0.8	14x14	178 (86)	RX/TX，可配置 4 数据通道 1 时钟通道

**注!**

文档中 GW5AR 系列 FPGA 产品封装命名采用缩写的方式，请参考 [4.1 器件命名](#)。

# 2 结构介绍

## 2.1 结构框图

图 2-1 结构概念示意图

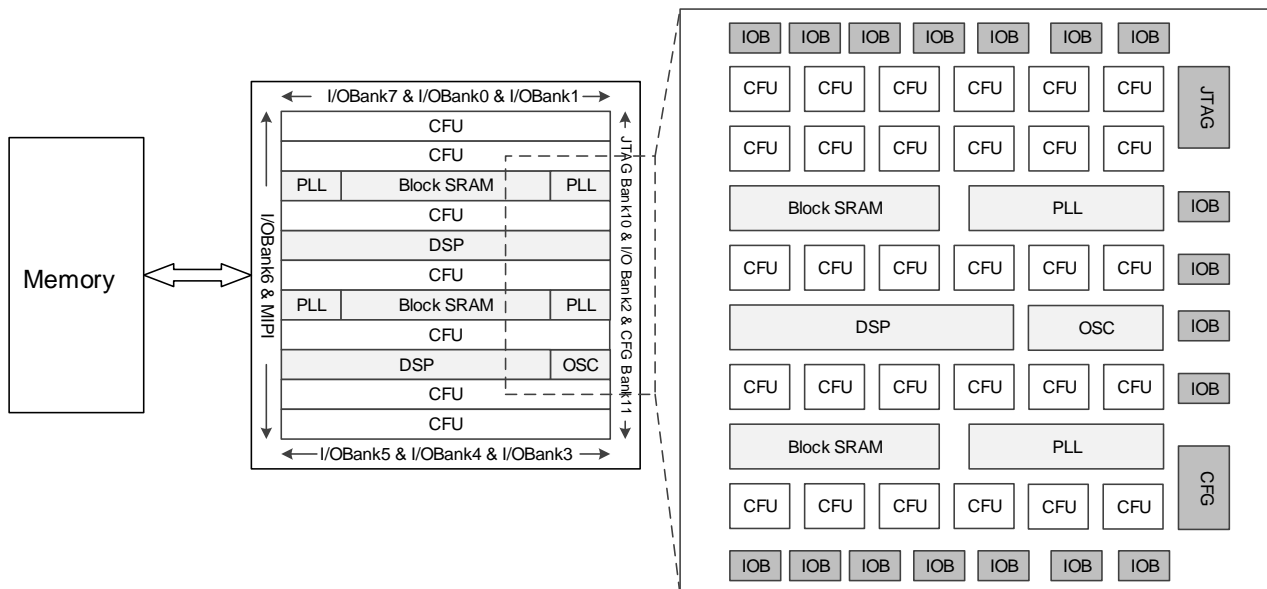


图 2-1 为 GW5AR 系列 FPGA 产品 GW5AR-25 结构示意图。GW5AR 为系统级封装芯片（SIP），集成了高云半导体 GW5A 系列 FPGA 产品及 PSRAM 芯片。关于 Memory 芯片相关特性请参见 [2.2 PSRAM](#)。GW5AR-25 器件内部资源数量详细资料请参考表 1-1。器件内部是一个逻辑单元阵列，外围是输入输出模块（IOB），器件内嵌了块状静态随机存储器

（BSRAM）模块、数字信号处理模块 DSP、MIPI D-PHY、ADC、PLL 资源和片内时钟振荡器。

GW5AR 系列 FPGA 产品基本的组成部分为可配置功能单元（CFU，Configurable Function Unit）。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元（CFU）可以配置成查找表（LUT4）模式、算术逻辑模式和存储器模式。详细资料请参考 [2.3](#) 可配置功能单元。

GW5AR 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式、通用 DDR 模式和 DDR\_MEM 模式。详细资料请参考 [2.4 输入输出模块](#)。

GW5AR 系列 FPGA 产品的块状静态随机存储器（BSRAM）在器件内部按照行排列。一个 BSRAM 的容量最大为 18Kbits。支持多种配置模式和操作模式。详细资料请参考 [2.5 块状静态随机存储器模块](#)。

GW5AR 系列 FPGA 产品中内嵌了全新的数字信号处理模块 DSP，可满足用户的高性能数字信号处理需求，详细资料请参考 [2.6 数字信号处理模块](#)。

GW5AR 系列 FPGA 产品包含硬核 MIPI D-PHY，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2，详细资料请参考 [2.7 MIPI D-PHY](#)。

GW5AR 系列 FPGA 产品集成了一个全新灵活的过采样 ADC，详细资料请参考 [2.8 ADC](#)。

GW5AR 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内时钟振荡器，支持 1.67MHz 到 105MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内时钟振荡器提供可编程的用户时钟，详细资料请参考 [2.12 片内时钟振荡器](#)。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元（CFU）和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW5AR 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料行参考 [2.10 全局复置位](#)、[2.11 编程配置](#)。

## 2.2 PSRAM

### 特性

- 单颗 64Mb 存储空间
- 读取延迟 (RL): 24/20/16/13/9
- 写入延迟 (WL): 12/10/6/5/5
- CLK 频率 (MHz): 667/533/400/333/200
- 1.7V 至 1.95V 供电电压<sup>[1]</sup>
- 自动温度补偿自刷新(ATCSR)
- 刷新: 自动刷新、自刷新模式、超低功耗半休眠模式（保留数据）
- 支持 ZQ 校准
- 双数据速率架构: 每个时钟周期两次数据传输

- 通过 8n prefetch 架构实现高速数据传输
- 可变突发长度：最长 2048 bytes
  - 写操作：最少 8 bytes
  - 读操作：最少 2 bytes

注！

[1]详细器件供电请参考 [UG1110, GW5AR-25 器件 Pinout 手册](#)。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 PSRAM 控制器的 IP，使用控制器的 IP 可以自动完成 PSRAM 上电初始化，读校准等操作，详细信息请参考 [IPUG767, Gowin UHS PSRAM Memory Interface & 2CH IP 用户指南](#)。

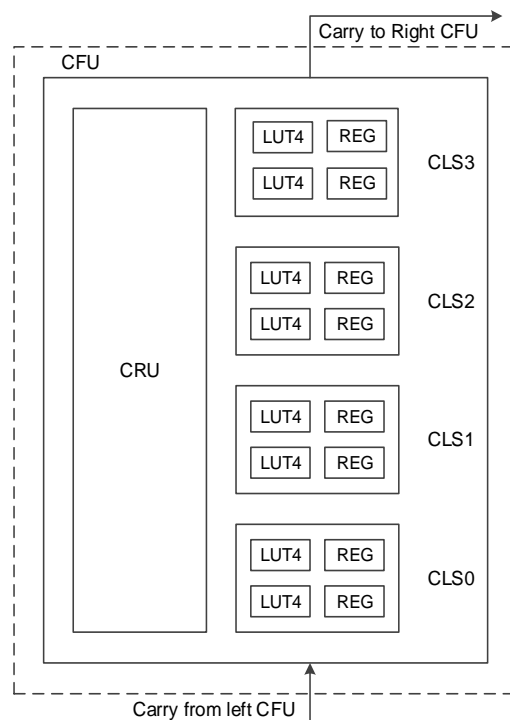
## 2.3 可配置功能单元

可配置功能单元(CFU)是构成高云半导体 FPGA 产品内核的基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中每个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，如图 2-2 所示。

CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU 的更多详细信息，请参考 [UG303, Arora V 可配置功能单元 \(CFU\) 用户指南](#)。

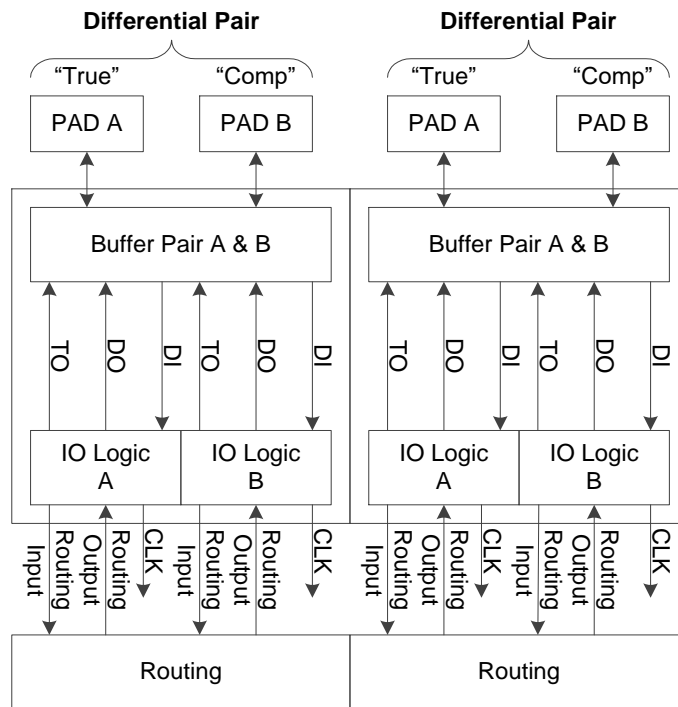
图 2-2 CFU 结构示意图



## 2.4 输入输出模块

GW5AR 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 2-3 所示，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-3 IOB 结构示意图



GW5AR 系列 FPGA 产品中 IOB 的功能特点：

- 基于分区(Bank)的管脚供电( $V_{CCIO}$ )机制
- 支持 LVCMOS、PCI、LVTTTL、SSTL、HSTL、LVDS、Mini\_LVDS、RSDS、PPDS、BLVDS 等多种电平标准
- 支持 MIPI 电平标准以及 MIPI I3C OpenDrain/PushPull 转换
- 提供输入信号迟滞选项
- 提供输出信号驱动电流选项
- 对每个管脚提供独立的总线保持、上拉/下拉电阻及漏极开路输出选项
- 支持热插拔
- 输入输出逻辑支持单倍速率 (SDR) 模式以及双倍速率 (DDR) 等多种模式

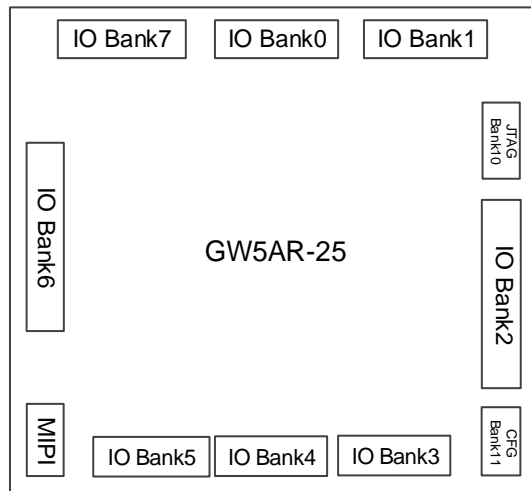
### 2.4.1 I/O 电平标准

GW5AR 系列中，GW5AR-25 的 I/O 包括 8 个 GPIO Bank，此外 Bank10 为 JTAG Bank，有 4 个 IO，Bank11 为 Config Bank，有 1 个 IO，



如图 2-4 所示。

图 2-4 GW5AR-25 的 GPIO Bank 分布示意图



每个 Bank 有独立的 I/O 电源  $V_{CCIO}$ 。

GW5AR-25  $V_{CCIO}$  可以设置为 3.3V、2.5V、1.8V、1.5V、1.35V 或 1.2V。

注！

GW5AR-25: 为支持 SSTL, HSTL 等 I/O 输入标准, 每个 Bank 还提供一个独立的参考电压(VREF), 用户可以选择使用 IOB 内置的 VREF 源(0.6V、0.75V、0.9V、1.25V、1.5V 以及基于  $V_{CCIO}$  的比例电压(36%,50%,64%)), 也可选择外部的 VREF 输入(使用 Bank 中任意一个 I/O 管脚作为外部 VREF 输入)。

GW5AR 系列 FPGA 产品不同的 Bank 支持不同的片上电阻设置, 包括单端电阻和差分电阻两种。单端电阻设置用于 SSTL/HSTL 输入输出。差分电阻设置用于 LVDS/PPDS/ RSDS 输入。详细资料请参考 [UG304, Arora V 可编程通用管脚 \(GPIO\) 用户指南](#)。

注！

配置前及配置过程中, 器件所有 GPIO 默认弱上拉。配置完成后 I/O 状态默认为 None, 可通过软件配置。Config 相关 I/O 的状态根据配置模式的不同有所区别。

GW5AR-25 支持的 I/O 类型及部分可选配置如表 2-1、表 2-2 所示。

表 2-1 GW5AR-25 支持的输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank $V_{CCIO}$ (V)	输出驱动能力(mA)	应用
MIPI	差分(MIPI)	1.8/2.5/3.3	2/4	移动产业处理器接口
MIPI_4MA	差分(ELVDS)	1.8	4	移动产业处理器接口
LVDS25	差分(TLVDS)	2.5/3.3	3.5/2.5/4.5/6	点对点高速数据传输
BLVDS25		2.5/3.3	3.5/2.5/4.5/6	多点高速数据传输
RSDS		2.5/3.3	3.5/2.5/4.5/6	点对点高速数据传输
MINILVDS		2.5/3.3	3.5/2.5/4.5/6	LCD 时序驱动与列驱动器接口
PPLVDS		2.5/3.3	3.5/2.5/4.5/6	LCD 行/列驱动

I/O 输出标准	单端/差分	Bank V <sub>CCIO</sub> (V)	输出驱动能力(mA)	应用
LVDS25E	差分	2.5	8/2/4/6/12/16	点对点高速数据传输
BLVDS25E		2.5	8/2/4/6/12/16	多点高速数据传输
MLVDS25E		2.5	8/2/4/6/12/16	LCD 时序驱动与列驱动器接口
RSDS25E		2.5	8/2/4/6/12/16	点对点高速数据传输
LVPECL33E		3.3	8/2/4/6/12/16	通用接口
HSUL12D		1.2	8/2/4/6	LPDDR2
HSUL12D_I		1.2	8/2/4/6	LPDDR2
HSTL15D_I		1.5	8/4/12	存储接口
HSTL18D_I		1.8	8/2/4/6/12/16	存储接口
HSTL18D_II		1.8	8/2/4/6/12/16	存储接口
SSTL12D_I		1.2	8/2/4/6	存储接口
SSTL135D_I		1.35	8/2/4/6	存储接口
SSTL15D_I		1.5	8/2/4/6/12	存储接口
SSTL18D_I		1.8	8/2/4/6/12/16	存储接口
SSTL18D_II		1.8	8/2/4/6/12/16	存储接口
SSTL25D_I		2.5	8/2/4/6/12/16	存储接口
SSTL25D_II		2.5	8/2/4/6/12/16	存储接口
SSTL33D_I		3.3	8/2/4/6/12/16	存储接口
SSTL33D_II		3.3	8/2/4/6/12/16	存储接口
LPDDR		1.8	8/2/4/6/12/16	LPDDR 及 Mobile DDR
LVC MOS10D		1.0	2/4	通用接口
LVC MOS12D		1.2	8/2/4/6	通用接口
LVC MOS15D		1.5	8/2/4/6/12	通用接口
LVC MOS18D		1.8	8/2/4/6/12/16	通用接口
LVC MOS25D		2.5	8/2/4/6/12/16	通用接口
LVC MOS33D		3.3	8/2/4/6/12/16	通用接口
HSUL12		单端	1.2	8/2/4/6
HSTL12_I	1.2		8/2/4/6	存储接口
HSTL15_I	1.5		8/2/4/6/12	存储接口
HSTL18_I	1.8		8/2/4/6/12/16	存储接口
HSTL18_II	1.8		8/2/4/6/12/16	存储接口
SSTL12_I	1.2		8/2/4/6	存储接口
SSTL135_I	1.35		8/2/4/6	存储接口
SSTL15_I	1.5		8/2/4/6/12	存储接口
SSTL18_I	1.8		8/2/4/6/12/16	存储接口
SSTL18_II	1.8		8/2/4/6/12/16	存储接口
SSTL25_I	2.5		8/2/4/6/12/16	存储接口
SSTL25_II	2.5		8/2/4/6/12/16	存储接口

I/O 输出标准	单端/差分	Bank V <sub>CCIO</sub> (V)	输出驱动能力(mA)	应用
SSTL33_I		3.3	8/2/4/6/12/16	存储接口
SSTL33_II		3.3	8/2/4/6/12/16	存储接口
LVC MOS10		1.0	2/4	通用接口
LVC MOS12		1.2	8/2/4/6	通用接口
LVC MOS15		1.5	8/2/4/6/12	通用接口
LVC MOS18		1.8	8/2/4/6/12/16	通用接口
LVC MOS25		2.5	8/2/4/6/12/16	通用接口
LVC MOS33/LVTTL33		3.3	8/2/4/6/12/16	通用接口
LPDDR		1.8	8/2/4/6/12/16	LPDDR 及 Mobile DDR
PCI33		3.3	8/2/4/6/12/16	PC 和嵌入式系统

表 2-2 GW5AR-25 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank V <sub>CCIO</sub> (V)	支持去迟滞选项	是否需要 V <sub>REF</sub>
MIPI	差分	2.5/1.0/1.2/1.5/1.8/3.3	否	否
ADC_IN		2.5/1.0/1.2/1.5/1.8/3.3	否	否
LVDS25		2.5/1.0/1.2/1.5/1.8/3.3	否	否
BLVDS25		2.5/1.0/1.2/1.5/1.8/3.3	否	否
RSDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
MINILVDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
PPLVDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
HSUL12D		1.2/1.0/1.5/1.8/2.5/3.3	否	否
HSTL12D_I		1.2/1.0/1.5/1.8/2.5/3.3	否	否
HSTL15D_I		1.5/1.0/1.2/1.8/2.5/3.3	否	否
HSTL18D_I		1.8/1.0/1.2/1.5/2.5/3.3	否	否
HSTL18D_II		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL135D_I		1.35/1.0/1.2/1.5/1.8/2.5/3.3	否	否
SSTL15D_I		1.5/1.0/1.2/1.8/2.5/3.3	否	否
SSTL18D_I		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL18D_II		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL2D_I		2.5/1.0/1.2/1.5/1.8/3.3	否	否
SSTL2D_II		2.5/1.0/1.2/1.5/1.8/3.3	否	否
SSTL3D_I		3.3/1.0/1.2/1.5/1.8/2.5	否	否
SSTL3D_II		3.3/1.0/1.2/1.5/1.8/2.5	否	否
LPDDR		1.8/1.0/1.2/1.5/2.5/3.3	否	否
LVC MOS10D		1.0/1.2/1.5/1.8/2.5/3.3	否	否
LVC MOS12D		1.2/1.0/1.5/1.8/2.5/3.3	否	否
LVC MOS15D		1.5/1.0/1.2/1.8/2.5/3.3	否	否
LVC MOS18D	1.8/1.0/1.2/1.5/2.5/3.3	否	否	

I/O 输入标准	单端/差分	Bank V <sub>CCIO</sub> (V)	支持去迟滞选项	是否需要 V <sub>REF</sub>
LVC MOS25D		2.5/1.0/1.2/1.5/1.8/3.3	否	否
LVC MOS33D		3.3/1.0/1.2/1.5/2.5/1.8	否	否
HSUL12	单端	1.2	否	是
HSTL12_I		1.2	否	是
HSTL15_I		1.5	否	是
HSTL15_II		1.5	否	是
HSTL18_I		1.8	否	是
HSTL18_II		1.8	否	是
SSTL135_I		1.35	否	是
SSTL15_I		1.5	否	是
SSTL18_I		1.8	否	是
SSTL18_II		1.8	否	是
SSTL2_I		2.5	否	是
SSTL2_II		2.5	否	是
SSTL3_I		3.3	否	是
SSTL3_II		3.3	否	是
LVC MOS10		1.0	是	否
LVC MOS12		1.2	是	否
LVC MOS15		1.5	是	否
LVC MOS18		1.8	是	否
LVC MOS25		2.5	是	否
LVC MOS33/LVTT L33		3.3	是	否
LPDDR		1.8	是	否
PCI33		3.3	是	否
LVC MOS10UD12		1.2	否	否
LVC MOS10UD15		1.5	否	否
LVC MOS10UD18		1.8	否	否
LVC MOS10UD25		2.5	否	否
LVC MOS10UD33		3.3	否	否
LVC MOS12OD10		1.0	否	否
LVC MOS12UD15		1.5	否	否
LVC MOS12UD18		1.8	否	否
LVC MOS12UD25		2.5	否	否
LVC MOS12UD33		3.3	否	否
LVC MOS15OD10	1.0	否	否	
LVC MOS15OD12	1.2	否	否	
LVC MOS15UD18	1.8	否	否	
LVC MOS15UD25	2.5	否	否	
LVC MOS15UD33	3.3	否	否	

I/O 输入标准	单端/差分	Bank V <sub>CCIO</sub> (V)	支持去迟滞选项	是否需要 V <sub>REF</sub>
LVC MOS18OD10		1.0	否	否
LVC MOS18OD12		1.2	否	否
LVC MOS18OD15		1.5	否	否
LVC MOS18UD25		2.5	否	否
LVC MOS18UD33		3.3	否	否
LVC MOS25OD10		2.5	否	否
LVC MOS25OD12		3.3	否	否
LVC MOS25OD15		1.5	否	否
LVC MOS25OD18		1.8	否	否
LVC MOS25UD33		3.3	否	否
LVC MOS33OD10		1.0	否	否
LVC MOS33OD12		1.2	否	否
LVC MOS33OD15		3.3	否	否
LVC MOS33OD18		1.8	否	否
LVC MOS33OD25		2.5	否	否
VREF1_DRIVER		1.8/1.0/1.2/1.5/2.5/3.3	否	是

## 2.4.2 I/O 逻辑

图 2-5 为 GW5AR 系列 FPGA 产品的 I/O 逻辑的输出部分。

图 2-5 I/O 逻辑输出示意图

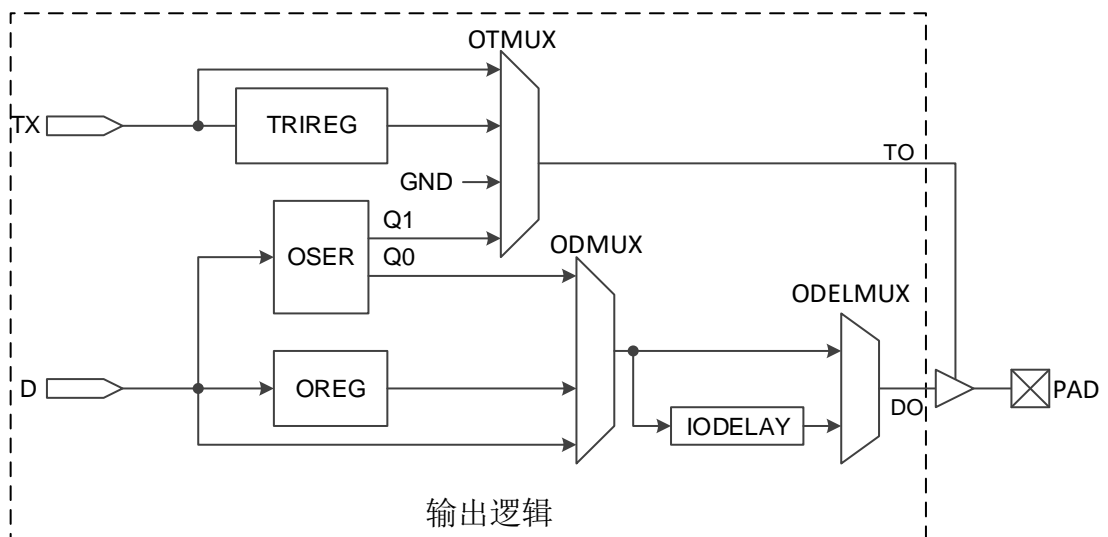
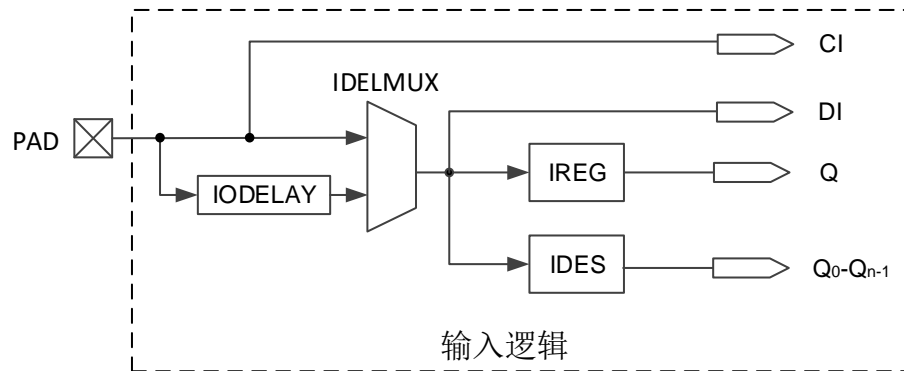


图 2-6 为 GW5AR 系列 FPGA 产品的 I/O 逻辑的输入部分。

图 2-6 I/O 逻辑输入示意图



注！

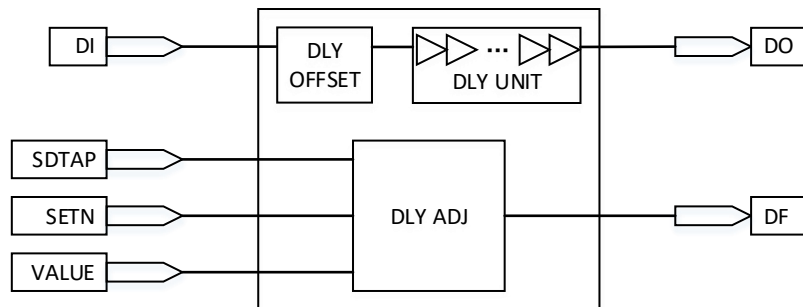
CI 为 GCLK 输入信号，不能连接到 Fabric；DI 直接输入到 Fabric。

GW5AR 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

### 延迟模块

图 2-7 为延迟模块 IODELAY。GW5AR 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，总共提供 256(0~255)步的延迟，一步的延迟时间约为 12.5ps。IODELAY 总延迟时间为  $DLYOFFSET + DLY\ UNIT * SDTAP$ 。

图 2-7 IODELAY 示意图



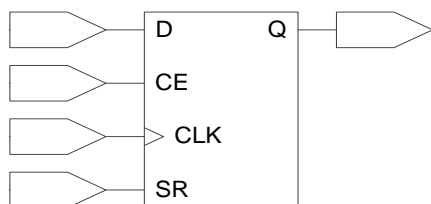
有三种控制延迟的方式：

- 静态控制。
- 动态控制，可配合综合逻辑功能电路来实现动态调节数据延时。
- 自适应控制。

### I/O 寄存器

图 2-8 为 GW5AR 系列 FPGA 产品的 I/O 寄存器模块。GW5AR 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TREG。

图 2-8 GW5AR 的 I/O 寄存器示意图



注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(DFF)或锁存器(Latch)。

### 解串器 DES 及串化器 SER 模块

GW5AR 系列 FPGA 产品支持多种比率模式的串行化和解串功能，如下表所示：

表 2-3 GW5AR 系列 FPGA 产品支持的串行/解串比率模式

	支持的比率
输入逻辑	1:2 / 1:4 / 1:7 / 1:8 / 1:10 / 1:14 / 1:16 / 1:32
输出逻辑	2:1 / 4:1 / 7:1 / 8:1 / 10:1 / 16:1 / 14:1

## 2.4.3 I/O 逻辑工作模式

GW5AR 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

关于 I/O 逻辑工作模式的详细信息，请参考 [UG304, Arora V 可编程通用管脚\(GPIO\)用户指南](#)。

## 2.5 块状静态随机存储器模块

### 2.5.1 简介

GW5AR 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器 (BSRAM)。提供 4 种操作模式：单端口模式 (Single Port)，双端口模式 (Dual Port)，伪双端口模式 (Semi Dual Port) 及只读模式 (ROM)。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18Kbits
- 时钟频率达到 380MHz(在 Read-before-write 模式下 230MHz)
- 支持单端口模式

- 支持双端口模式
- 支持伪双端口模式
- 支持只读存储器模式
- 数据宽度最大支持 36bits
- 双端口模式和伪双端口模式支持读写时钟独立、数据位宽独立
- 读模式支持寄存器输出或旁路输出
- 写模式支持 Normal 模式、Read-before-Write 模式和 Write-Through 模式

## 2.5.2 存储器配置模式

GW5AR 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 2-4 所示。

表 2-4 存储器配置列表

存储容量	单端口模式	双端口模式	伪双端口模式	只读模式
16Kbits	16K x 1	16K x 1	16K x 1	16K x 1
	8K x 2	8K x 2	8K x 2	8K x 2
	4K x 4	4K x 4	4K x 4	4K x 4
	2K x 8	2K x 8	2K x 8	2K x 8
	1K x 16	1K x 16	1K x 16	1K x 16
	512 x 32	-	512 x 32	512 x 32
18Kbits	2K x 9	2K x 9	2K x 9	2K x 9
	1K x 18	1K x 18	1K x 18	1K x 18
	512 x 36	-	512 x 36	512 x 36

### 单端口模式

在单端口模式，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 3 种写模式（NormalNormal 模式、Write-Through 模式和 Read-before-Write 模式。正常读写模式时，写入数据将会存储在内部记忆阵列中。通写模式时，数据不但会储存在内部记忆阵列中，而且会被写到 BSRAM 的输出。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

### 双端口模式

BSRAM 支持双端口模式，支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 3 种写模式（Normal 模式、Write-Through 模式和 Read-before-Write 模式）。可对两个端口做如下操作：

- 两个端口同时读操作，读取任意指定地址上的数据。



- 两个端口同时写操作，将数据写入不同的任意地址。
- 任何一个端口的读和写。

**注!**

- 双端口可以同时同一地址进行读操作，读空或者重复读不会对存储模块造成损坏。
- 当双端口同时对同一地址空间进行写操作时，双端口写操作同时失败。
- 当一端口为读操作，一端口为写操作，且访问同一地址空间时，写端口可以正常写入数据，读端口操作失败，输出数据未知。BSRAM 内容为写端口写入值。

双端口模式写时钟和读时钟独立，支持读/写操作数据位宽独立。相关详细信息及双端口模式的端口示意图等描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

**伪双端口模式**

伪双端口支持 A 端口只写，B 端口只读，两个端口可以进行独立的读/写操作，并且只支持“正常写模式”。当双端口同时访问同一地址空间时，写端口可以正常写入数据，读端口操作失败，输出数据未知。BSRAM 内容为写端口写入值。

伪双端口模式写时钟和读时钟独立，支持读/写操作数据位宽独立。相关详细信息及伪双端口模式的端口示意图等描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

**只读模式**

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

## 2.5.3 存储器数据宽度配置

GW5AR 系列 FPGA 产品的块状静态随机存储器模块支持读/写操作数据位宽独立。在双端口模式及伪双端口模式下，A 端口和 B 端口的数据宽度可以不同，A 端口和 B 端口支持的数据位宽如表 2-5、表 2-6 所示。

表 2-5 双端口模式读写数据宽度配置列表

存储容量	B 端口	A 端口						
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16Kbits	16K x 1	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	8K x 2	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	4K x 4	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	2K x 8	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	1K x 16	Yes	Yes	Yes	Yes	Yes	N/A	N/A
18Kbits	2K x 9	N/A	N/A	N/A	N/A	N/A	Yes	Yes
	1K x 18	N/A	N/A	N/A	N/A	N/A	Yes	Yes

表 2-6 伪双端口模式读写数据宽度配置列表

存储容量	B 端口	A 端口								
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x32	2K x 9	1K x 18	512 x 36
16Kbits	16K x 1	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
	8K x 2	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
	4K x 4	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
	2K x 8	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
	1K x 16	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
	512 x 32	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
18Kbits	2K x 9	N/A	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes
	1K x 18	N/A	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes

## 2.5.4 字节使能功能配置

BSRAM 支持字节使能 (byte\_enable) 功能——被选中的字节可被写入。字节使能功能只用于写入，在位宽为 16/18、32/36 时可用，读/写使能信号(WREA, WREB)，及 byte\_enable 参数选项用于控制 BSRAM 的写操作。

## 2.5.5 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。

- 输出寄存器可旁路。

### 2.5.6 BSRAM 操作模式

BSRAM 支持 5 种操作模式，包括 2 种读操作模式(旁路模式 Bypass, 流水线读模式 Pipeline)和 3 种写操作模式(正常写模式: Normal, 通写模式: Write-Through, 先读后写模式: Read-before-Write)。

#### 读操作模式

通过输出寄存器或不通过输出寄存器从 BSRAM 读出数据。

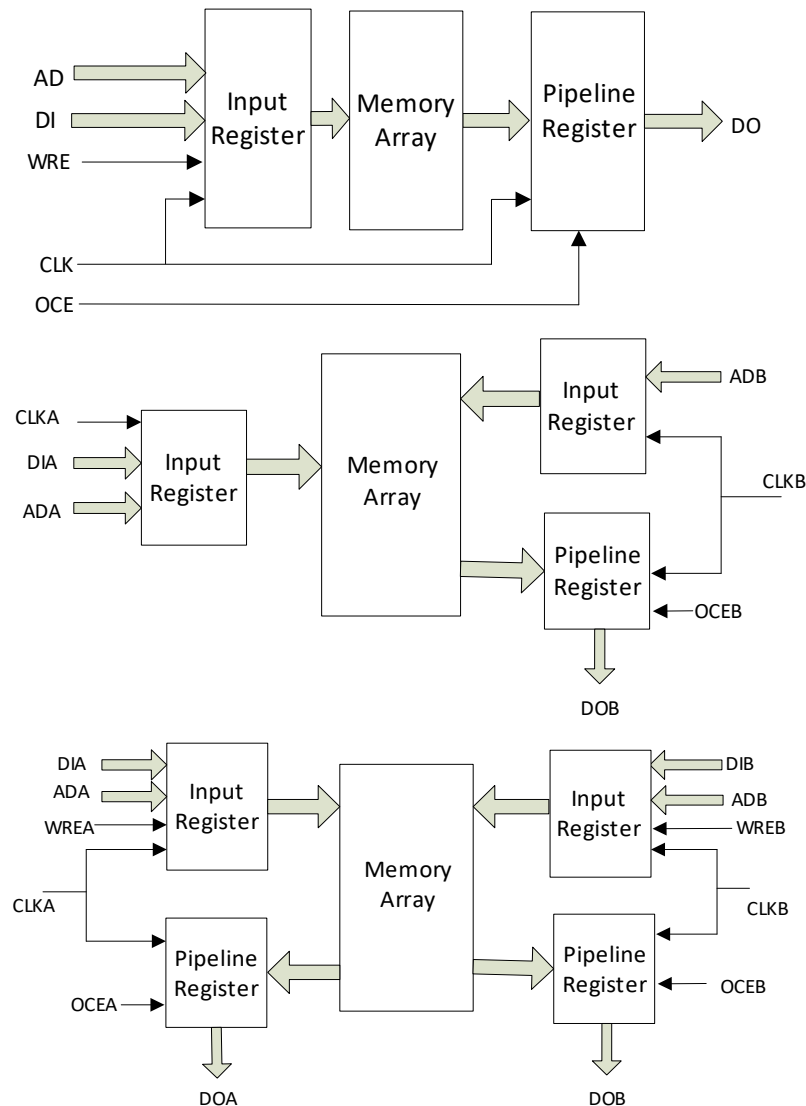
##### 流水线模式

读出数据时，数据通过输出寄存器根据时钟节拍同步读出。此模式可支持数据宽度最大 36 位。

##### 旁路模式

不使用输出寄存器，读出数据时,直接送到输出端口。

图 2-9 单端口、伪双端口及双端口模式下的流水线模式



## 写操作模式

### 正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

### 通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

### 先读后写模式

在此模式下，对一个端口进行写操作时，存储单元中原来存储的数据会先被读出到相应的输出端口，写入数据会存入相应单元。

## 2.5.7 时钟模式

表 2-7 中列出了不同 BSRAM 模式下可使用的时钟模式：

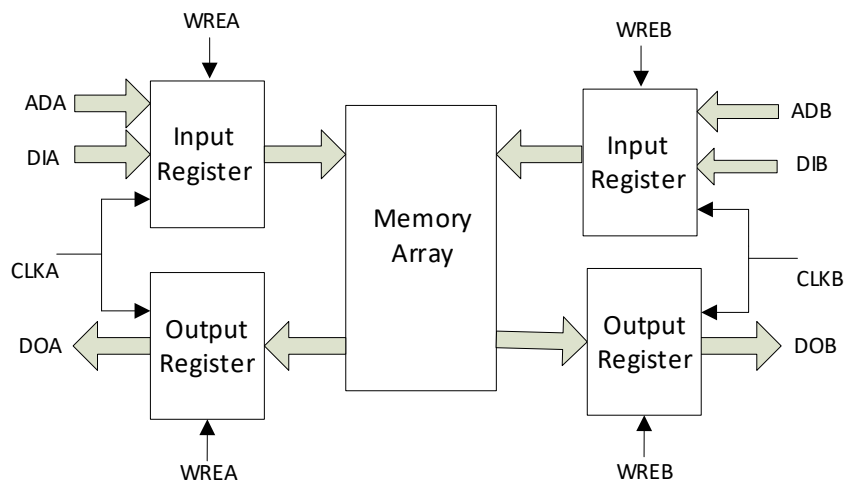
表 2-7 时钟模式配置列表

时钟模式	BSRAM 模式		
	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

### 独立时钟模式

图 2-10 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

图 2-10 独立时钟模式

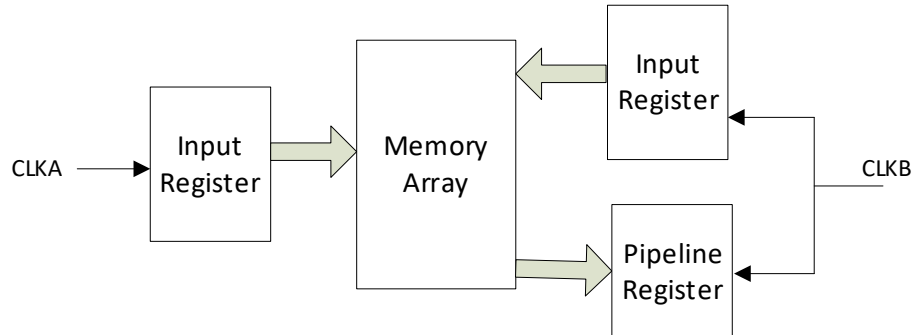


### 读写时钟模式

图 2-11 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有

一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

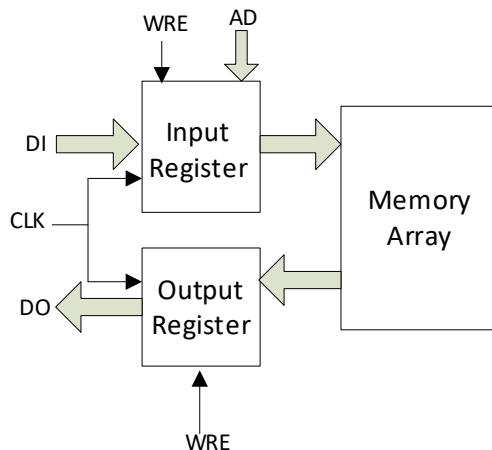
图 2-11 读写时钟模式



### 单端口时钟模式

图 2-12 显示了单端口时钟模式。

图 2-12 单端口时钟模式



## 2.6 数字信号处理模块

GW5AR 系列 FPGA 产品中集成全新的 DSP 模块资源，该 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR, FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 特性如下：

- 3 种宽度（12X12，27X18，27X36）的乘法器
- 26-bit 预加器功能
- 48-bit 的算术/逻辑运算单元
- 支持移位功能
- 多个乘法器可通过级联实现更大数据位宽的乘法
- 支持 27X18 乘法器的累加、乘加功能

- 支持两个 12X12 乘法器求和后累加功能
- 支持寄存器的流水线和旁路功能
- 数据是有符号操作

每个 DSP 主要由三部分组成：

- 预加器
- 乘法器
- 算术逻辑单元

### 2.6.1 预加器

每个 DSP 包含一个预加器，实现预加、预减和移位功能。

预加器位于 DSP 的最前端，有两个输入端：

- 26-bit 输入 C；
- 并行 26-bit 输入 A 或 SIA。

每个输入端都支持寄存器模式和旁路模式。

### 2.6.2 乘法器

每个 DSP 包含一个 27 x 18 的乘法器 M0(multipliers)和一个 12 x 12 的乘法器 M1(multipliers)，乘法器(multipliers)位于预加器之后，用来实现乘法运算，输入端和输出端都支持寄存器模式和旁路模式。

乘法器 M0 支持的配置模式包括：

- 一个 27 x 18 乘法器
- 一个 12 x 12 乘法器
- 两个 DSP 可以配置成一个 27 x 36 乘法器

乘法器 M1 仅支持配置为一个 12 x 12 乘法器。

当乘法器 M0 和乘法器 M1 同时配置为 12 x 12 乘法器，且 ALU 使能时，可以实现 12 x 12 SUM 模式。

### 2.6.3 算术逻辑单元

每个 DSP 包含一个四输入的 48 位 ALU，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式，支持乘法器 M0 输出、乘法器 M1 输出（或 48bit 操作数 D）、ALU 级联输入及 ALU 输出反馈或静态 PRE\_LOAD 值的加法/减法运算。

### 2.6.4 操作模式

通过控制信号可实现 DSP 多种操作模式。操作模式如下：

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式

- 乘法求和累加器模式

关于数字信号处理模块更多详细信息，请参考 [UG305, Arora V 数字信号处理器\(DSP\)用户指南](#)。

## 2.7 MIPI D-PHY

GW5AR-25 器件内嵌硬核 MIPI D-PHY，支持 MIPI D-PHY RX 及 MIPI D-PHY TX，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2。该 D-PHY 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI-2）。主要特性如下：

- 支持单向高速(HS, High-speed)模式，RX/TX 传输带宽最高可达 10 Gbps (4 个数据通道)。
- 一个 MIPI Quad 支持最多四个数据通道和一个时钟通道。
- 支持双向低功耗(LP, Low-power)操作模式，数据传输速率为 10Mbps。
- 支持高速同步、位和通道对齐。
- 支持 MIPI D-PHY RX/TX 1:8 模式与 1:16 模式。
- 支持 MIPI DSI 和 MIPI CSI-2 链路层。
- GW5AR-25 器件支持 1 组 MIPI D-PHY，RX 和 TX 可配。

关于 Gowin MIPI D-PHY 更多详细信息，请参考 [UG296, Arora V Hardened MIPI D-PHY 用户指南](#)。

## 2.8 ADC

GW5AR 系列 FPGA 产品集成了一个全新的、灵活的模拟接口作为温度和电源传感器。结合 FPGA 的可编程逻辑能力，该传感器可以满足温度和电源监测的数据采集要求和监测要求。

传感器架构的显著优点在于：

- 片上参考，不需要片外基准电压源
- 60dB SNR
- 10-bit oversampling @ 2MHz
- 1kHz Signal Bandwidth
- 1 路专用模拟通道，同时可以检测来自 GPIO 的输入信号
- 片上温度（最大误差 $\pm 4^{\circ}\text{C}$ ）和电压（最大误差 $\pm 1\%$ ）传感器
- 连续访问 ADC 测试

该传感器可选择性地使用片上参考电路（ $\pm 1\%$ ），不需要任何外部有源元件来进行温度和电源环境的基本片上监测。

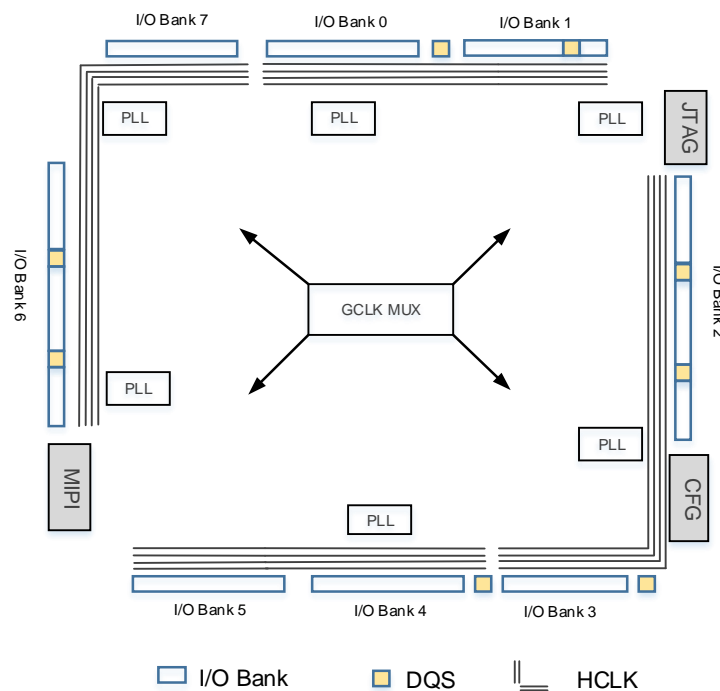
关于 ADC 更多详细信息请参考 [UG299, Arora V 模拟数字转换器](#)

(ADC) 用户指南。

## 2.9 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW5AR 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环 (PLL)、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源。

图 2-13 GW5AR-25 系列时钟资源



2.9.1 ~ 2.9.4 给出简要描述，关于全局时钟、高速时钟、锁相环及 DDR 存储器接口数据脉冲时钟 DQS 等更多详细信息请参考 [UG306, Arora V 时钟资源\(Clock\)用户指南](#)。

### 2.9.1 全局时钟

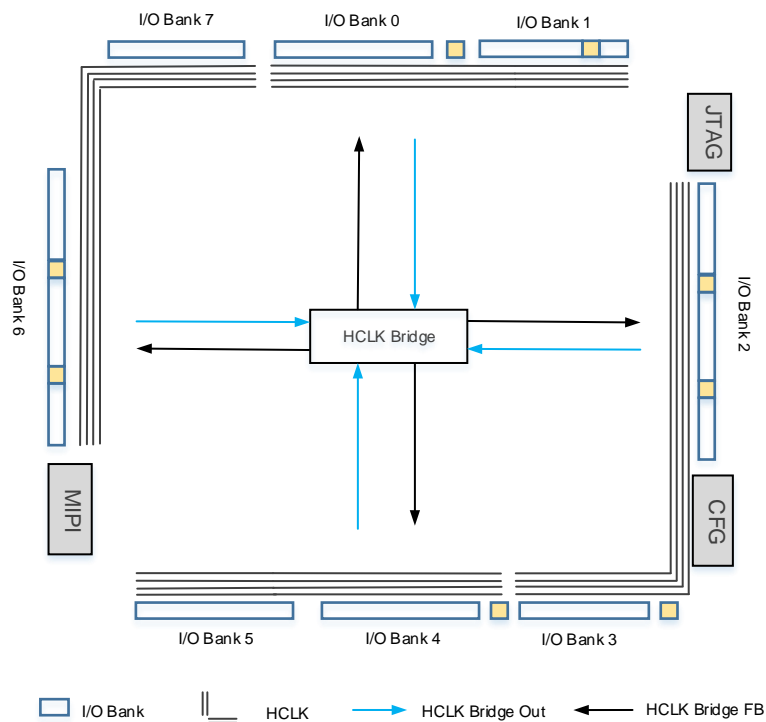
GW5AR 系列 FPGA 产品提供 16 个全局时钟。GCLK 的时钟源来自专用时钟管脚、PLL 的输出、SERDES 时钟、HCLK 的输出以及普通绕线资源，使用专用的时钟输入管脚具有更好的时钟性能，可实现对全局的驱动。

### 2.9.2 高速时钟

GW5AR 系列 FPGA 产品的高速时钟 HCLK，具有低抖动和低偏差性能，可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的。一个 Bank 支持四路 HCLK，如图 2-14 所示。



图 2-14 GW5AR-25 HCLK 示意图



HCLK 可以提供给用户使用的功能模块如下所示：

- 动态的高速时钟使能模块，可动态地打开/关闭高速时钟信号。
- 高速时钟分频模块，生成和输入时钟相位一致的分频时钟，用于 IO 逻辑工作模式中。
- 动态的高速时钟选择器。
- 动态延迟调整模块，用于专用时钟管脚输入的时钟信号。
- 全局高速时钟 HCLK bridge 模块，可将 HCLK 时钟信号送到任何一个 Bank 中。此外，HCLK 时钟信号从 IO Bank 进入后还可跨到相邻 IO Bank 的时钟树。

**注！**

对于同源的高速信号，建议放在同一个 IO Bank，此时信号之间的 skew 最小。

### 2.9.3 锁相环

锁相环路是一种反馈控制电路，简称锁相环 (PLL, Phase-Locked Loop)。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW5AR 系列 FPGA 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

GW5AR 系列 FPGA 产品的 PLL 模块特性如下：

- 支持 7 路时钟输出

- 整数 PLL，第 1 路和反馈时钟输出同时支持 1/8 小数分频
- 支持相移和占空比调整
- 频率锁定检测
- 支持扩频时钟产生(需要使用 IP)
- VCO 工作频率范围：800 MHz ~ 2000 MHz
- CLKIN 频率范围：19 MHz ~800 MHz

## 2.9.4 DDR 存储器接口时钟管理 DQS

GW5AR 系列 FPGA 产品的 DQS 模块提供了如下的功能来支持 DDR 存储器接口的时钟需求：

- 接收 DQS 输入，整理波形并移动 1/4 相位
- 为输入缓存提供读/写指针
- 为内部逻辑提供数据有效信号
- 提供 DDR 输出时钟信号
- 支持 DDR3 写电压控制

DQS 模块支持多种工作模式，用来满足不同的 IO 接口的需求。

## 2.9.5 长线

作为对 CRU 的有效补充，GW5AR 系列 FPGA 产品提供了灵活丰富的长线(LW)资源。LW 一方面可以用作控制线，给 DFF 提供时钟使能 (CE)、置复位 (SET/RESET) 信号；另一方面，还可以用作逻辑绕线，作为普通数据信号使用。

## 2.10 全局复置位

GW5AR 系列 FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步复位或异步置位，CFU 和 I/O 中的寄存器均可以独立配置。

## 2.11 编程配置

GW5AR 系列 FPGA 产品支持 SRAM 编程，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在外部 Flash 中。上电后，GW5AR 器件从外部 Flash 中读取配置数据到 SRAM 中。

GW5AR 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式：SSPI、MSPI、CPU、SERIAL。同时支持背景升级、支持数据流文件加密和安全位设置、支持 OTP，详细资料请参考 [UG704, Arora V FPGA 产品编程配置手册](#)。

### 背景升级

GW5AR 系列 FPGA 支持通过 JTAG/SSPI/QSSPI 或者 UserLogic 的方式进行背景升级，即器件支持在不影响现有工作状态的情况下编程外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，低电平触发 RECONFIG\_N 即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

### 比特流文件加密和安全位设置

GW5AR 系列 FPGA 产品支持比特流数据加密，采用 128 bits 的 AES 加密算法。同时，高云半导体为保障配置数据的安全准确传输，在 FPGA 产品的比特流文件中默认加入了 CRC 校验算法并设置了安全位。数据配置过程中实时校验输入数据是否出错，错误的无法唤醒器件。设置了安全位的比特流数据完成配置后，任何用户无法进行回读操作。

### CMSER

GW5AR 系列 FPGA 产品支持配置内存软错误恢复(CMSER)，主要通过用户在用户设计后台逐帧读取配置内存，并进行 ECC 解码和 CRC 校验对比来实现，默认关闭。具有如下特性：

- 支持 ECC 及 CRC 错误检测及纠正，芯片 wakeup 后根据用户配置开启自动开启模式或者通过用户设计逻辑控制开启/关闭错误检测及纠正
- ECC 支持每个 SRAM Frame 中 2 bit 错误位置报告以及错误纠正<sup>[1]</sup>，4 bits 错误报警

注！

Advanced CMSER 支持更快的错误修正速度。

- CRC 支持任意 bit 错误报警
- 支持 1-bit 任意位置错误注入，每个 SRAM Frame 中两个错误

- 用户打开 SSRAM 存储功能时自动关闭该存储区域 SRAM 的检测及纠错功能

### mDRP

GW5AR 系列 FPGA 产品片上资源支持独立的 mDRP 端口，支持点到点结构的访问。

### OTP

GW5AR 系列 FPGA 产品提供 128 Bit 的 OTP 空间，支持一次性编程。其中 Bit0~Bit31 为用户区，系统制造商可以使用此空间存储安全性和其他重要信息。Bit32~Bit95 为 DNA 区，存储器件 64 位唯一标识信息。

## 2.12 片内时钟振荡器

Araro V 系列 FPGA 产品内嵌了一个片内时钟振荡器，编程过程中为 MSPI 编程模式提供时钟源。片内时钟振荡器还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

$$f_{\text{out}}=210\text{MHz}/\text{Param}。$$

**注！**

其中除数 Param 为配置参数，范围为 3 和 2~126 之间的偶数。

# 3 电气特性

## 注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

## 3.1 工作条件

### 3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
FPGA Logic			
V <sub>CC</sub>	核电压, LV	-0.5V	1.05V
V <sub>CCIO</sub>	I/O Bank 电压	-0.5V	3.75V
V <sub>CCX</sub>	辅助电压	-0.5V	3.75V
V <sub>CC_REG</sub>	Regulator 电压	-0.5V	3.75V
V <sub>IN</sub>	单端输入	-0.4V	3.75V
	差分输入	-0.4V	2.625V
MIPI			
M0_VDD_12	MIPI LP 电压供电管脚	-0.5V	1.32V
温度			
Storage Temperature	储存温度	-65°C	+150°C
Junction Temperature	结温	-40°C	+125°C

### 3.1.2 推荐工作范围

表 3-2 推荐工作范围

名称	描述	最小值	最大值
V <sub>CC</sub>	核电压, LV	0.855V	1.0V

名称	描述	最小值	最大值
V <sub>CCIO</sub>	I/O Bank 电压	1V	3.465V
V <sub>CCX</sub>	辅助电压	2.375V	3.465V
V <sub>CC_REG</sub>	Regulator 电压	1.14V	3.3V
MIPI			
M0_VDD_12	MIPI LP 电压供电管脚	1.14V	1.32V
温度			
T <sub>JCOM</sub>	结温(商业级) Junction temperature Commercial operation	0°C	+85°C
T <sub>JIND</sub>	结温(工业级) Junction temperature Industrial operation	-40°C	+100°C

注!

不同封装的器件供电电压信息请参考 [UG985, GW5AR-25 器件 Pinout 手册](#)。

### 3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V <sub>CC</sub> Ramp	电源电压上升斜率	0.02mV/μs	TBD	50mV/μs

### 3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I <sub>HS</sub>	输入漏电流 (Input or I/O leakage current)	0<V <sub>IN</sub> <V <sub>IH</sub> (MAX)	I/O	TBD
I <sub>HS</sub>	输入漏电流 (Input or I/O leakage current)	0<V <sub>IN</sub> <V <sub>IH</sub> (MAX)	TDI, TDO, TMS, TCK	TBD

### 3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	器件	名称	典型值
POR 电压值	上电复位触发电平 Power on reset voltage	GW5AR-25	V <sub>CC</sub>	TBD
			V <sub>CCX</sub>	TBD
			V <sub>CCIO</sub> (Bank10)	TBD

## 3.2 ESD 性能

表 3-6 GW5AR ESD - HBM

器件	HBM
GW5AR-25	HBM ≥ 1000V <sup>[1]</sup>

注!

[1] 1000V 为预期 ESD 性能。

表 3-7 GW5AR ESD - CDM

器件	GW5AR-25
GW5AR-25	CDM $\geq$ 500V

## 3.3 DC 电气特性

### 3.3.1 推荐工作范围的 DC 电气特性

表 3-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
$I_{IL}, I_{IH}$	I/O 输入漏电流(Input or I/O leakage)	$V_{CCIO} < V_{IN} < V_{IH}(MAX)$	-		210uA
		$0V < V_{IN} < V_{CCIO}$	-		10uA
$I_{PU}$	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCIO}$ , Pull Strength=Strong	-		-400uA
		$0 < V_{IN} < 0.7V_{CCIO}$ , Pull Strength=Medium			-150uA
		$0 < V_{IN} < 0.7V_{CCIO}$ , Pull Strength=Weak			-50uA
$I_{PD}$	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(MAX) < V_{IN} < V_{CCIO}$ , Pull Strength=Strong	-		400uA
		$V_{IL}(MAX) < V_{IN} < V_{CCIO}$ , Pull Strength=Medium			150uA
		$V_{IL}(MAX) < V_{IN} < V_{CCIO}$ , Pull Strength=Weak			50uA
C1	I/O 电容 (I/O Capacitance)			5pF	8pF
$V_{HYST}$	输入迟滞(Hysteresis for Schmitt Trigge inputs)	$V_{CCIO}=3.3V$ , Hysteresis=ON	-	400mV	
		$V_{CCIO}=2.5V$ , Hysteresis=ON	-	250mV	
		$V_{CCIO}=1.8V$ , Hysteresis=ON	-	150mV	
		$V_{CCIO}=1.5V$ , Hysteresis=ON	-	130mV	
		$V_{CCIO}=1.2V$ , Hysteresis=ON		40mV	

### 3.3.2 静态电流

表 3-9 静态电流

名称	描述	器件类型	器件	典型值 <sup>[1]</sup>
I <sub>CC</sub>	Core 电源电流	LV 版本	GW5AR-25	TBD
I <sub>CCX</sub>	V <sub>CCX</sub> 电源电流	LV 版本	GW5AR-25	TBD
I <sub>CCIO</sub>	I/O Bank 电源电流 (V <sub>CCIO</sub> =3.3V)	LV 版本	GW5AR-25	TBD
I <sub>CC_REG</sub>	内置 Regulator 静态电流	LV 版本	GW5AR-25	TBD

注!

[1]典型值测试条件为 25°C。

### 3.3.3 I/O 推荐工作条件

表 3-10 I/O 推荐工作条件

名称	输出对应的 V <sub>CCIO</sub> (V)			输入对应的 V <sub>REF</sub> (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.465	-	-	-
LVC MOS33	3.135	3.3	3.465	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E <sup>1</sup>	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-



名称	输出对应的 $V_{CCIO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

注!

使用 True LVDS 的 Bank  $V_{CCIO}$  建议设置为 2.5V。

### 3.3.4 单端 I/O DC 电气特性

表 3-11 单端 I/O DC 电气特性

名称	$V_{IL}$		$V_{IH}$		$V_{OL}$ (Max)	$V_{OH}$ (Min)	$I_{OL}^{[1]}$ (mA)	$I_{OH}^{[1]}$ (mA)					
	Min	Max	Min	Max									
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.45V	0.4V	$V_{CCIO}-0.4V$	4	-4					
							8	-8					
					12	-12							
					16	-16							
					0.2V	$V_{CCIO}-0.2V$	0.1	-0.1					
LVCMOS25	-0.3V	0.7V	1.7V	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4					
							8	-8					
					12	-12							
					16	-16							
					0.2V	$V_{CCIO}-0.2V$	0.1	-0.1					
LVCMOS18	-0.3V	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4					
							8	-8					
					12	-12							
					16	-16							
					0.2V	$V_{CCIO}-0.2V$	0.1	-0.1					
LVCMOS15	-0.3V	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4					
							8	-8					
					12	-12							
										0.2V	$V_{CCIO}-0.2V$	0.1	-0.1
LVCMOS12	-0.3V	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4					
							8	-8					
										0.2V	$V_{CCIO}-0.2V$	0.1	-0.1

名称	V <sub>IL</sub>		V <sub>IH</sub>		V <sub>OL</sub> (Max)	V <sub>OH</sub> (Min)	I <sub>OL</sub> <sup>[1]</sup> (mA)	I <sub>OH</sub> <sup>[1]</sup> (mA)
	Min	Max	Min	Max				
LVC MOS10	-0.3	0.35 x V <sub>CCIO</sub>	0.65 x V <sub>CCIO</sub>	1.1V	0.4V	V <sub>CCIO</sub> -0.4V	2	-2
PCI33	-0.3V	0.3 x V <sub>CCIO</sub>	0.5 x V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.1x V <sub>CCIO</sub>	0.9 x V <sub>CCIO</sub>	1.5	-0.5
SSTL33_I	-0.3V	V <sub>REF</sub> -0.2V	V <sub>REF</sub> +0.2V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.6	V <sub>CCIO</sub> /2+0.6	8	-8
SSTL33_II	-0.3V	V <sub>REF</sub> -0.2V	V <sub>REF</sub> +0.2V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.8	V <sub>CCIO</sub> /2+0.8	13.4	-13.4
SSTL25_I	-0.3V	V <sub>REF</sub> -0.15V	V <sub>REF</sub> +0.15V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.61	V <sub>CCIO</sub> /2+0.61	8	-8
SSTL25_II	-0.3V	V <sub>REF</sub> -0.15V	V <sub>REF</sub> +0.15V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.81	V <sub>CCIO</sub> /2+0.81	13.4	-13.4
SSTL18_I	-0.3V	V <sub>REF</sub> -0.125V	V <sub>REF</sub> +0.125 V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.47	V <sub>CCIO</sub> /2+0.47	8	-8
SSTL18_II	-0.3V	V <sub>REF</sub> -0.125V	V <sub>REF</sub> +0.125 V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.6	V <sub>CCIO</sub> /2+0.6	13.4	-13.4
SSTL15	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.175	V <sub>CCIO</sub> /2+0.17 5	8	-8
SSTL135	-0.3	V <sub>REF</sub> -0.09V	V <sub>REF</sub> +0.09V	V <sub>CCIO</sub> +0.3	V <sub>CCIO</sub> /2- 0.15	V <sub>CCIO</sub> /2+0.15	8	-8
SSTL12	-0.3	V <sub>REF</sub> -0.1V	V <sub>REF</sub> +0.1V	V <sub>CCIO</sub> +0.3	0.2 x V <sub>CCIO</sub>	0.8 x V <sub>CCIO</sub>	0.1	-0.1
HSTL18_I	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	V <sub>CCIO</sub> +0.3	0.40V	V <sub>CCIO</sub> -0.40V	8	-8
HSTL18_II	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	V <sub>CCIO</sub> +0.3	0.40V	V <sub>CCIO</sub> -0.40V	16	-16
HSTL15_I	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	V <sub>CCIO</sub> +0.3	0.40V	V <sub>CCIO</sub> -0.40V	8	-8
HSTL12_I	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	V <sub>CCIO</sub> +0.3	0.2 x V <sub>CCIO</sub>	0.8 x V <sub>CCIO</sub>	8	-8
HSUL12	-0.3	V <sub>REF</sub> -0.13V	V <sub>REF</sub> + 0.13V	V <sub>CCIO</sub> +0.3	0.2 x V <sub>CCIO</sub>	0.8 x V <sub>CCIO</sub>	0.1	-0.1

注!

[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink): 同一个 Bank 所有 IO 的总电流不能大于 n\*8mA, n 表示该 Bank 被引出的 IO 数量。

### 3.3.5 差分 I/O DC 电气特性

表 3-12 差分 I/O DC 电气特性

名称	描述	测试条件	最小	典型	最大	单位
V <sub>INA</sub> , V <sub>INB</sub>	输入电压 (Input Voltage)		0		2.4	V
V <sub>CM</sub>	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.3		2.35	V
V <sub>THD</sub>	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	±100	±350	±600	mV
I <sub>IN</sub>	输入电流(Input Current)	Power On or Power Off			20	µA
V <sub>OH</sub>	输出高电平(Output High Voltage for VOP or VOM)	R <sub>T</sub> = 100Ω			1.675	V
V <sub>OL</sub>	输出低电平(Output Low Voltage for VOP or VOM)	R <sub>T</sub> = 100Ω	0.7			V

名称	描述	测试条件	最小	典型	最大	单位
$V_{OD}$	差模输出电压(Output Voltage Differential)	$(V_{OP} - V_{OM}), R_T = 100\Omega$	180	350	440	mV
$\Delta V_{OD}$	差模输出电压的变化范围 (Change in VOD Between High and Low)				50	mV
$V_{OS}$	输出零漂(Output Voltage Offset)	$(V_{OP} + V_{OM})/2, R_T = 100\Omega$	1.000	1.250	1.425	V
$\Delta V_{OS}$	输出零漂变化(Change in VOS Between High and Low)				50	mV
$I_S$	短路电流	$V_{OD} = 0V$ 两路输出短接			12	mA

## 3.4 AC 开关特性

### 3.4.1 CFU 开关特性

表 3-13 CFU 时序参数

名称	描述	速度等级		单位
		Min	Max	
t <sub>LUT4_CFU</sub>	LUT4 延迟(LUT4 delay)	-	-	ns
t <sub>SR_CFU</sub>	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	-	ns
t <sub>CO_CFU</sub>	时钟到寄存器输出时间(Clock to Register output)	-	-	ns

### 3.4.2 BSRAM 开关特性

表 3-14 BSRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t <sub>COAD_BSRAM</sub>	时钟到读地址/数据输出时间(Clock to output from read address/data)	-	-	ns
t <sub>COOR_BSRAM</sub>	时钟到寄存器输出时间(Clock to output from output register)	-	-	ns

### 3.4.3 DSP 开关特性

表 3-15 DSP 时序参数

名称	描述	速度等级		单位
		Min	Max	
t <sub>COIR_DSP</sub>	时钟到输入寄存器的时间(Clock to output from input register)	-	-	ns
t <sub>COPR_DSP</sub>	时钟到流水寄存器的时间(Clock to output from Pipeline register)	-	-	ns
t <sub>COOR_DSP</sub>	时钟到输出寄存器的时间(Clock to output from output register)	-	-	ns

### 3.4.4 时钟和 I/O 开关特性

表 3-16 外部开关特性

名称	说明	器件	-2		-1		单位
			Min	Max	Min	Max	
Pin-LUT-Pin Delay <sup>(1)</sup>	Pin(IOxA) to Pin(IOxB) delay	GW5AR-25	-	-	-	-	ns
T <sub>HCLKdly</sub>	HCLK tree delay	GW5AR-25	-	-	-	-	ns
T <sub>GCLKdly</sub>	GCLK tree delay	GW5AR-25	-	-	-	-	ns

### 3.4.5 片内时钟振荡器开关特性

表 3-17 片内时钟振荡器开关特性

器件	名称	说明	最小值	典型值	最大值
GW5A R-25	f <sub>MAX</sub>	时钟振荡器输出频率(0 to+ 85°C)	199.5 MHz	210MHz	220.5MHz
		时钟振荡器输出频率(-40 to +100°C)	189 MHz	210MHz	231MHz
	t <sub>DT</sub>	输出时钟 Duty Cycle	-	50%	-

### 3.4.6 PLL 开关特性

表 3-18 PLL 开关特性

器件	名称	最小值	最大值
GW5AR-25	CLKIN	19MHz	800MHz
	PFD	19MHz	400MHz
	VCO	800MHz	1600MHz
	CLKOUT	6.25MHz <sup>[1]</sup>	1600MHz

注!

6.25MHz 为非级联模式下 CLKOUT 的最低频率。

## 3.5 编程接口时序标准

GW5AR 系列 FPGA 产品支持多种 GowinCONFIG 配置模式: SSPI、MSPI、CPU、SERIAL, 详细资料请参考 [Arora V FPGA 产品编程配置手册](#)。

# 4 器件订货信息

## 4.1 器件命名

图 4-1 器件命名方法示例-ES

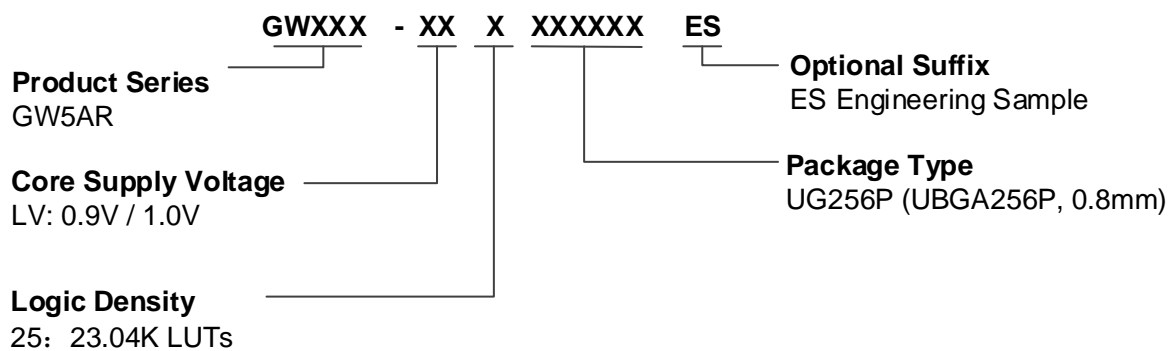
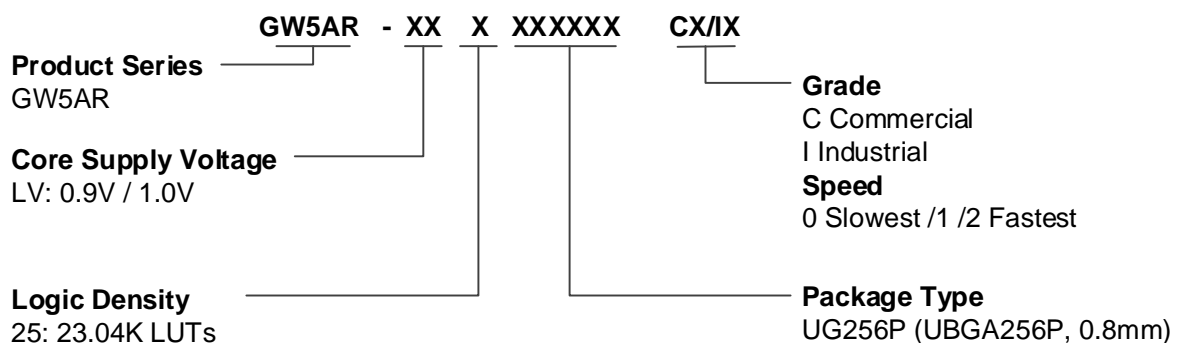


图 4-2 器件命名方法示例-Production



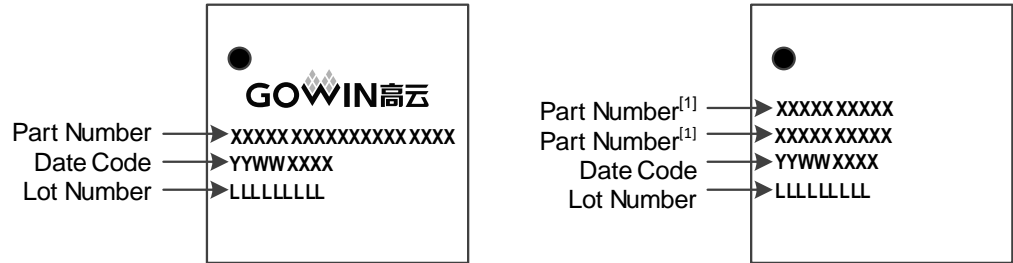
### 注!

- 关于详细的封装类型及管脚数量请参考 1.2 产品信息列表。
- 相同速度等级的小蜜蜂®(LittleBee®)家族器件和晨熙®家族器件速度不同。
- 高云器件速度等级采用双标标识，如 C2/I1, C1/I0 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足工业应用(I)和商业应用(C)。工业级最高温度 100°C，商业级最高温度 85°C，所以同一芯片如在商业级应用中满足速度等级 2，在工业级应用中速度等级则为 1。

## 4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 4-3 所示。

图 4-3 器件封装标识示例



注！

[1]上图右图中第一行与第二行均为“Part Number”。

# 5 关于本手册

## 5.1 手册内容

GW5AR 系列 FPGA 产品数据手册主要包括高云半导体 GW5AR 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性以及器件订货信息，帮助用户快速了解高云半导体 GW5AR 系列 FPGA 产品特性，有助于器件选型及使用。

## 5.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [UG714, Arora V 25K FPGA 产品编程配置手册](#)
- [UG1109, GW5AR 系列 FPGA 产品封装与管脚手册](#)
- [UG1110, GW5AR-25 器件 Pinout 手册](#)
- [UG984, Arora V FPGA 产品原理图指导手册](#)

## 5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog to Digital Converter	模数转换器
AER	Advanced Error Reporting	高级错误报告
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置功能块
CM SER	Configuration Memory Soft Error Recovery	配置内存软错误恢复
CRU	Configurable Routing Unit	可编程布线单元



术语、缩略语	全称	含义
CSI	Camera Serial Interface	串行摄像头接口
CTC	Clock Tolerance Compensation	时钟容差补偿
CTLE	Continuous Time Linear Equalizer	连续时间线性均衡器
DCS	Dynamic Clock Selector	动态时钟选择器
DFF	D Flip-flop	D 触发器
DNA	Device Identifier	设备标识符
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DSI	Display Serial Interface	串行显示接口
DSP	Digital Signal Processing	数字信号处理
ECC	Error Correction Code	纠错码
ECRC	End-to-End Cyclic Redundancy Check	端到端循环冗余校验
ESD	Electro-Static Discharge	静电放电
FIFO	First In First Out	先进先出
FPG	FCPBGA	FCPBGA 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GCLK	Global Clock	全局时钟
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
GSR	Global Set/Reset	全局置位/复位
HCLK	High Speed Clock	高速时钟
IOB	Input/Output Block	输入输出模块
LUT	Look-up Table	查找表
LW	Long Wire	长线
mDRP	Mini Dynamic Re-Program Port	微型动态再编程端口
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
OTP	One Time Programmable	一次性可编程
PLL	Phase-locked Loop	锁相环
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用

## 5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

Preliminary

