

Preliminary



GW5AT 系列 FPGA 产品(车规级) 数据手册

DS1111-1.0, 2024-03-29

Preliminary

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

Preliminary

版本信息

日期	版本	说明
2024/03/29	1.0	Preliminary 版本。

目录

目录	i
图目录	iv
表目录	v
1 产品概述	1
1.1 特性概述	1
1.2 产品信息列表	3
2 结构介绍	4
2.1 结构框图	4
2.2 可配置功能单元	6
2.3 输入输出模块	7
2.3.1 I/O 电平标准	8
2.3.2 I/O 逻辑	12
2.3.3 I/O 逻辑工作模式	14
2.4 块状静态随机存储器模块	15
2.4.1 简介	15
2.4.2 存储器配置模式	15
2.4.3 存储器数据宽度配置	17
2.4.4 ECC	18
2.4.5 字节使能功能配置	19
2.4.6 同步操作	19
2.4.7 BSRAM 操作模式	19
2.4.8 时钟模式	20
2.5 数字信号处理模块	22
2.5.1 前加器	22
2.5.2 乘法器	23
2.5.3 算术逻辑单元	23
2.5.4 操作模式	23
2.6 Gigabit Transceivers	24
2.7 PCI Express (PCIe) Controller	26

2.8 MIPI D-PHY	27
2.8.1 硬核 MIPI D-PHY RX	27
2.8.2 GPIO 支持 MIPI D-PHY RX/TX (MIPI IO).....	27
2.9 ADC.....	29
2.10 时钟.....	30
2.10.1 全局时钟.....	30
2.10.2 高速时钟.....	30
2.10.3 锁相环	31
2.10.4 DDR 存储器接口时钟管理 DQS.....	32
2.10.5 长线.....	32
2.11 全局复置位	32
2.12 编程配置.....	32
2.13 片内时钟振荡器.....	33
3 电气特性	35
3.1 工作条件.....	35
3.1.1 绝对最大范围	35
3.1.2 推荐工作范围	36
3.1.3 电源上升斜率	36
3.1.4 热插拔特性.....	37
3.1.5 POR 特性	37
3.2 ESD 性能	37
3.3 DC 电气特性	38
3.3.1 推荐工作范围的 DC 电气特性	38
3.3.2 静态电流.....	39
3.3.3 I/O 推荐工作条件	39
3.3.4 单端 I/O DC 电气特性.....	40
3.3.5 差分 I/O DC 电气特性.....	41
3.4 AC 开关特性.....	42
3.4.1 CFU 开关特性	42
3.4.2 BSRAM 开关特性.....	42
3.4.3 DSP 开关特性	42
3.4.4 Gearbox 开关特性.....	43
3.4.5 时钟和 I/O 开关特性	44
3.4.6 片内时钟振荡器开关特性	44
3.4.7 PLL 开关特性	44
3.5 Gigabit Transceiver 特性.....	46
3.5.1 Transceiver 特性	46

3.5.2 Transceiver PLL 特性.....	46
3.6 编程接口时序标准	46
4 器件订货信息	47
4.1 器件命名.....	47
4.2 器件封装标识示例	48
5 关于本手册.....	49
5.1 手册内容.....	49
5.2 相关文档.....	49
5.3 术语、缩略语	49
5.4 技术支持与反馈.....	51

图目录

图 2-1 结构概念示意图	4
图 2-2 CFU 结构示意图	6
图 2-3 IOB 结构示意图	7
图 2-4 GW5AT-138 I/O Bank 分布示意图.....	8
图 2-5 I/O 逻辑输出示意图	12
图 2-6 I/O 逻辑输入示意图	12
图 2-7 IODELAY 示意图	13
图 2-8 I/O 寄存器示意图	14
图 2-9 单端口、伪双端口及双端口模式下的流水线模式.....	19
图 2-10 独立时钟模式	21
图 2-11 读写时钟模式	21
图 2-12 单端口时钟模式	22
图 2-13 Gigabit Transceiver 结构示意图	24
图 2-14 时钟资源	30
图 2-15 GW5AT HCLK 示意图.....	31
图 4-1 器件命名方法示例–ES	47
图 4-2 器件命名方法示例–Production	47
图 4-3 器件封装标识示例.....	48

表目录

表 1-1 产品信息列表	3
表 1-2 GW5AT 系列 FPGA 产品封装和最大用户 I/O 信息.....	3
表 2-1 GW5AT-138 支持的输出 I/O 类型及部分可选配置.....	9
表 2-2 GW5AT-138 支持的输入 I/O 类型及部分可选配置.....	10
表 2-3 IODELAY 总延迟参考	13
表 2-3 GW5AT 系列 FPGA 产品支持的串行/解串比率	14
表 2-4 存储器配置列表	15
表 2-5 双端口模式读写数据宽度配置列表	17
表 2-6 伪双端口模式读写数据宽度配置列表.....	17
表 2-7 带 ECC 功能的伪双端口模式数据宽度配置列表（GW5AT-138）	18
表 2-8 时钟模式配置列表.....	20
表 2-12 GW5AT 系列 FPGA 产品的 MIPI IO 模式支持列表	27
表 3-1 绝对最大范围.....	35
表 3-2 推荐工作范围(.....	36
表 3-3 电源上升斜率	36
表 3-4 热插拔特性.....	37
表 3-5 POR 电压参数	37
表 3-6 GW5AT ESD - HBM	37
表 3-7 GW5AT ESD – CDM	37
表 3-8 推荐工作范围内的 DC 电气特性	38
表 3-9 静态电流	39
表 3-10 I/O 推荐工作条件	39
表 3-11 单端 I/O DC 电气特性	40
表 3-12 差分 I/O DC 电气特性	41
表 3-13 CFU 时序参数.....	42
表 3-14 BSRAM 时序参数	42
表 3-15 DSP 时序参数.....	42
表 3-18 GW5AT-138 / GW5AT-75 Gearbox 时序参数.....	43
表 3-16 外部开关特性.....	44

表 3-17 片内时钟振荡器开关特性.....	44
表 3-18 PLL 开关特性.....	44
表 3-19 发射器和接收器数据传输特性.....	46
表 3-20 Transceiver PLL 特性特性.....	46
表 5-1 术语、缩略语	49

1 产品概述

高云半导体 GW5AT 系列 FPGA 产品是高云半导体晨熙®家族第五代产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3、支持多种协议的 12.5Gbps SERDES，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW5AT 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 低功耗
 - 22nm SRAM 工艺
 - LV 版本核电压：0.9V/1.0V
 - 支持时钟动态打开/关闭
- 丰富的基本逻辑单元
 - 具有多达 138K 4 输入 LUT(LUT4)
 - 支持分布式存储器
- 支持多种模式的块状静态随机存储器
 - 支持双端口、单端口、伪双端口及只读模式
 - 支持字节写使能
 - 支持 ECC 检测及纠错
- 支持 270 Mbps 到 12.5G bps SERDES 自定义协议，以及 10G 以太网等多种传输协议
- 支持 PCIe 2.0 硬核
 - 支持 x1, x2, x4, x8 通道
 - 支持 Root Complex 和 End Point 双模式
- 支持 MIPI D-PHY RX 硬核
 - 支持 MIPI DSI 和 MIPI CSI-2 RX 器件接口
 - MIPI 传输速率单通道可达 2.5Gbps
 - 支持最多八个数据通道和两个时钟通道，传输带宽最高可达 20Gbps
- GPIO 支持 MIPI D-PHY RX (MIPI IO)
 - GPIO 可配置为 MIPI DSI 和 MIPI CSI-2 RX 器件接口
 - MIPI 传输速率单通道可达 1.5Gbps

- 全新架构高性能 DSP 模块
 - 高性能数字信号处理能力
 - 支持 27 x 18、12 x 12 及 27 x 36 位的乘法运算和 48 位累加器
 - 支持多个乘法器级联
 - 支持寄存器流水线和旁路功能
 - 前加运算实现滤波器功能
 - 支持桶形移位寄存器
- 集成全新灵活的多通道过采样 ADC，精度高、不需要外部提供电压源
- 支持多种 SDRAM 接口，最高支持 DDR3 1333 Mbps
- 支持多种 I/O 电平标准
 - 提供输入信号去迟滞选项
 - 支持 4mA、8mA、12mA、16mA、24 mA 等驱动能力
 - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
- 支持热插拔
- 16 个全局时钟、12 个高性能 PLL、24 个高速时钟
- 编程配置特性
 - 支持 JTAG 配置模式
 - 支持 4 种 GowinConfig 配置模式：SSPI、MSPI、CPU、SERIAL
 - 支持 JTAG、SSPI 模式直接编程 SPI Flash，其他模式可以通过 IP 的方式编程 SPI Flash
 - 支持背景升级
 - 支持比特流文件加密和安全位设置
 - 支持配置内存软错误恢复 (CMSER)
 - 支持 OTP，每个器件有唯一的 64 位 DNA 标识

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW5AT-138
逻辑单元(LUT4)	138240
寄存器(REG)	138240
分布式静态随机存储器 SSRAM(Kb)	1080
块状静态随机存储器 BSRAM(Kb)	6120
块状静态随机存储器数目 BSRAM(个)	340
DSP (27-bit x 18-bit)	298
最多锁相环 ^[1] (PLLs)	12
全局时钟	16
高速时钟	24
Transceivers	8
Transceivers 速率	270Mbps-12.5Gbps
PCIe 2.0 硬核	1, x1, x2, x4, x8 PCIe 2.0
LVDS Gbps	1.25
DDR3 Mbps	1333
MIPI D-PHY 硬核	2.5Gbps (RX) 8 数据通道, 2 时钟通道
ADC	2
GPIO Bank 数	6
最大 GPIO 数	312
核电压	0.9V/1.0V

注!

^[1] 不同封装支持的锁相环数量不同，此处为最大值。

表 1-2 GW5AT 系列 FPGA 产品封装和最大用户 I/O 信息

封装			间距 (mm)	尺寸 (mm)	GW5AT-138		
名称	类型	描述			I/O (True LVDS Pair)	Transceivers ^[1]	MIPI D-PHY 硬核
UG324A	UBGA	Wire Bond	0.8	15x15	142 (68)	4	RX 8 数据通道, 2 时钟通道

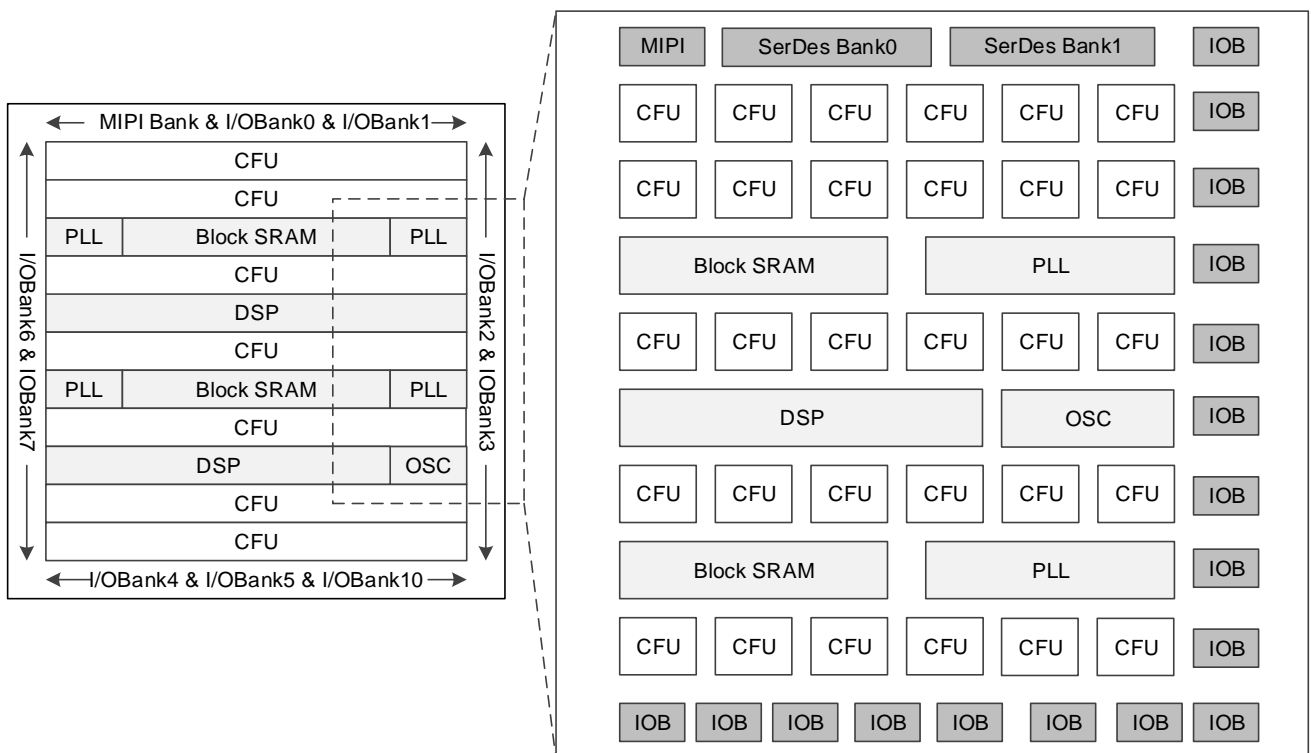
注!

^[1] UBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps，当速率超过 8 Gbps 时，只支持板上互联，不支持背板应用。

2 结构介绍

2.1 结构框图

图 2-1 结构概念示意图



以 GW5AT-138 为例，图 2-1 为 GW5AT 系列 FPGA 产品结构示意图，器件内部资源数量详细资料请参考表 1-1。器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了块状静态随机存储器 (BSRAM) 模块、数字信号处理模块 DSP、Gigabit Transceiver、MIPI D-PHY、ADC、PLL 资源和片内时钟振荡器。

GW5AT 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元 (CFU) 可以配置成查找表

(LUT4) 模式、算术逻辑模式和存储器模式。详细资料请参考 [2.2 可配置功能单元](#)。

GW5AT 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式、通用 DDR 模式和 DDR_MEM 模式。详细资料请参考 [2.3 输入输出模块](#)。

GW5AT 系列 FPGA 产品的块状静态随机存储器 (BSRAM) 在器件内部按照行排列。一个 BSRAM 的容量最大为 36Kbits，由两个 18Kbits BSRAM 构成，支持多种配置模式和操作模式。详细资料请参考 [2.4 块状静态随机存储器模块](#)。

GW5AT 系列 FPGA 产品中内嵌了全新的数字信号处理模块 DSP，可满足用户的高性能数字信号处理需求，详细资料请参考 [2.5 数字信号处理模块](#)。

GW5AT 系列 FPGA 产品包含 Gigabit Transceiver Quad，每个 Quad 支持最多 4 个收发器，详细信息请参考 [2.6 Gigabit Transceiver](#)。

GW5AT 系列 FPGA 产品包含硬核 MIPI D-PHY，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2，详细资料请参考 [2.8 MIPI D-PHY](#)。

GW5AT 系列 FPGA 产品集成了一个全新灵活的过采样 ADC，详细资料请参考 [2.9 ADC](#)。

GW5AT 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内时钟振荡器，支持 1.67MHz 到 105MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内时钟振荡器提供可编程的用户时钟，详细资料请参考 [2.13 片内时钟振荡器](#)。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元 (CFU) 和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW5AT 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料行参考、[2.11 全局复置位](#)、[2.12 编程配置](#)。

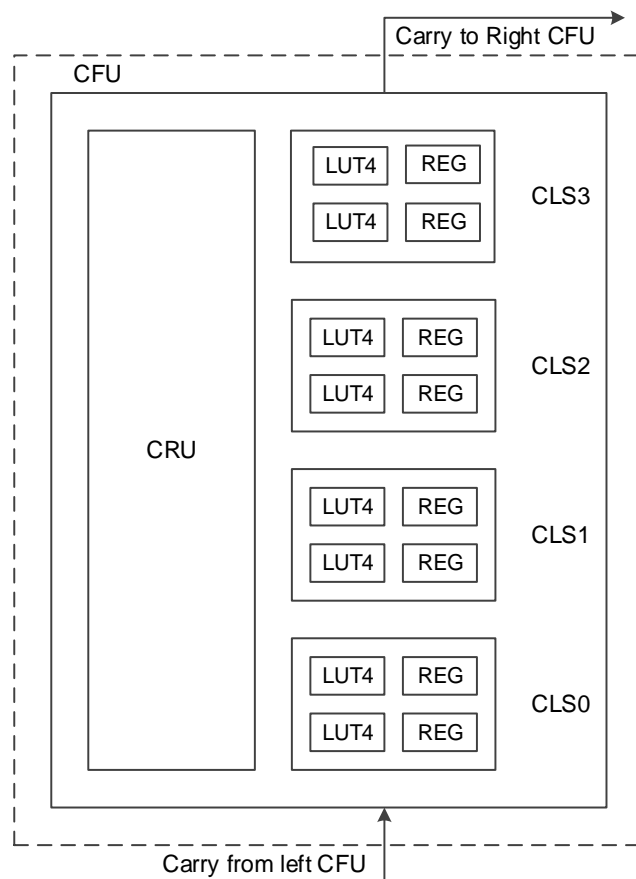
2.2 可配置功能单元

可配置功能单元(CFU)是构成高云半导体 FPGA 产品内核的基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中每个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，如图 2-2 所示。

CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU 的更多详细信息，请参考 [UG303, Arora V 可配置功能单元 \(CFU\) 用户指南](#)。

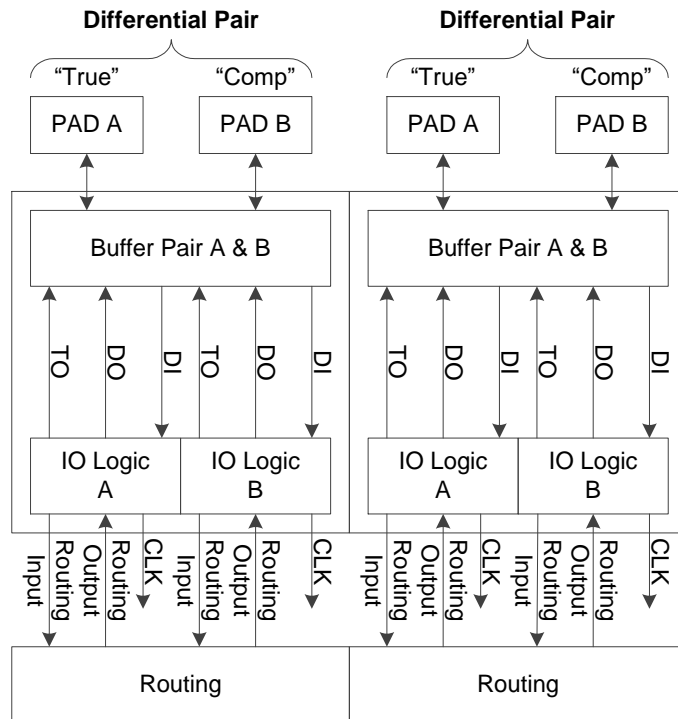
图 2-2 CFU 结构示意图



2.3 输入输出模块

GW5AT 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 2-3 所示，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-3 IOB 结构示意图



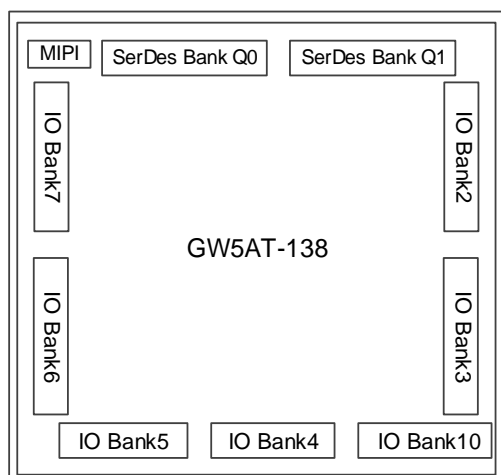
GW5AT 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 Vccio 机制；
- 所有 Bank 均支持真差分输入；
- 支持 LVCMOS、PCI、LVTTTL、SSTL、HSTL、LVDS、Mini_LVDS、RSDS、PPDS、BLVDS 等多种电平标准；
- 提供输入信号去迟滞选项；
- 提供输出信号驱动电流选项；
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项；
- 支持热插拔；
- I/O 逻辑支持 SDR 模式以及 DDR 等多种模式。

2.3.1 I/O 电平标准

GW5AT 系列中，GW5AT-138 I/O 包括 6 个 GPIO Bank (Bank2~7)，两个 SerDes Bank 以及一个配置用 Bank (Bank 10)，Bank 10 也可以复用于 I/O Bank，如图 2-4 所示。

图 2-4 GW5AT-138 I/O Bank 分布示意图



每个 Bank 有独立的 I/O 电源 V_{CCIO} 。 V_{CCIO} 可以设置为 3.3V、2.5V、1.8V、1.5V、1.35V、1.2V 或 1V。

注!

GW5AT-138 器件：为支持 SSTL, HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(VREF)，用户可以选择使用 IOB 内置的 VREF 源(0.6V、0.675V、0.75V、0.9V，以及基于 V_{CCIO} 的比例电压(33%,42%,50%,58%)，也可选择外部的 VREF 输入(使用 Bank 中任意一个 I/O 管脚作为外部 VREF 输入)。

GW5AT 系列 FPGA 产品不同的 Bank 支持不同的片上电阻设置，包括单端电阻和差分电阻两种。单端电阻设置用于 SSTL/HSTL 输入输出。差分电阻设置用于 LVDS/PPDS/ RSDS 输入。详细资料请参考 [UG304, Arora V可编程通用管脚 \(GPIO\) 用户指南](#)。

注!

配置前及配置过程中，器件所有 GPIO 默认弱上拉。配置完成后 I/O 状态默认为 None，可通过软件配置。Config 相关 I/O 的状态根据配置模式的不同有所区别。

GW5AT-138 支持的 I/O 类型及部分可选配置如表 2-1、表 2-2 所示。

表 2-1 GW5AT-138 支持的输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	应用
LVDS25	差分(TLVDS)	2.5/3.3	3.5/2.5/4.5/6	点对点高速数据传输
BLVDS25		2.5/3.3	3.5/2.5/4.5/6	多点高速数据传输
RSDS		2.5/3.3	3.5/2.5/4.5/6	点对点高速数据传输
MINILVDS		2.5/3.3	3.5/2.5/4.5/6	LCD 时序驱动与列驱动器接口
PPLVDS		2.5/3.3	3.5/2.5/4.5/6	LCD 行/列驱动
LVDS25E	差分	2.5	8/4/12/16/24	点对点高速数据传输
BLVDS25E		2.5	8/4/12/16/24	多点高速数据传输
MLVDS25E		2.5	8/4/12/16/24	LCD 时序驱动与列驱动器接口
RSDS25E		2.5	8/4/12/16/24	点对点高速数据传输
LVPECL33E		3.3	8/4/12/16/24	通用接口
HSUL12D		1.2	8/4/12	LPDDR2
HSUL12D_I		1.2	8/4/12	LPDDR2
HSTL15D_I		1.5	8/4/12/16	存储接口
HSTL15D_II ^[4]		1.5	8/4/12/16	存储接口
HSTL18D_I		1.8	8/4/12/16	存储接口
HSTL18D_II		1.8	8/4/12/16	存储接口
SSTL135D		1.35	8/4/12	存储接口
SSTL15D		1.5	8/4/12/16	存储接口
SSTL18D_I		1.8	8/4/12/16/24	存储接口
SSTL18D_II		1.8	8/4/12/16/24	存储接口
LPDDR		1.8	8/4/12/16/24	LPDDR 及 Mobile DDR
LVC MOS10D		1.0	4	通用接口
LVC MOS12D		1.2	4/8	通用接口
LVC MOS15D		1.5	4/8/12	通用接口
LVC MOS18D		1.8	4/8/12/16/24	通用接口
LVC MOS25D	2.5	4/8/12/16/24	通用接口	
LVC MOS33D	3.3	8/4/12/16/24	通用接口	
HSUL12	单端	1.2	8/4/12	存储接口
HSTL12_I		1.2	8/4/12	存储接口
HSTL15_I		1.5	8/4/12/16	存储接口
HSTL15_II		1.5	8/4/12/16	存储接口
HSTL18_I		1.8	8/4/12/16/24	存储接口
HSTL18_II		1.8	8/4/12/16/24	存储接口
SSTL135		1.35	8/4/12	存储接口

I/O 输出标准	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	应用
SSTL15		1.5	8/4/12/16	存储接口
SSTL18_I		1.8	8/4/12/16/24	存储接口
SSTL18_II		1.8	8/4/12/16/24	存储接口
LVC MOS10		1.0	4	通用接口
LVC MOS12		1.2	4/8/12	通用接口
LVC MOS15		1.5	4/8/12/16	通用接口
LVC MOS18		1.8	4/8/12/16/24	通用接口
LVC MOS25		2.5	4/8/12/16/24	通用接口
LVC MOS33/LVTTL33		3.3	8/4/12/16/24	通用接口
LPDDR		1.8	8/4/12/16/24	LPDDR 及 Mobile DDR
PCI33		3.3	8/4/12/16/24	PC 和嵌入式系统

表 2-2 GW5AT-138 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank V _{CCIO} (V)	支持去迟滞选项	是否需要 V _{REF}
MIPI	差分	1.2	否	否
ADC_IN		2.5/1.0/1.2/1.5/1.8/3.3	否	否
LVDS25		2.5/1.0/1.2/1.5/1.8/3.3	否	否
BLVDS25		2.5/1.0/1.2/1.5/1.8/3.3	否	否
RS DS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
MINILVDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
PPLVDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
HSUL12D		1.2/1.0/1.5/1.8/2.5/3.3	否	否
HSTL12D_I		1.2/1.0/1.5/1.8/2.5/3.3	否	否
HSTL15D_I		1.5/1.0/1.2/1.8/2.5/3.3	否	否
HSTL15D_II		1.5/1.0/1.2/1.8/2.5/3.3	否	否
HSTL18D_I		1.8/1.0/1.2/1.5/2.5/3.3	否	否
HSTL18D_II		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL135D		1.35/1.0/1.2/1.5/1.8/2.5/3.3	否	否
SSTL15D		1.5/1.0/1.2/1.8/2.5/3.3	否	否
SSTL18D_I		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL18D_II		1.8/1.0/1.2/1.5/2.5/3.3	否	否
LPDDR D		1.8/1.0/1.2/1.5/2.5/3.3	否	否
LVC MOS10D		1.0/1.2/1.5/1.8/2.5/3.3	否	否
LVC MOS12D		1.2/1.0/1.5/1.8/2.5/3.3	否	否
LVC MOS15D	1.5/1.0/1.2/1.8/2.5/3.3	否	否	
LVC MOS18D	1.8/1.0/1.2/1.5/2.5/3.3	否	否	
HSUL12	单端	1.2	否	是

I/O 输入标准	单端/差分	Bank V _{CCIO} (V)	支持去迟滞选项	是否需要 V _{REF}
HSTL12_I		1.2	否	是
HSTL15_I		1.5	否	是
HSTL15_II		1.5	否	是
HSTL18_I		1.8	否	是
HSTL18_II		1.8	否	是
SSTL135		1.35	否	是
SSTL15		1.5	否	是
SSTL18_I		1.8	否	是
SSTL18_II		1.8	否	是
LVC MOS10		1.0	否	否
LVC MOS10UD12		1.2	否	否
LVC MOS10UD15		1.5	否	否
LVC MOS10UD18		1.8	否	否
LVC MOS10UD25		2.5	否	否
LVC MOS10UD33		3.3	否	否
LVC MOS12		1.2	是	否
LVC MOS15		1.5	是	否
LVC MOS15OD10		1.0	是	否
LVC MOS15OD12		1.2	是	否
LVC MOS15UD18		1.8	是	否
LVC MOS15UD25		2.5	是	否
LVC MOS15UD33		3.3	是	否
LVC MOS18		1.8	是	否
LVC MOS18OD10		1.0	是	否
LVC MOS18OD12		1.2	是	否
LVC MOS18OD15		1.5	是	否
LVC MOS18UD25		2.5	是	否
LVC MOS18UD33		3.3	是	否
LVC MOS25		2.5	是	否
LVC MOS25UD33		3.3	是	否
LVC MOS33/ LVTTTL33		3.3	是	否
LVC MOS33OD25		2.5	是	否
LPDDR		1.8	是	否
PCI33		3.3	是	否
VREF1_DRIVER		1.8/1.2/1.35/1.5	否	是

2.3.2 I/O 逻辑

图 2-5 为 GW5AT 系列 FPGA 产品的 I/O 逻辑的输出部分。

图 2-5 I/O 逻辑输出示意图

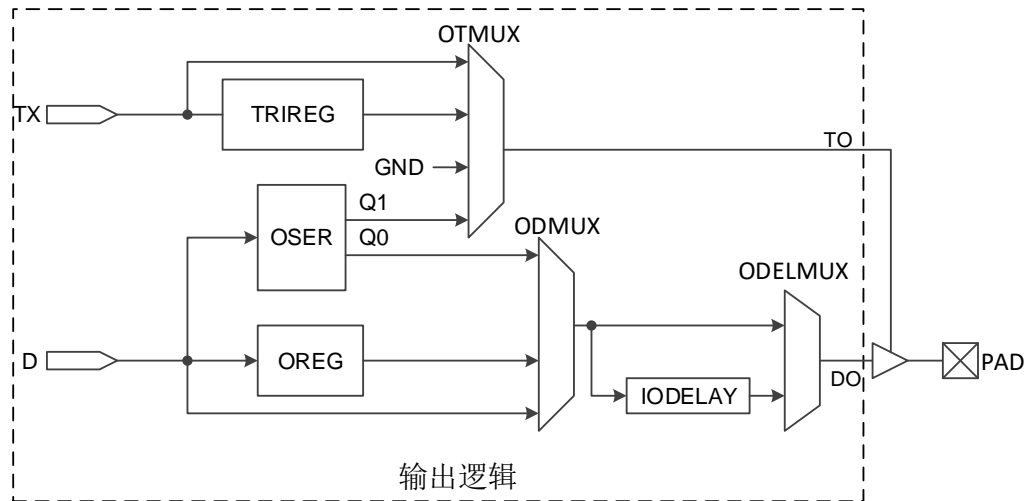
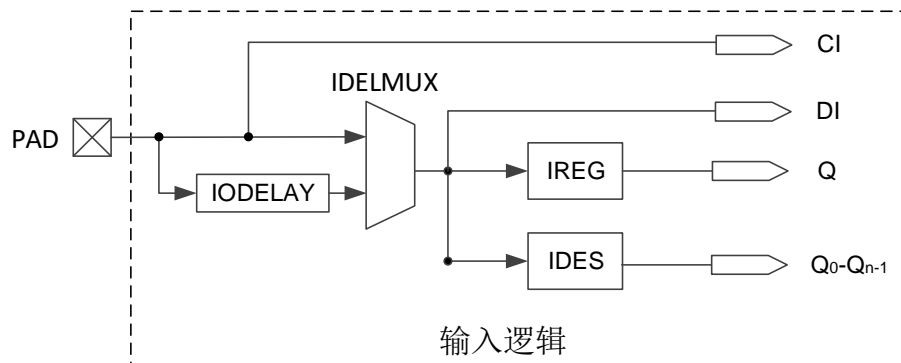


图 2-6 为 GW5AT 系列 FPGA 产品的 I/O 逻辑的输入部分。

图 2-6 I/O 逻辑输入示意图



GW5AT 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

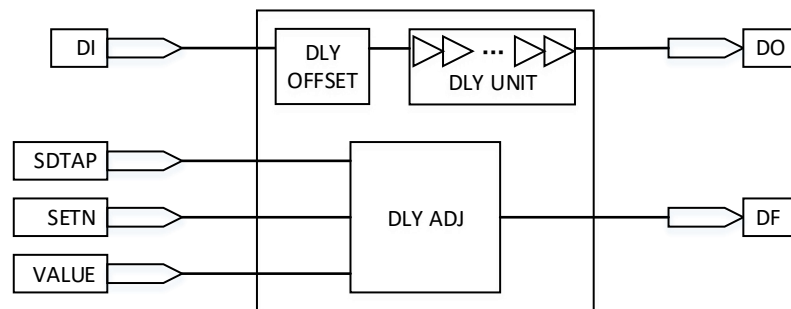
延迟模块

图 2-7 为延迟模块 IODELAY。GW5AT 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，用户可以通过该模块在 IO 上增加额外的 delay 用于调整输入输出信号的延时。每一步的延迟时间为 $T_{dlyunit}$ ，总共可以提供的延迟步数为 DLYSTEP。IODELAY 总延迟时间为： $T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$ ，总延迟参考时间如表 2-3 所示。

表 2-3 IODELAY 总延迟参考

	Min.	Typ.	Max.
$T_{dlyoffset}$	200 ps	250 ps	300 ps
$T_{dlyunit}$	10 ps	12.5 ps	15 ps
DLYSTEP	0	-	255

图 2-7 IODELAY 示意图



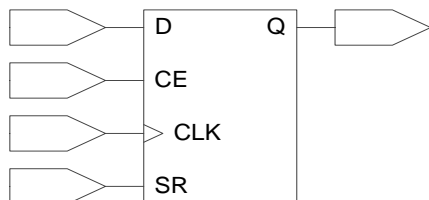
有三种控制延迟的方式：

- 静态控制。
- 动态控制，可配合综合逻辑功能电路来实现动态调节数据延时。
- 自适应控制。

I/O 寄存器

图 2-8 为 GW5AT 系列 FPGA 产品的 I/O 寄存器模块。GW5AT 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TREG。

图 2-8 I/O 寄存器示意图



注!

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(DFF)或锁存器(Latch)。

解串器 DES 及串化器 SER 模块

GW5AT 系列 FPGA 产品支持多种比率模式的串行化和解串功能，具体如下表所示：

表 2-4 GW5AT 系列 FPGA 产品支持的串行/解串比率

	支持的比率
输入逻辑	1:2 / 1:4 / 1:7 / 1:8 / 1:10 / 1:14 / 1:16 / 1:32
输出逻辑	2:1 / 4:1 / 7:1 / 8:1 / 10:1 / 16:1 / 14:1

2.3.3 I/O 逻辑工作模式

GW5AT 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

关于 I/O 逻辑工作模式的详细信息，请参考 [UG304, Arora V 可编程通用管脚\(GPIO\)用户指南](#)。

2.4 块状静态随机存储器模块

2.4.1 简介

GW5AT 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（BSRAM）。每个 BSRAM 可配置最高 36Kbits。提供 5 种操作模式：单端口模式（Single Port），双端口模式（Dual Port），伪双端口模式（Semi Dual Port），带 ECC 功能的伪双端口模式（Semi Dual Port with ECC function）及只读模式（ROM）。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 36Kbits，由两个 18Kbits BSRAM 构成
- 时钟频率达到 380MHz
- 支持单端口模式
- 支持双端口模式
- 支持伪双端口模式
- 提供 ECC 检测及纠错功能
- 支持只读存储器模式
- 数据宽度最大支持 72 bits
- 双端口模式和伪双端口模式支持读写时钟独立、数据位宽独立
- 读模式支持寄存器输出或旁路输出
- 写模式支持 Normal 模式和 Write-Through 模式

2.4.2 存储器配置模式

GW5AT 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 2-5 所示。

表 2-5 存储器配置列表

存储容量	单端口模式	双端口模式	伪双端口模式	带 ECC 功能的伪双端口模式	只读模式
16Kbits	16K x 1	16K x 1	16K x 1	-	16K x 1
	8K x 2	8K x 2	8K x 2	-	8K x 2
	4K x 4	4K x 4	4K x 4	-	4K x 4
	2K x 8	2K x 8	2K x 8	-	2K x 8
	1K x 16	1K x 16	1K x 16	-	1K x 16
	512 x 32	-	512 x 32	-	512 x 32

存储容量	单端口模式	双端口模式	伪双端口模式	带 ECC 功能的伪双端口模式	只读模式
18Kbits	2K x 9	2K x 9	2K x 9	-	2K x 9
	1K x 18	1K x 18	1K x 18	-	1K x 18
	512 x 36	-	512 x 36	-	512 x 36
36Kbits	-	-	-	512 x 72	-

单端口模式

在单端口模式，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 2 种写模式

（Normal 模式和 Write-Through 模式）。正常读写模式时，写入数据将会存储在内部记忆阵列中。通写模式时，数据不但会储存在内部记忆阵列中，而且会被写到 BSRAM 的输出。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

双端口模式

BSRAM 支持双端口模式，支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 2 种写模式（Normal 模式和 Write-Through 模式）。可对两个端口做如下操作：

- 两个端口同时读操作，读取任意指定地址上的数据。
- 两个端口同时写操作，将数据写入不同的任意地址。
- 任何一个端口的读和写。

注！

- 双端口可以同时同一地址进行读操作，读空或者重复读不会对存储模块造成损坏。
- 当双端口同时对同一地址空间进行写操作时，双端口写操作同时失败。
- 当一端口为读操作，一端口为写操作，且访问同一地址空间时，写端口可以正常写入数据，读端口操作失败，输出数据未知。BSRAM 内容为写端口写入值。

双端口模式写时钟和读时钟独立，支持读/写操作数据位宽独立。相关详细信息及双端口模式的端口示意图等描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

伪双端口模式

伪双端口支持 A 端口只写，B 端口只读，两个端口可以进行独立的读/写操作，并且只支持“正常写模式”。当双端口同时访问同一地址空间时，写端口可以正常写入数据，读端口操作失败，输出数据未知。BSRAM 内容为写端口写入值。

伪双端口模式写时钟和读时钟独立，支持读/写操作数据位宽独立。相关详细信息及伪双端口模式的端口示意图等描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

带 ECC 功能的伪双端口模式

带 ECC 功能的伪双端口模式支持 A 端口只写，B 端口只读，两个端口可以进行独立的读/写操作，支持读/写操作数据位宽独立，同时支持 ECC 功能，相关详细信息及端口示意图等描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 [UG300, Arora V 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

2.4.3 存储器数据宽度配置

GW5AT 系列 FPGA 产品的块状静态随机存储器模块支持读/写操作数据位宽独立。在双端口模式模式、伪双端口模式以及带 ECC 功能的伪双端口模式下，A 端口和 B 端口的数据宽度可以不同，A 端口和 B 端口支持的数据位宽如表 2-6、表 2-7 以及表 2-8 所示。

表 2-6 双端口模式读写数据宽度配置列表

存储容量	B 端口	A 端口						
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16Kbits	16K x 1	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	8K x 2	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	4K x 4	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	2K x 8	Yes	Yes	Yes	Yes	Yes	N/A	N/A
	1K x 16	Yes	Yes	Yes	Yes	Yes	N/A	N/A
18Kbits	2K x 9	N/A	N/A	N/A	N/A	N/A	Yes	Yes
	1K x 18	N/A	N/A	N/A	N/A	N/A	Yes	Yes

表 2-7 伪双端口模式读写数据宽度配置列表

存储容量	B 端口	A 端口										
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x 32	2K x 9	1K x 18	512 x 36	1K x 36	512 x 72
16Kbits	16K x 1	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A
	8K x 2	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A
	4K x 4	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A
	2K x 8	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A

存储容量	B 端口	A 端口										
		16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x 32	2K x 9	1K x 18	512 x 36	1K x 36	512 x 72
	1K x 16	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A
	512 x 32	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A
18Kbits	2K x 9	N/A	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes	N/A	N/A
	1K x 18	N/A	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes	N/A	N/A

表 2-8 带 ECC 功能的伪双端口模式数据宽度配置列表 (GW5AT-138)

存储容量	B 端口	A 端口	
			512 x 72
36Kbits	512 x 72	N/A	*

2.4.4 ECC

GW5AT-138 器件的块状静态随机存储器模块 BSRAM 内置 ECC 硬核模块，主要用于数据传输及存储过程中进行数据检测及纠正。具有如下特性：

- 仅在 SDP 512 x 64 模式下支持 ECC 错误检测及纠正
- 支持 64-bit SRAM 数据中 1 bit 错误纠正，2 bits 错误报警
- 72-bit ECC 模块中包含 64-bit 数据位和 8-bit parity bits(校验位)
- 第 31 位和第 63 位支持 1 bit 及 2 bits 错误注入

2.4.5 字节使能功能配置

BSRAM 支持字节使能 (byte-enable) 功能——被选中的字节可被写入。字节使能功能只用于写入，在位宽为 16/18、32/36 时可用。读/写使能信号(WREA, WREB)，及 byte-enable 参数选项用于控制 BSRAM 的写操作。

2.4.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路 Bypass。

2.4.7 BSRAM 操作模式

BSRAM 支持 4 种操作模式，包括 2 种读操作模式(旁路模式 Bypass, 流水线读模式 Pipeline)和 2 种写操作模式(正常写模式: Normal, 通写模式: Write-Through)。

读操作模式

通过输出寄存器或不通过输出寄存器从 BSRAM 读出数据。

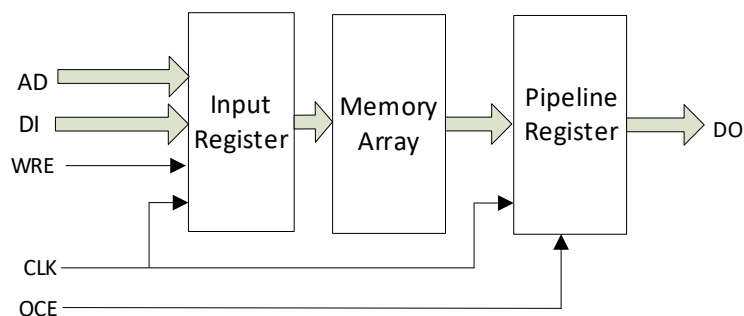
流水线模式

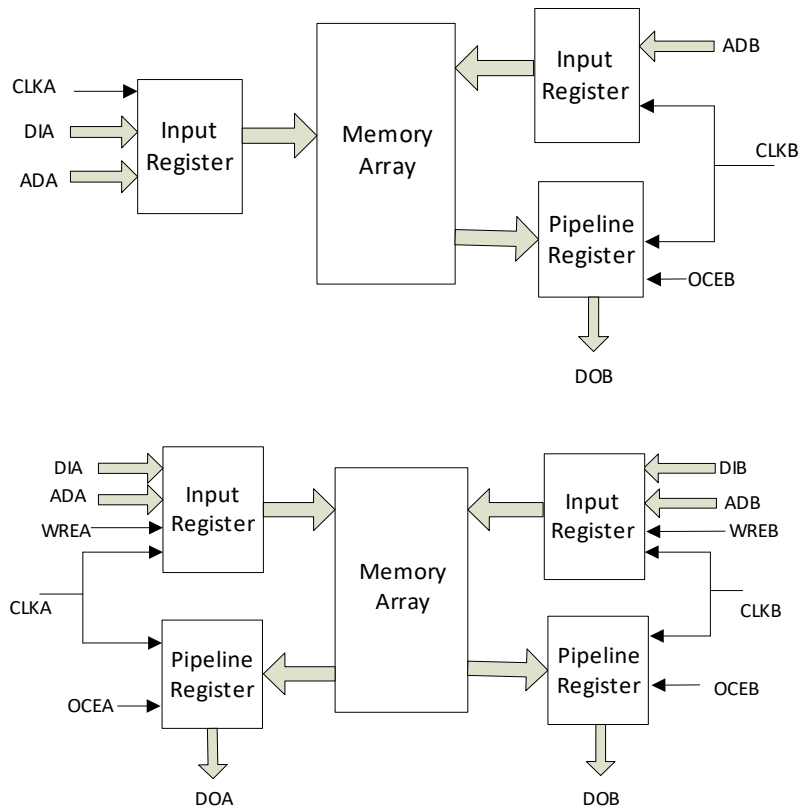
读出数据时，数据通过输出寄存器根据时钟节拍同步读出。此模式可支持数据宽度最大 72 位。

旁路模式

不使用输出寄存器，读出数据时,直接送到输出端口。

图 2-9 单端口、伪双端口及双端口模式下的流水线模式





写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

2.4.8 时钟模式

表 2-9 中列出了不同 BSRAM 模式下可使用的时钟模式：

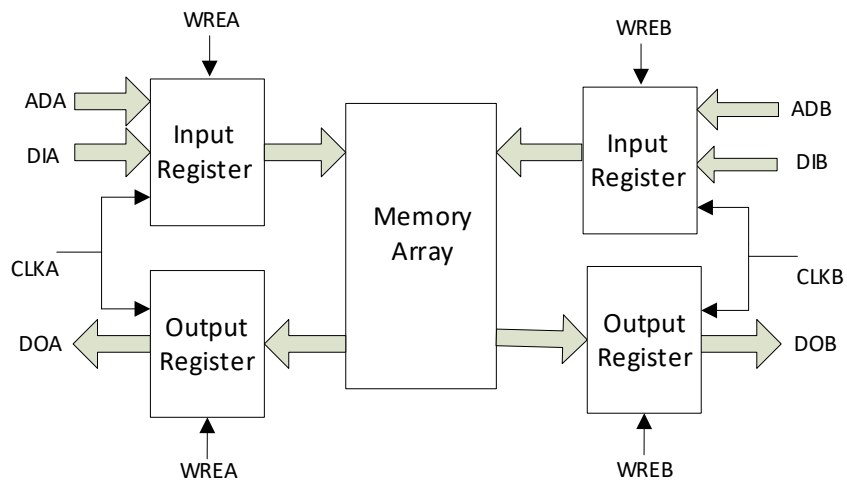
表 2-9 时钟模式配置列表

时钟模式	BSRAM 模式		
	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 2-10 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

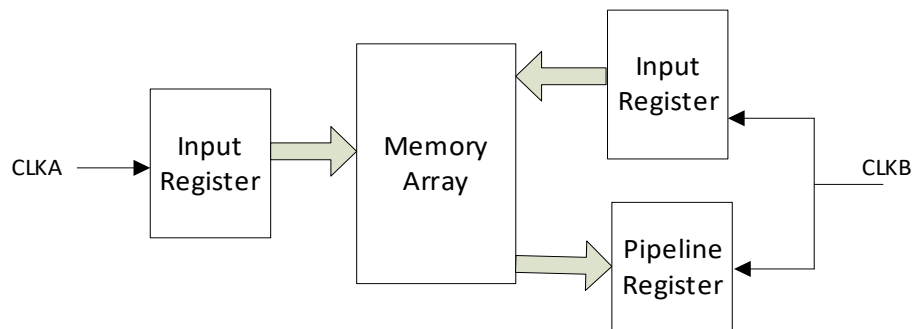
图 2-10 独立时钟模式



读写时钟模式

图 2-11 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

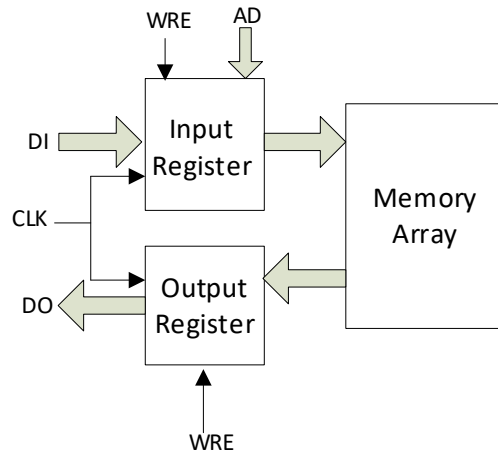
图 2-11 读写时钟模式



单端口时钟模式

图 2-12 显示了单端口时钟模式。

图 2-12 单端口时钟模式



2.5 数字信号处理模块

GW5AT 系列 FPGA 产品中集成全新的 DSP 模块资源，该 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR，FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 特性如下：

- 可以配置为 12 x 12、27 x 18 及 27 x 36 带符号乘法器
- 48-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 支持寄存器输出和旁路输出
- 数据是有符号操作

每个 DSP 主要由三部分组成：

- 前加器
- 乘法器
- 算术逻辑单元

2.5.1 前加器

每个 DSP 包含一个前加器，实现预加、预减和移位功能。

前加器位于 DSP 的最前端，有两个输入端：

- 26-bit 输入 C;
 - 并行 26-bit 输入 A 或 SIA。
- 每个输入端都支持寄存器模式和旁路模式。

2.5.2 乘法器

每个 DSP 包含一个 27 x 18 的乘法器 M0(multipliers)和一个 12 x 12 的乘法器 M1(multipliers)，乘法器(multipliers)位于前加器之后，用来实现乘法运算，输入端和输出端都支持寄存器模式和旁路模式。

乘法器 M0 支持的配置模式包括：

- 一个 27 x 18 乘法器
- 一个 12 x 12 乘法器
- 两个 DSP 可以配置成一个 27 x 36 乘法器

乘法器 M1 仅支持配置为一个 12 x 12 乘法器。

当乘法器 M0 和乘法器 M1 同时配置为 12 x 12 乘法器，且 ALU 使能时，可以实现 12 x 12 SUM 模式。

2.5.3 算术逻辑单元

每个 DSP 包含一个四输入的 48 位 ALU，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式，支持乘法器 M0 输出、乘法器 M1 输出（或 48bit 操作数 D）、ALU 级联输入及 ALU 输出反馈或静态 PRE_LOAD 值的加法/减法运算。

2.5.4 操作模式

通过控制信号可实现 DSP 多种操作模式。操作模式如下：

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

关于数字信号处理模块更多详细信息，请参考 [UG305, Arora V 数字信号处理器\(DSP\)用户指南](#)。

2.6 Gigabit Transceivers

GW5AT-138 器件包含两个 Transceiver Quad，GW5AT-60 器件包含一个 Transceiver Quad，每个 Quad 支持最多 4 个收发器，每个收发器均包含一个发射器(TX)和一个接收器(RX)，支持从 270Mbps 到 12.5Gbps 的数据速率，支持可配置的 PMA 和 PCS。

以 GW5AT-138 器件为例，Transceiver Quad 结构示意图如图 2-13 所示。支持的协议如下所示：

- PCI Express, V2.0 (2.5 Gbps /5.0 Gbps)
- 10 Gigabit Attachment Unit Interface (XAUI) (3.125Gbps)
- RXAUI (Reduced XAUI) (6.25Gbps)
- CEI-6G-SR (6.375Gbps)
- SATA Rev3.2 (6Gbps/3Gbps/1.5Gbps) (need soft IP support)
- Serial GMII(SGMII) (1.25Gbps)
- CPRI (need soft IP support; soft IP available)
- JESD204B (need soft IP support; soft IP available)
- Rapid-IO (need soft IP support; soft IP available)
- 1000Base-X (need soft IP support; soft IP available)
- 10G-Base-R (need soft IP support; soft IP available)
- SDI-Tx/Rx (need soft IP support; soft IP available)
- SLVS-EC(Rx) (need soft IP support; soft IP available)

图 2-13 Gigabit Transceiver 结构示意图

Bank 0					Bank 1				
CH0 PMA TX + RX	CH1 PMA TX + RX	Quad 0 Common Logic	CH2 PMA TX + RX	CH3 PMA TX + RX	CH0 PMA TX + RX	CH1 PMA TX + RX	Quad 1 Common Logic	CH2 PMA TX + RX	CH3 PMA TX + RX
CH0 PCS PCIe PCS + Flexible PCS	CH1 PCS PCIe PCS + Flexible PCS		CH2 PCS PCIe PCS + Flexible PCS	CH3 PCS PCIe PCS + Flexible PCS	CH0 PCS PCIe PCS + Flexible PCS	CH1 PCS PCIe PCS + Flexible PCS		CH2 PCS PCIe PCS + Flexible PCS	CH3 PCS PCIe PCS + Flexible PCS
FPGA Fabric									

PMA

- 每个 Quad 共享两个 PLL（一个为 LC PLL，另一个为环振 PLL）
- 发送端支持具有 SSC 的参考时钟（Transmitter through tracking of spread reference clock）
- 发送端支持可编程均衡器，支持进行 1 tap pre-cursor 及 1 tap post-

cursor 调整, 提高信号完整性 (Lane driver with programmable transmitter equalization with 1 tap pre-cursor and 1 tap post-cursor to improve signal integrity)

- 支持电压模式、电流模式、交流耦合模式、直流耦合模式(Voltage mode/current mode lane driver with board AC coupling.)
- 支持自适应可编程连续时间线性均衡器(CTLE)
- 接收端集成时钟和数据恢复电路(CDR), 频差+/- 5000ppm
- PCI Express Beacon 信号产生及检测

PCS

- 专用硬核 PCIe PCS
- 灵活的 PCS, 支持 PCS 自定义
- 8b/10b 编码器/解码器
- 支持 TX 通道绑定
- 支持 RX 通道绑定和 CTC
- 利用 IF FIFO 简化用户系统设计
- 支持灵活并行的 8/10/16/20/32/40/64/80 位数据宽度

2.7 PCI Express (PCIe) Controller

GW5AT 系列包括 PCIe 集成接口块，通过 PCIe 协议可实现 FPGAs 之间的自定义通信，并将 ASSP 端点设备连接到 FPGA，如以太网控制器或光纤通道主机总线适配器（Host Bus Adapter, HBA）。

PCIe 集成接口块特性如下：

- 专用硬核 IP，符合 PCIe 2.0 基本规范
- 支持 x1, x2, x4, x8 通道
- 支持 Root Complex 和 End Point 双模式
- 支持 Gen1 (2.5Gb/s)、Gen2 (5Gb/s)。
- 支持最多六个 BAR (Basic Address Register)，可调节 BAR 容量
- 支持 Lane 翻转
- 接收端支持 PN 翻转
- 支持 CrossLink 连接模式
- 支持 Multicast
- 支持 ARI(Alternative Routing-ID Interpretation)格式
- 支持 IDO (ID-based Ordering)模型
- 支持 Retimer (扩展设备)存在性检测
- 支持 TPH (TLP Processing Hints)
- 支持 ACS (Access Control Services)
- 支持 DPC (Downstream Port Containment)
- 支持 PTM (Precision Time Measurement)
- 支持自动链接速度/宽度改变
- 支持高级配置选项、高级错误报告（Advanced Error Reporting, AER）和点到点循环冗余校验（End-to-End Cyclic Redundancy Check, ECRC）。
- 支持可配置的参数：通道宽度、最大有效载荷大小、FPGA 逻辑接口速度、参考时钟频率以及基址寄存器的解码和过滤等。

关于 PCIe Controller 更多详细信息，请参考 [IPUG1020, Arora V PCIe Controller 用户指南](#)。

2.8 MIPI D-PHY

2.8.1 硬核 MIPI D-PHY RX

GW5AT-138 器件内嵌硬核 MIPI D-PHY RX，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2。该 D-PHY 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI-2）。主要特性如下：

- 支持单向高速(HS, High-speed)模式，传输带宽最高可达 20 Gbps (八个数据通道)。
- 一个 MIPI Quad 支持最多四个数据通道和一个时钟通道。
- 支持双向低功耗(LP, Low-power)操作模式，数据传输速率为 10Mbps。
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式。
- 支持 MIPI DSI 和 MIPI CSI-2 链路层。

关于 Gowin MIPI D-PHY RX 更多详细信息，请参考 [UG296, Arora V Hardened MIPI D-PHY 用户指南](#)。

2.8.2 GPIO 支持 MIPI D-PHY RX/TX (MIPI IO)

GW5AT 系列 FPGA 产品的 GPIO 支持 MIPI IO 模式，通过 MIPI IO 模式实现的 MIPI D-PHY RX/TX 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI-2），用于接收或发送图像或视频数据，MIPI D-PHY 为其提供物理层定义。GW5AT 系列 FPGA 产品的 MIPI IO 模式支持情况如下表所示。

表 2-10 GW5AT 系列 FPGA 产品的 MIPI IO 模式支持列表

MIPI RX/TX	GW5AT-138	GW5AT-60
MIPI RX	所有 Bank	所有 Bank (JTAG Bank 除外)
MIPI TX	—	所有 Bank (JTAG Bank 除外)

主要特性如下：

- 支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2
- 支持高速 RX 和 TX 器件接口，传输速率单通道最高可达 1.5Gbps
- 支持多 PHY (IO 允许的情况下)
- 支持双向低功耗(LP, Low-power)操作模式
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式
- 支持 ELVDS、TLVDS、SLVS200、LVDS 和 MIPI D-PHY IO 等 IO

Type

更多详细信息请参考 [IPUG948, Gowin MIPI D-PHY RX TX Advance 用户指南](#)。

2.9 ADC

GW5AT 系列 FPGA 产品集成了一个全新的、灵活的模拟接口作为温度和电源传感器。结合 FPGA 的可编程逻辑能力，该传感器可以满足温度和电源监测的数据采集要求和监测要求。

传感器架构的显著优点在于：

- 片上参考，不需要片外基准电压源
- 60dB SNR
- 10-bit oversampling @ 2MHz
- 1kHz Signal Bandwidth
- 2 路专用模拟通道，同时可以检测来自 GPIO 的输入信号
- 片上温度（最大误差 $\pm 4^{\circ}\text{C}$ ）和电压（最大误差 $\pm 1\%$ ）传感器
- 连续访问 ADC 测试

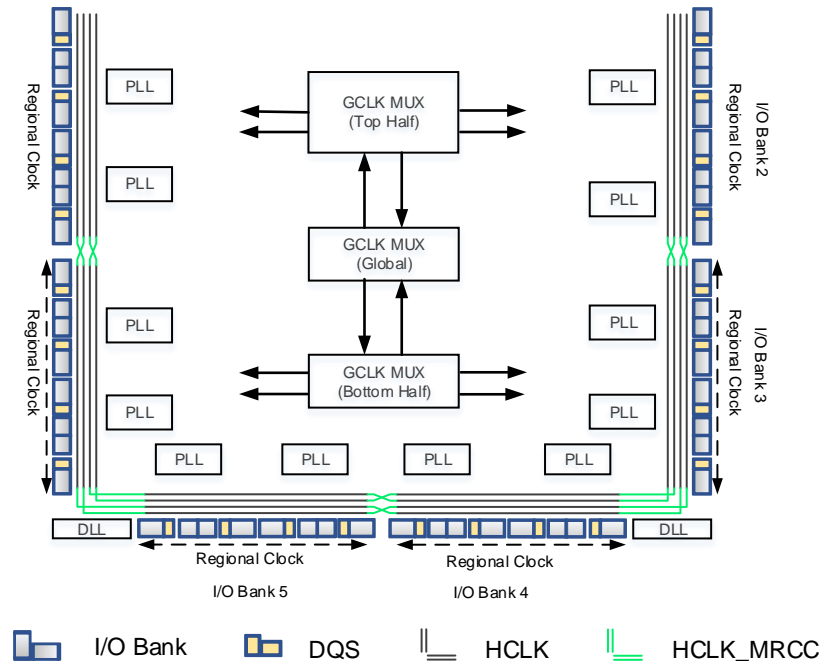
该传感器可选择性地使用片上参考电路（ $\pm 1\%$ ），不需要任何外部有源元件来进行温度和电源环境的基本片上监测。

关于 ADC 更多详细信息请参考 [UG299, Arora V 模拟数字转换器 \(ADC\) 用户指南](#)。

2.10 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW5AT 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环 (PLL)、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源。

图 2-14 时钟资源



2.10.1 ~ 2.10.4 给出简要描述，关于全局时钟、高速时钟、锁相环及 DDR 存储器接口数据脉冲时钟 DQS 等更多详细信息请参考 [UG306, Arora V 时钟资源\(Clock\)用户指南](#)。

2.10.1 全局时钟

GW5AT 系列 FPGA 产品提供 16 个全局时钟。GCLK 的时钟源来自专用时钟管脚、PLL 的输出、SERDES 时钟、HCLK 的输出以及普通绕线资源，使用专用的时钟输入管脚具有更好的时钟性能，可实现对全局的驱动。

2.10.2 高速时钟

GW5AT 系列 FPGA 产品的高速时钟 HCLK，具有低抖动和低偏差性能，可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输

- 支持 7 路时钟输出
- 整数 PLL，第 1 路和反馈时钟输出同时支持 1/8 小数分频
- 支持相移和占空比调整
- 频率锁定检测
- 支持扩频时钟产生(需要使用 IP)
- VCO 工作频率范围：800 MHz ~ 2000 MHz
- CLKIN 频率范围：10 MHz ~400 MHz

2.10.4 DDR 存储器接口时钟管理 DQS

GW5AT 系列 FPGA 产品的 DQS 模块提供了如下的功能来支持 DDR 存储器接口的时钟需求：

- 接收 DQS 输入，整理波形并移动 1/4 相位
- 为输入缓存提供读/写指针
- 为内部逻辑提供数据有效信号
- 提供 DDR 输出时钟信号
- 支持 DDR3 写电压控制

DQS 模块支持多种工作模式，用来满足不同的 IO 接口的需求。

2.10.5 长线

作为对 CRU 的有效补充，GW5AT 系列 FPGA 产品提供了灵活丰富的长线(LW)资源。LW 一方面可以用作控制线，给 DFF 提供时钟使能 (CE)、置复位 (SET/RESET) 信号；另一方面，还可以用作逻辑绕线，作为普通数据信号使用。

2.11 全局复置位

GW5AT 系列 FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步复位或异步置位，CFU 和 I/O 中的寄存器均可以独立配置。

2.12 编程配置

GW5AT 系列 FPGA 产品支持 SRAM 编程，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在外部 Flash 中。上电后，GW5AT 器件从外部 Flash 中读取配置数据到 SRAM 中。

GW5AT 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式：SSPI、MSPI、CPU、

SERIAL。同时支持背景升级、支持数据流文件加密和安全位设置、支持 SEU 检测及纠错、支持 OTP，详细资料请参考 [UG704, Arora V138K FPGA 产品编程配置手册](#)。

背景升级

GW5AT 系列 FPGA 产品支持通过 JTAG/SSPI/QSSPI 或者 goConfig I²C IP / goConfig JTAG IP 模式进行背景升级，即器件支持在不影响现有工作状态的情况下编程内嵌 Flash 或外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，低电平触发 RECONFIG_N 即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

比特流文件加密和安全位设置

GW5AT 系列 FPGA 产品支持比特流数据加密，采用 128 bits 的 AES 加密算法。同时，高云半导体为保障配置数据的安全准确传输，在 FPGA 产品的比特流文件中默认加入了 CRC 校验算法并设置了安全位。数据配置过程中实时校验输入数据是否出错，错误的无法唤醒器件。设置了安全位的比特流数据完成配置后，任何用户无法进行回读操作。

SEU Handler

GW5AT 系列 FPGA 产品内嵌 SEU Handler 模块，具有配置内存软错误恢复(CMSER)的功能，主要通过用户在用户设计后台逐帧读取配置内存，并进行 ECC 解码和 CRC 校验比对来实现，默认关闭。具有如下特性：

- 支持 ECC 及 CRC 错误检测及纠正
- 可以通过用户逻辑使能或者关闭 SEU 功能，也可以在程序唤醒后自动启用该功能
- ECC 支持每 64-bit SRAM 数据中 1 bit 错误位置报告以及错误纠正^[1]，2 bits 错误报警

注！

^[1] SEU Handler 可以支持更快的错误修正速度，详细信息请联系当地技术支持。

- CRC 支持任意 bit 错误报警
- 支持 1-bit 任意位置错误注入，每 64-bit 内一个错误
- 用户打开 SSRAM 存储功能时自动关闭该存储区域 SRAM 的检测及纠错功能

OTP

GW5AT 系列 FPGA 产品提供 128 Bit 的 OTP 空间，支持一次性编程。其中 Bit0~Bit31 为用户区，系统制造商可以使用此空间存储安全性和其他重要信息。Bit32~Bit95 为 DNA 区，存储器件 64 位唯一标识信息。

2.13 片内时钟振荡器

GW5AT 系列 FPGA 产品内嵌了一个片内时钟振荡器，编程过程中为 MSPI 编程模式提供时钟源。片内时钟振荡器还可以为用户设计提供时钟

源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

$$f_{\text{out}}=210\text{MHz}/\text{Param}。$$

注！

其中除数 Param 为配置参数，范围为 3 和 2~126 之间的偶数。

3 电气特性

注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
FPGA Logic			
V _{CC}	核电压	-0.5V	1.05V
V _{CCIO}	I/O Bank 电压	-0.5V	3.75V
V _{CCX}	辅助电压	-0.5V	1.98V
V _{CC_REG}	Regulator 电压	-0.5V	3.75V
V _{IN}	单端输入	-0.4V	3.75V
	差分输入	-0.4V	2.625V
Gigabit Transceiver			
V _{ddha}	模拟高电压 Analog high power supply	-0.5V	1.98V
V _{dda}	模拟核电压 Analog core power supply	-0.5V	1.05V
V _{ddd_In0~4}	发射器电压 Tx power supply	-0.5V	1.05V
MIPI			
V _{dda}	模拟核电压 Analog core power supply	-0.5V	1.05V
V _{ddx}	模拟高电压 Analog high voltage power supply	-0.5V	1.98V
V _{ddd}	数字核电压	-0.5V	1.05V
温度			

名称	描述	最小值	最大值
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

3.1.2 推荐工作范围

表 3-2 推荐工作范围(

名称	描述	最小值	最大值
V _{CC}	核电压	0.87V	1.0V
V _{CCIO}	I/O Bank 电压	1V	3.465V
V _{CCX}	辅助电压	1.71V	1.89V
V _{CC_REG}	Regulator 电压	1.14V	3.3V
Gigabit Transceiver			
V _{ddha}	模拟高电压 analog high power supply	1.71V	1.89V
V _{dda}	模拟核电压 Analog core power supply	0.87V	1.0V
V _{ddd_In0~4}	发射器电压 Tx power supply	0.87V	1.0V
MIPI			
V _{dda}	模拟核电压 Analog core power supply	0.87V	1.0V
V _{ddx}	模拟高电压 Analog high voltage power supply	1.71V	1.89V
V _{ddd}	数字核电压	0.87V	1.0V
温度			
T _{JAUT}	结温(车规级) Junction temperature Automotive operation	-40℃	+105℃

注!

不同封装的器件供电电压信息请参考 [UG982, GW5AT-138 器件 Pinout 手册](#)。

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V _{CC} Ramp	电源电压上升斜率	0.02mV/μs	TBD	50mV/μs

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	I/O	150uA
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	TDI, TDO, TMS,TCK	120uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	名称	典型值
POR 电压值	上电复位触发电平 Power-on reset voltage	V_{CC}	0.72V
		V_{CCX}	1.5V
		V_{CCIO} (Bank10)	1.04V

3.2 ESD 性能

表 3-6 GW5AT ESD - HBM

器件	HBM
GW5AT-138	HBM \geq 1000V

表 3-7 GW5AT ESD - CDM

器件	CDM
GW5AT-138	CDM \geq 250V

3.3 DC 电气特性

3.3.1 推荐工作范围的 DC 电气特性

表 3-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL}, I_{IH}	I/O 输入漏电流(Input or I/O leakage)	$V_{CCIO} < V_{IN} < V_{IH}(MAX)$	-		210uA
		$0V < V_{IN} < V_{CCIO}$	-		10uA
I_{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCIO}$, Pull Strength=Strong	-		-250uA
		$0 < V_{IN} < 0.7V_{CCIO}$, Pull Strength=Medium			-150uA
		$0 < V_{IN} < 0.7V_{CCIO}$, Pull Strength=Weak			-50uA
I_{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(MAX) < V_{IN} < V_{CCIO}$, Pull Strength=Strong	-		250uA
		$V_{IL}(MAX) < V_{IN} < V_{CCIO}$, Pull Strength=Medium			150uA
		$V_{IL}(MAX) < V_{IN} < V_{CCIO}$, Pull Strength=Weak			50uA
$C1$	I/O 电容 (I/O Capacitance)			5pF	8pF
V_{HYST}	输入迟滞(Hysteresis for Schmitt Trigge inputs)	$V_{CCIO}=3.3V$, Hysteresis=ON	-	400mV	
		$V_{CCIO}=2.5V$, Hysteresis=ON	-	200mV	
		$V_{CCIO}=1.8V$, Hysteresis=ON	-	100mV	
		$V_{CCIO}=1.5V$, Hysteresis=ON	-	70mV	
		$V_{CCIO}=1.2V$, Hysteresis=ON		40mV	

3.3.2 静态电流

表 3-9 静态电流

名称	描述	器件类型	器件	典型值 ^[1]
I _{CC}	Core 电源电流	LV 版本	GW5AT-138	100 mA
I _{CCX}	V _{CCX} 电源电流	LV 版本	GW5AT-138	9 mA
I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =3.3V)	LV 版本	GW5AT-138	5 mA
I _{CC_REG}	内置 Regulator 静态电流	LV 版本	GW5AT-138	6 mA

注!

[1]典型值测试条件为 25°C。

3.3.3 I/O 推荐工作条件

表 3-10 I/O 推荐工作条件

名称	输出对应的 V _{CCIO} (V)			输入对应的 V _{REF} (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.465	-	-	-
LVC MOS33	3.135	3.3	3.465	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RS DS25E	2.375	2.5	2.625	-	-	-
LVDS25E ¹	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-

名称	输出对应的 $V_{CCIO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

注!

使用 True LVDS 的 Bank V_{CCIO} 建议设置为 2.5V。

3.3.4 单端 I/O DC 电气特性

表 3-11 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	$I_{OL}^{[1]}$ (mA)	$I_{OH}^{[1]}$ (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
0.2V	$V_{CCIO}-0.2V$	0.1	-0.1					
LVCMOS25	-0.3V	0.7V	1.7V	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
0.2V	$V_{CCIO}-0.2V$	0.1	-0.1					
LVCMOS18	-0.3V	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
0.2V	$V_{CCIO}-0.2V$	0.1	-0.1					
LVCMOS15	-0.3V	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	4	-4
							8	-8

名称	V _{IL}		V _{IH}		V _{OL} (Max)	V _{OH} (Min)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	Min	Max	Min	Max				
							12	-12
					0.2V	CCIO-0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35 x CCIO	0.65 x CCIO	CCIO+0.3	0.4V	CCIO-0.4V	4	-4
							8	-8
							12	-12
					0.2V	CCIO-0.2V	0.1	-0.1
LVCMOS10	-0.3	0.35 x CCIO	0.65 x CCIO	1.1V	0.4V	CCIO-0.4V	1.5	-0.5
PCI33	-0.3V	0.3 x CCIO	0.5 x CCIO	CCIO+0.3	0.1x CCIO	0.9 x CCIO	1.5	-0.5
SSTL18_II	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	CCIO+0.3	0.4V	CCIO-0.4V	13.4	-13.4
SSTL18_I	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	CCIO+0.3	0.40V	CCIO-0.40V	8	-8
SSTL15	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	CCIO+0.3	0.40V	CCIO-0.40V	13	-13
SSTL135	-0.3	V _{REF} -0.09V	V _{REF} +0.09V	CCIO+0.3	0.40V	CCIO-0.40V	13	-13
HSTL18_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	CCIO+0.3	0.40V	CCIO-0.40V	8	-8
HSTL18_II	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	CCIO+0.3	0.40V	CCIO-0.40V	16	-16
HSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	CCIO+0.3	0.40V	CCIO-0.40V	8	-8
HSTL15_II	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	CCIO+0.3	0.40V	CCIO-0.40V	16	-16
HSUL12	-0.3	V _{REF} -0.13V	V _{REF} +0.13V	CCIO+0.3	0.40	CCIO-0.40V	0.1	-0.1

注!

[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink): 同一个 Bank 所有 IO 的总电流不能大于 n*8mA, n 表示该 Bank 被引出的 IO 数量。

3.3.5 差分 I/O DC 电气特性

表 3-12 差分 I/O DC 电气特性

名称	描述	测试条件	最小	典型	最大	单位
V _{INA} , V _{INB}	输入电压 (Input Voltage)		-0.4		2.625	V
V _{CM}	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05		1.8	V
V _{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	± 100	± 350	±600	mV
I _{IN}	输入电流(Input Current)	Power On or Power Off			20	μA
V _{OH}	输出高电平(Output High Voltage for VOP or VOM)	R _T = 100Ω			1.675	V
V _{OL}	输出低电平(Output Low Voltage for VOP or VOM)	R _T = 100Ω	0.7			V
V _{OD}	差模输出电压(Output Voltage Differential)	(V _{OP} - V _{OM}), R _T = 100Ω	250	350	600	mV

名称	描述	测试条件	最小	典型	最大	单位
ΔV_{OD}	差模输出电压的变化范围(Change in VOD Between High and Low)				50	mV
V_{OS}	输出零漂(Output Voltage Offset)	$(V_{OP} + V_{OM})/2$, $R_T = 100\Omega$	1.000	1.250	1.425	V
ΔV_{OS}	输出零漂变化(Change in VOS Between High and Low)				50	mV
I_S	短路电流	$V_{OD} = 0V$ 两路输出短接			12	mA

3.4 AC 开关特性

3.4.1 CFU 开关特性

表 3-13 CFU 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	-	-	ns
t_{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	-	ns
t_{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	-	-	ns

3.4.2 BSRAM 开关特性

表 3-14 BSRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COAD_BSRAM}	时钟到读地址/数据输出时间(Clock to output from read address/data)	-	-	ns
t_{COOR_BSRAM}	时钟到寄存器输出时间(Clock to output from output register)	-	-	ns

3.4.3 DSP 开关特性

表 3-15 DSP 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COIR_DSP}	时钟到输入寄存器的时间(Clock to output from input register)	-	-	ns
t_{COPR_DSP}	时钟到流水寄存器的时间(Clock to output from Pipeline register)	-	-	ns
t_{COOR_DSP}	时钟到输出寄存器的时间(Clock to output from output register)	-	-	ns

3.4.4 Gearbox 开关特性

表 3-16 GW5AT-138 / GW5AT-75 Gearbox 时序参数

器件	名称	描述	最大值	单位
GW5AT-138	FMAX _{IDDR}	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
	FMAX _{IDES4}	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
	FMAX _{IDESx}	1:8/1:10 Gearbox 输入 IO 最大串行速率	1500	Mbps
	FMAX _{IDES14}	1:14 Gearbox 输入 IO 最大串行速率	1500	Mbps
	FMAX _{IDES16}	1:16 Gearbox 输入 IO 最大串行速率	1500	Mbps
	FMAX _{IDES32}	1:32 Gearbox 输入 IO 最大串行速率	1500	Mbps
	FMAX _{ODDR}	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
	FMAX _{OSER4}	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
	FMAX _{OSERx}	8:1/10:1 Gearbox 输出 IO 最大串行速率	1500	Mbps
	FMAX _{OSERx}	8:1/10:1 Gearbox 输出 IO 最大串行速率	1500	Mbps
	FMAX _{OSER16}	16:1 Gearbox 输出 IO 最大串行速率	1500	Mbps

3.4.5 时钟和 I/O 开关特性

表 3-17 外部开关特性

名称	说明	器件	-2		-1		单位
			Min	Max	Min	Max	
Pin-LUT-Pin Delay ⁽¹⁾	Pin(IOxA) to Pin(IOxB) delay	GW5AT-138	-	-	-	-	ns
T _{HCLKdly}	HCLK tree delay	GW5AT-138	-	-	-	-	ns
T _{GCLKdly}	GCLK tree delay	GW5AT-138	-	-	-	-	ns

3.4.6 片内时钟振荡器开关特性

表 3-18 片内时钟振荡器开关特性

名称	说明	最小值	典型值	最大值
f _{MAX}	时钟振荡器输出频率(0 to+ 85°C)	199.5 MHz	210MHz	220.5MHz
	时钟振荡器输出频率(-40 to +100°C)	189 MHz	210MHz	231MHz
t _{DT}	输出时钟 Duty Cycle	-	50%	-

3.4.7 PLL 开关特性

表 3-19 PLL 开关特性

参数	描述	速度等级		单位	备注
		-1	-2		
F _{INMAX}	Maximum Input Clock Frequency	800	800	MHz	
F _{INMIN}	Minimum Input Clock Frequency	19	19	MHz	
F _{PFDMAX}	Maximum Frequency at the Phase Frequency Detector	400	400	MHz	
F _{PFDMIN}	Minimum Frequency at the Phase Frequency Detector	19	19	MHz	
F _{INJITTER}	Maximum Input Clock Period Jitter	< 20% of clock input period or 1 ns Max			
F _{INDUTY}	Minimum Allowable Input Duty Cycle: 19–49 MHz	25	25	%	
	Minimum Allowable Input Duty Cycle: 50–199 MHz	30	30	%	
	Minimum Allowable Input Duty Cycle: 200–399 MHz	35	35	%	
F _{VCOMIN}	Minimum PLL VCO Frequency	800	800	MHz	
F _{VCOMAX}	Maximum PLL VCO Frequency	1600	1600	MHz	
F _{BW}	Low PLL Bandwidth at Typical	1	1	MHz	
	High PLL Bandwidth at Typical	4	4	MHz	
T _{STATPHAOFFSET}	Static Phase Offset of the PLL Outputs	+/- 50	+/-50	ps	
T _{JITTER_CCJ_HCL}	PLL Output cycle-cycle Jitter Thru	<300	<300	ps	3

K	HCLK \geq 100MHz				
	PLL Output cycle-cycle Jitter Thru HCLK <100MHz	<30	<30	mUI	
	PLL Output cycle-cycle Jitter Thru PCLK \geq 100MHz	<400	<400	ps	
	PLL Output cycle-cycle Jitter Thru PCLK <100MHz	<40	<40	mUI	
T _{JITTER_PJ_PCLK}	PLL Output period Jitter Thru HCLK \geq 100MHz	<300	<300	ps	
	PLL Output period Jitter Thru HCLK <100MHz	<30	<30	mUI	
	PLL Output period Jitter Thru PCLK \geq 100MHz	<400	<400	ps	
	PLL Output period Jitter Thru PCLK <100MHz	<40	<40	mUI	
T _{OUTDUTY}	PLL Output Clock Duty Cycle Precision	<50	<50	mUI	1,4
T _{LOCKMAX}	PLL Maximum Lock Time	1	1	ms	
F _{OUTMAX}	PLL Maximum Output Frequency	800	800	MHz	
F _{OUTMIN}	PLL Minimum Output Frequency	6.25	6.25	MHz	2
T _{EXTFDVAR}	External Clock Feedback Variation	< 20% of clock input period or 1 ns Max			
RST _{MINPULSE}	Minimum Reset Pulse Width	10	10	ns	

注!

- 该测试数据是基于整数分频的结果。
- 当用到 Cascade 模式时，多个 Divider 可以串联得到更低的输出频率。
- 输出抖动会和输入的源相关，该测试数据基于低抖动的晶振作为输入源。
- 用户看到的 IO 上的 duty cycle 还会受 Clock Tree 的影响。

3.5 Gigabit Transceiver 特性

3.5.1 Transceiver 特性

表 3-20 发射器和接收器数据传输特性

名称/描述	条件	Transceiver 速度等级			单位
		1	2	3	
板载应用（芯片-芯片） ¹	最大速率(典型电压)	–	12.5	–	Gbps
	最小速率 ³	–	125	–	Mbps
背板 ²	最大速率(典型电压)	–	8	–	Gbps
	最小速率 ⁴	–	125	–	Mbps

注！

- [1] 芯片-芯片应用的通道损耗较小。
- [2] 对于背板应用，最大的通道损耗应在 PCIE 3.0 标准之内。
- [3] [4]启用过采样。

3.5.2 Transceiver PLL 特性

表 3-21 Transceiver PLL 特性特性

名称/描述	条件	速度等级-2		单位
		Min	Max	
Quad PLL 0	工作范围	1.25	6.5	GHz
Quad PLL 1	工作范围	3.8	6.5	GHz
Channel PLL	工作范围	1.25	6.5	GHz

3.6 编程接口时序标准

GW5AT 系列 FPGA 产品支持多种 GowinCONFIG 配置模式：SSPI、MSPI、CPU、SERIAL，详细资料请参考 [UG704, Arora V 138K FPGA 产品编程配置手册](#)。

4 器件订货信息

4.1 器件命名

图 4-1 器件命名方法示例-ES

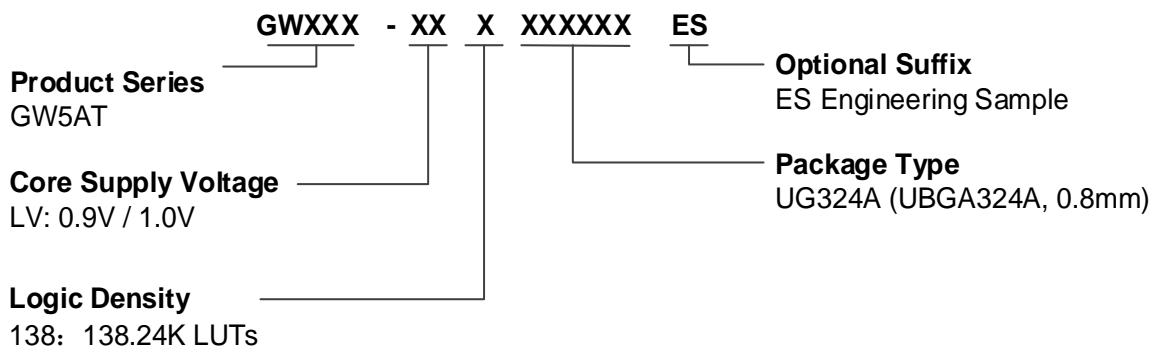
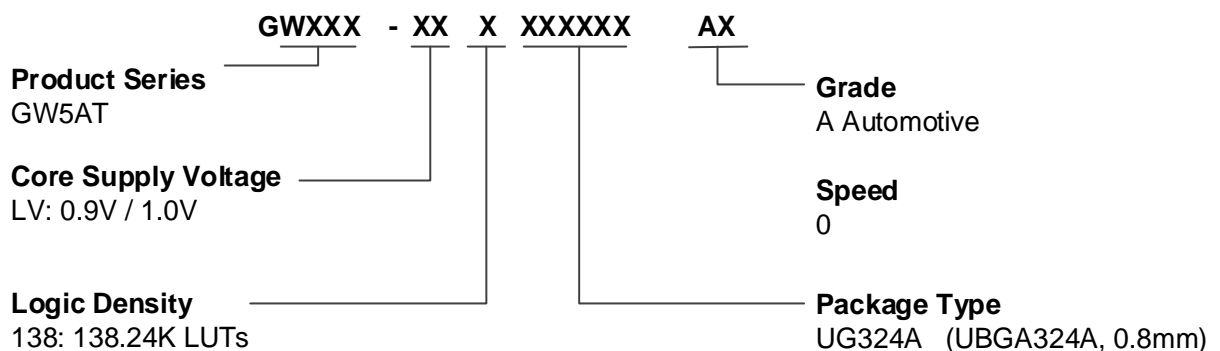


图 4-2 器件命名方法示例-Production



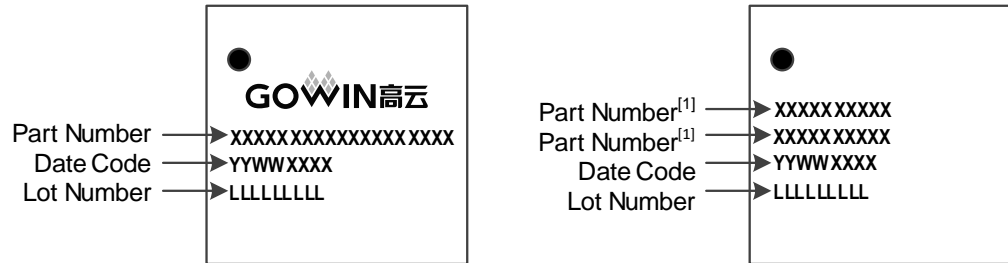
注!

关于详细的封装类型及管脚数量请参考 [1.2 产品信息列表](#)。

4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 4-3 所示。

图 4-3 器件封装标识示例



注!

[1]上图右图中第一行与第二行均为“Part Number”。

5 关于本手册

5.1 手册内容

GW5AT 系列 FPGA 产品数据手册主要包括高云半导体 GW5AT 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性以及器件订货信息，帮助用户快速了解高云半导体 GW5AT 系列 FPGA 产品特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [UG704, Arora V 138K FPGA 产品编程配置手册](#)
- [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)
- [UG982, GW5AT-138 器件 Pinout 手册](#)
- [UG984, Arora V FPGA 产品原理图指导手册](#)

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog to Digital Converter	模数转换器
AER	Advanced Error Reporting	高级错误报告
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置功能块

术语、缩略语	全称	含义
CMSER	Configuration Memory Soft Error Recovery	配置内存软错误恢复
CRU	Configurable Routing Unit	可编程布线单元
CSI	Camera Serial Interface	串行摄像头接口
CTC	Clock Tolerance Compensation	时钟容差补偿
CTLE	Continuous Time Linear Equalizer	连续时间线性均衡器
DCS	Dynamic Clock Selector	动态时钟选择器
DFF	D Flip-flop	D 触发器
DNA	Device Identifier	设备标识符
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DSI	Display Serial Interface	串行显示接口
DSP	Digital Signal Processing	数字信号处理
ECC	Error Correction Code	纠错码
ECRC	End-to-End Cyclic Redundancy Check	端到端循环冗余校验
ESD	Electro-Static Discharge	静电放电
FIFO	First In First Out	先进先出
FPG	FCPBGA	FCPBGA 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GCLK	Global Clock	全局时钟
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
GSR	Global Set/Reset	全局置位/复位
HCLK	High Speed Clock	高速时钟
IOB	Input/Output Block	输入输出模块
LUT	Look-up Table	查找表
LW	Long Wire	长线
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
OTP	One Time Programmable	一次性可编程
PCIe	Peripheral Component Interface Express	总线和接口标准
PCS	Physical Coding Sublayer	物理编码子层
PLL	Phase-locked Loop	锁相环
PMA	Physical Medium Attachment	物理媒介适配层
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

Preliminary

