



Arora V 25K FPGA 产品 (车规级) 数据手册

DS1113-1.0, 2024-07-18

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/07/18	1.0	初始版本。

目录

目录	i
图目录	v
表目录	vi
1 产品概述	1
1.1 特性概述	1
1.2 产品信息列表	3
2 结构介绍	5
2.1 结构框图	5
2.2 PSRAM	8
2.3 可配置功能单元	9
2.4 输入输出模块	10
2.4.1 I/O 电平标准	11
2.4.2 I/O 逻辑	16
2.4.3 I/O 逻辑工作模式	18
2.5 块状静态随机存储器模块	19
2.5.1 简介	19
2.5.2 存储器配置模式	19
2.6 数字信号处理模块	20
2.6.1 预加器	20
2.6.2 乘法器	20
2.6.3 算术逻辑单元	21
2.6.4 操作模式	21
2.7 Cortex-M4 系统	22
2.7.1 特性	22
2.7.2 功能框图	24
2.7.3 存储器	24
2.7.4 中断	25
2.7.5 电源控制 (PWC)	26

2.7.6 启动模式.....	27
2.7.7 时钟.....	27
2.7.8 通用输入输出 (GPIO)	28
2.7.9 直接存储器访问控制器 (DMA)	28
2.7.10 定时器 (TMR)	28
2.7.11 看门狗 (WDT)	28
2.7.12 窗口型看门狗 (WWDT)	28
2.7.13 增强型实时时钟 (ERTC) 和电池供电寄存器 (BPR)	29
2.7.14 通信接口.....	29
2.7.15 数字摄像头并口 (DVP)	31
2.7.16 循环冗余校验 (CRC) 计算单元.....	31
2.7.17 模拟/数字转换器 (ADC)	32
2.7.18 数字/模拟转换器 (DAC)	32
2.7.19 串行线 (SWD) / JTAG 调试接口	33
2.8 MIPI D-PHY	33
2.8.1 MIPI D-PHY	33
2.8.2 GPIO 支持 MIPI D-PHY RX/TX (MIPI IO).....	34
2.9 ADC.....	35
2.10 时钟.....	36
2.10.1 全局时钟.....	36
2.10.2 高速时钟.....	36
2.10.3 锁相环	37
2.10.4 DDR 存储器接口时钟管理 DQS.....	38
2.10.5 长线.....	38
2.11 全局复置位	38
2.12 编程配置.....	39
2.13 片内时钟振荡器.....	40
3 电气特性	41
3.1 工作条件.....	41
3.1.1 绝对最大范围	41
3.1.2 推荐工作范围	42
3.1.3 电源上升斜率	42
3.1.4 热插拔特性.....	42
3.1.5 POR 特性.....	43
3.2 ESD 性能	43
3.3 DC 电气特性	43
3.3.1 推荐工作范围的 DC 电气特性	43

3.3.2 静态电流.....	44
3.3.3 I/O 推荐工作条件	44
3.3.4 单端 I/O DC 电气特性.....	45
3.3.5 差分 I/O DC 电气特性.....	47
3.4 AC 开关特性.....	48
3.4.1 Gearbox 开关特性.....	48
3.4.2 片内时钟振荡器开关特性	49
3.4.3 PLL 开关特性	49
3.5 编程接口时序标准	50
4 器件订货信息	51
4.1 器件命名.....	51
4.2 器件封装标识示例	53
5 关于本手册.....	54
5.1 手册内容.....	54
5.2 相关文档.....	54
5.3 术语、缩略语	54
5.4 技术支持与反馈.....	56

图目录

图 2-1 GW5A-25 结构概念示意图	5
图 2-2 GW5AR-25 结构概念示意图	6
图 2-3 GW5AS-25 结构概念示意图	6
图 2-4 CFU 结构示意图	9
图 2-5 IOB 结构示意图	10
图 2-6 GW5A-25 的 GPIO Bank 分布示意图	11
图 2-7 I/O 逻辑输出示意图	16
图 2-8 I/O 逻辑输入示意图	16
图 2-9 IODELAY 示意图	17
图 2-10 I/O 寄存器示意图	18
图 2-11 Cortex-M4 系统功能框图	24
图 2-12 时钟资源	36
图 2-13 HCLK 示意图	37
图 4-1 器件命名方法示例-ES	51
图 4-2 器件命名方法示例-Production	52
图 4-3 器件封装标识示例	53

表目录

表 1-1 产品信息列表	3
表 1-2 GW5A-25 封装信息	4
表 2-1 输出 I/O 类型及部分可选配置	11
表 2-2 GW5A-25 支持的输入 I/O 类型及部分可选配置	13
表 2-3 IODELAY 总延迟参考	17
表 2-4 Arora V 25K FPGA 产品支持的串行/解串比率模式	18
表 2-5 存储器配置列表	19
表 2-6 Arora V 25K FPGA 产品的 MIPI IO 模式支持列表	34
表 3-1 绝对最大范围	41
表 3-2 推荐工作范围	42
表 3-3 电源上升斜率	42
表 3-4 热插拔特性	42
表 3-5 POR 电压参数	43
表 3-6 ESD - HBM	43
表 3-7 ESD – CDM	43
表 3-8 推荐工作范围内的 DC 电气特性	43
表 3-9 静态电流	44
表 3-10 I/O 推荐工作条件	44
表 3-11 单端 I/O DC 电气特性	45
表 3-12 差分 I/O DC 电气特性	47
表 3-13 Gearbox 时序参数	48
表 3-14 片内时钟振荡器开关特性	49
表 3-15 PLL 开关特性	49
表 5-1 术语、缩略语	54

1 产品概述

高云半导体 Arora V 25K FPGA 产品是高云半导体晨熙家族第五代产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 低功耗
 - 22nm SRAM 工艺
 - LV 版本核电压：0.9V/1.0V
 - EV 版本核电压：1.2V
 - 支持时钟动态打开/关闭
- 丰富的基本逻辑单元
 - 具有 23K 4 输入 LUT(LUT4)
 - 支持分布式存储器
- 支持多种模式的静态随机存储器
 - 支持双端口、单端口、伪双端口及只读模式
 - 支持字节写使能
 - 支持 ECC 检测及纠错
- GW5AR-25 集成 PSRAM 存储芯片
- GW5AS-25 集成最新一代的嵌入式 ARM®内核处理器 Cortex-M4
- 支持 MIPI D-PHY RX/TX 硬核
 - 支持 MIPI DSI 和 MIPI CSI-2 RX/TX 器件接口
 - MIPI 传输速率单通道可达 2.5Gbps(RX/TX)
 - 支持最多 4 个数据通道和 1 个时钟通道，传输带宽最高可达 10 Gbps
- GPIO 支持 D-PHY RX/TX (MIPI IO)
 - GPIO 可配置为 MIPI DSI 和 MIPI CSI-2 RX/TX 器件接口
 - MIPI 传输速率单通道可达 2.0Gbps
- 全新架构高性能 DSP 模块
 - 高性能数字信号处理能力
 - 支持 27 x 18、12 x 12 及 27 x 36 位的乘法运算和 48 位累加器

- 支持多个乘法器级联
- 支持寄存器流水线和旁路功能
- 前加运算实现滤波器功能
- 支持桶形移位寄存器
- 集成全新灵活的多通道过采样 ADC，精度高、不需要外部提供电压源
- 支持多种 SDRAM 接口，最高支持 DDR3 1066 Mbps
- 支持多种 I/O 电平标准
 - 提供输入信号迟滞选项
 - 支持 2mA、4mA、6mA、8mA、12mA、16mA 等驱动能力
 - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
 - 支持热插拔
- 16 个全局时钟、6/12 个高性能 PLL、16/24 个高速时钟
- MIPI D-PHY, PLL 及 ADC 模块支持微型动态再编程端口 (mDRP)
- 编程配置特性
 - 支持 JTAG 配置模式
 - 支持多种 GowinConfig 配置模式：SSPI、MSPI、Master CPU、Slave CPU、Master SERIAL、Slave SERIAL
 - 支持 JTAG、SSPI 模式直接编程 SPI Flash，其他模式可以通过 IP 的方式编程 SPI Flash
 - 支持背景升级
 - 支持比特流文件加密和安全位设置
 - 支持配置内存软错误恢复 (CMSER)
 - 支持 OTP，每个器件有唯一的 64 位 DNA 标识

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW5A-25	GW5AR-25	GW5AS-25
逻辑单元(LUT4)	23040	23040	23040
寄存器(REG)	23040	23040	23040
分布式静态随机存储器 SSRAM(Kb)	180	180	180
块状静态随机存储器 BSRAM(Kb)	1008	1008	1008
块状静态随机存储器数目 BSRAM(个)	56	56	56
PSRAM(颗)	-	2	-
单颗 PSRAM(bits)	-	8M x 8bits	-
Flash (bits)	-	-	1 M
硬核处理器	-	-	Cortex-M4
DSP (27-bit x 18-bit)	28	28	28
最多锁相环 ^[1] (PLLs)	6	6	6
全局时钟	16	16	16
高速时钟	16	16	16
LVDS Gbps	1.25	1.25	1.25
DDR3 Mbps	1066	1066	1066
MIPI DPHY 硬核	2.5Gbps (RX/TX), 4 数据通道 1 时钟通道	2.5Gbps (RX/TX), 4 数据通道 1 时钟通道	2.5Gbps (Rx/Tx), 4 数据通道 1 时钟通道
ADC	1	1	FPGA: 1 ^[4] Cortex-M4: 3 ^[4]
GPIO Bank 数 ^[2]	8	8	8
最大 GPIO 数	239	239	239
核电压	0.9V/1.0V/1.2V ^[3]	0.9V/1.0V	0.9V/1.0V/1.2V ^[3]

注!

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]除 GPIO Bank 外，还包含一个 JTAG Bank，含 4 个 I/O，一个 Reserved Bank，含 1 个 I/O。
- ^[3]EV 版本内置 LDO，VCC 可支持 1.2V。

表 1-2 GW5A-25 封装信息

封装	间距(mm)	尺寸 (mm)	GW5A-25	
			用户 I/O (True LVDS Pair)	MIPI D-PHY 硬核
PG256	1.0	17 x 17	184 (88)	RX/TX, 可配置 4 数据通道 1 时钟通道
UG324F	0.8	15 x 15	223 (108)	RX/TX, 可配置 4 数据通道 1 时钟通道

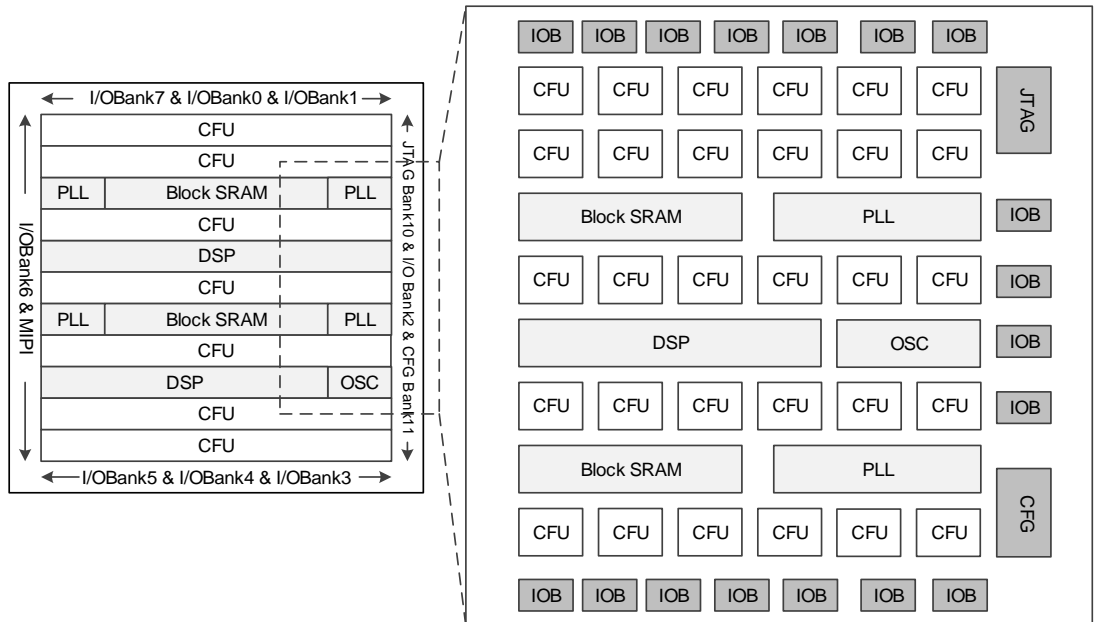
注!

文档中 Arora V 25K FPGA 产品封装命名采用缩写的方式, 请参考 4.1 器件命名。

2 结构介绍

2.1 结构框图

图 2-1 GW5A-25 结构概念示意图



Arora V 25K FPGA 产品基本的组成部分为可配置功能单元(CFU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列,不同容量的器件行数和列数不同。可配置功能单元(CFU)可以配置成查找表(LUT4)模式、算术逻辑模式和存储器模式。详细资料请参考 [2.3 可配置功能单元](#)。

Arora V 25K FPGA 产品的 I/O 资源分布在器件外围,以 Bank 为单位划分。I/O 资源支持多种电平标准,支持普通工作模式、SDR 工作模式、通用 DDR 模式和 DDR_MEM 模式。详细资料请参考 [2.4 输入输出模块](#)。

Arora V 25K FPGA 产品的块状静态随机存储器(BSRAM)在器件内部按照行排列。一个 BSRAM 的容量最大为 36Kbits,由两个 18Kbits BSRAM 构成。支持多种配置模式和操作模式。详细资料请参考 [2.5 块状静态随机存储器模块](#)。

Arora V 25K FPGA 产品中内嵌了全新的数字信号处理模块 DSP,可满足用户的高性能数字信号处理需求,详细资料请参考 [2.6 数字信号处理模块](#)。

Arora V 25K FPGA 产品包含硬核 MIPI D-PHY,支持标准《MIPI Alliance Standard for D-PHY Specification》,版本 1.2,详细资料请参考 [2.8 MIPI D-PHY](#)。

Arora V 25K FPGA 产品集成了一个全新灵活的过采样 ADC,详细资料请参考 [2.9 ADC](#)。

Arora V 25K FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率,通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内时钟振荡器,支持 1.67MHz 到 105MHz 的时钟频率范围,为 MSPI 编程配置模式提供时钟。片内时钟振荡器提供可编程的用户时钟,详细资料请参考 [2.13 片内时钟振荡器](#)。

此外, FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit),为 FPGA 内部的所有资源提供连接关系。可配置功能单元(CFU)和 IOB 内部都分布着布线资源,连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外, Arora V 25K FPGA 产品还提供了丰富的专用时钟网络资源,长线资源,全局置复位,以及编程选项等。详细资料行参考、[2.11 全局复置位](#)、[2.12 编程配置](#)。

2.2 PSRAM

特性

- 单颗 64Mb 存储空间
- 读取延迟 (RL): 24/20/16/13/9
- 写入延迟 (WL): 12/10/6/5/5
- CLK 频率 (MHz): 667/533/400/333/200
- 1.7V 至 1.95V 供电电压^[1]
- 自动温度补偿自刷新(ATCSR)
- 刷新: 自动刷新、自刷新模式、超低功耗半休眠模式 (保留数据)
- 支持 ZQ 校准
- 双数据速率架构: 每个时钟周期两次数据传输
- 通过 8n prefetch 架构实现高速数据传输
- 可变突发长度: 最长 2048 bytes
 - 写操作: 最少 8 bytes
 - 读操作: 最少 2 bytes

注!

^[1]详细器件供电请参考 [UG1110, GW5AR-25 器件 Pinout 手册](#)。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 PSRAM 控制器的 IP, 使用控制器的 IP 可以自动完成 PSRAM 上电初始化, 读校准等操作, 详细信息请参考 [IPUG767, Gowin UHS PSRAM Memory Interface & 2CH IP 用户指南](#)。

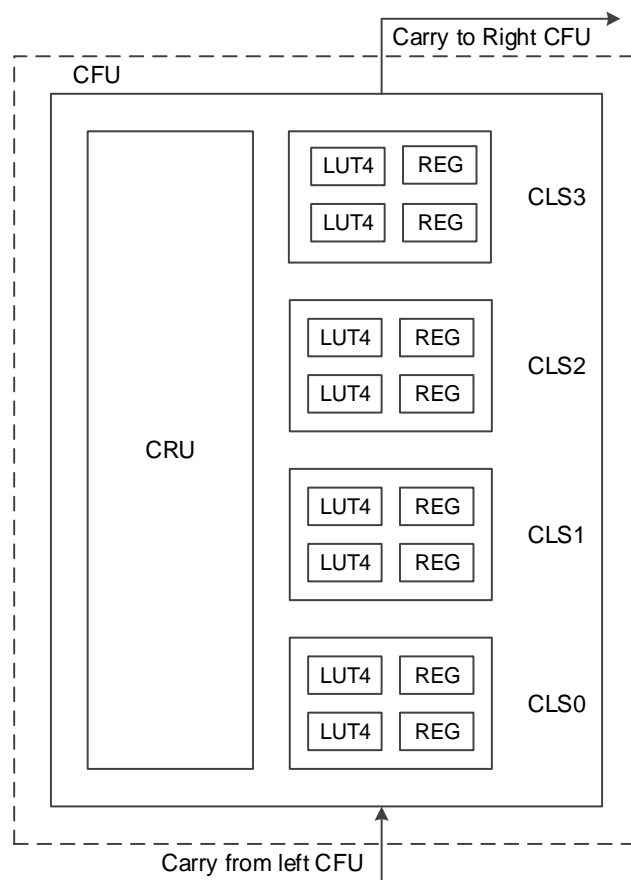
2.3 可配置功能单元

可配置功能单元(CFU)是构成高云半导体 FPGA 产品内核的基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中每个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，如图 2-4 所示。

CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU 的更多详细信息，请参考 [UG303, Arora V 可配置功能单元 \(CFU\) 用户指南](#)。

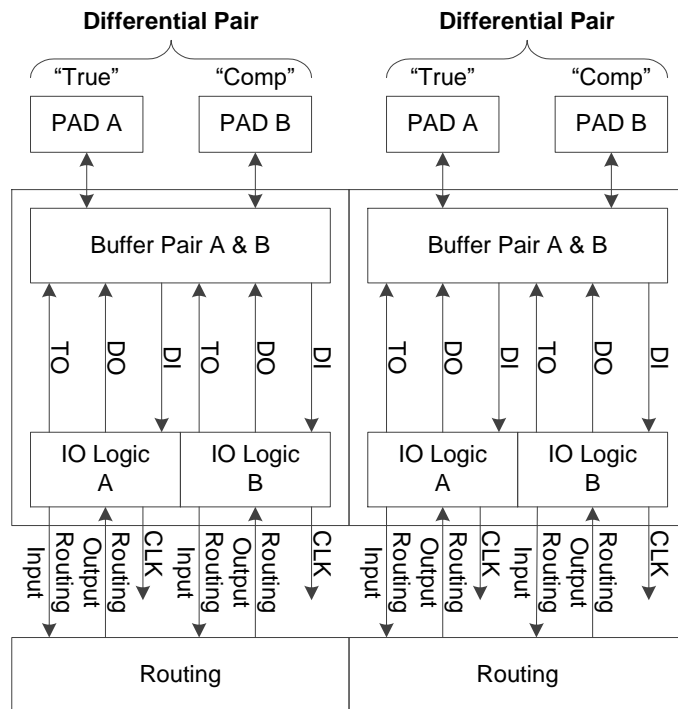
图 2-4 CFU 结构示意图



2.4 输入输出模块

Arora V 25K FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 2-5 所示，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-5 IOB 结构示意图



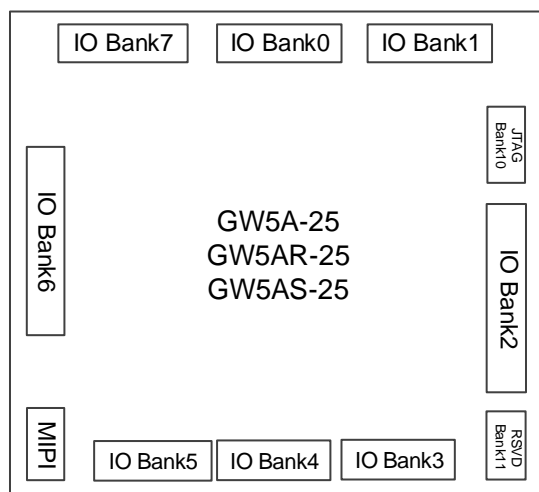
Arora V 25K FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 V_{CCIO} 机制；
- 所有 Bank 均支持真差分输入；
- 支持 LVCMOS、PCI、LVTTTL、SSTL、HSTL、LVDS、Mini_LVDS、RSDS、PPDS、BLVDS 等多种电平标准；
- 提供输入信号迟滞选项；
- 提供输出信号驱动电流选项；
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项；
- 支持热插拔；
- I/O 逻辑支持 SDR 模式以及 DDR 等多种模式。

2.4.1 I/O 电平标准

Arora V 25K FPGA 产品的 I/O 包括 8 个 GPIO Bank，此外 Bank10 为 JTAG Bank，有 4 个 IO，Bank11 为 Reserved Bank，有 1 个 IO，如图 2-6 所示。

图 2-6 GW5A-25 的 GPIO Bank 分布示意图



每个 Bank 有独立的 I/O 电源 V_{CCIO} 。 V_{CCIO} 可以设置为 3.3V、2.5V、1.8V、1.5V、1.35V 或 1.2V。辅助电压 V_{CCX} 供电电压支持 2.5V、3.3V。

注！

为支持 SSTL, HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(VREF)，用户可以选择使用 IOB 内置的 VREF 源(0.6V、0.75V、0.9V、1.25V、1.5V 以及基于 V_{CCIO} 的比例电压(36%,50%,64%))，也可选择外部的 VREF 输入(使用 Bank 中任意一个 I/O 管脚作为外部 VREF 输入)。

Arora V 25K FPGA 产品不同的 Bank 支持不同的片上电阻设置，包括单端电阻和差分电阻两种。单端电阻设置用于 SSTL/HSTL 输入输出。差分电阻设置用于 LVDS/PPDS/ RSDS 输入。详细资料请参考 [UG304, Arora V 可编程通用管脚 \(GPIO\) 用户指南](#)。

注！

配置前及配置过程中，器件所有 GPIO 默认弱上拉。配置完成后 I/O 状态默认为 None，可通过软件配置。Config 相关 I/O 的状态根据配置模式的不同有所区别。

Arora V 25K FPGA 产品支持的 I/O 类型及部分可选配置如表 2-1、表 2-2 所示。

表 2-1 输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank V_{CCIO} (V)	输出驱动能力(mA)	应用
MIPI_CPHY	差分(TLVDS)	2.5/3.3	2	移动产业处理器接口
MIPI		1.8/2.5/3.3	2	移动产业处理器接口
MIPI_3MA	差分(ELVDS)	1.8	3	移动产业处理器接口
MIPI_4MA		1.8	4	移动产业处理器接口

I/O 输出标准	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	应用
LVDS25	差分(TLVDS)	2.5/3.3	3.5/2.5/4.5/6	点对点高速数据传输
BLVDS25		2.5/3.3	3.5/2.5/4.5/6	多点高速数据传输
RSDS		2.5/3.3	3.5/2.5/4.5/6	点对点高速数据传输
MINILVDS		2.5/3.3	3.5/2.5/4.5/6	LCD 时序驱动与列驱动器接口
PPLVDS		2.5/3.3	3.5/2.5/4.5/6	LCD 行/列驱动
LVDS25E	差分	2.5	8/2/4/6/12/16	点对点高速数据传输
BLVDS25E		2.5	8/2/4/6/12/16	多点高速数据传输
MLVDS25E		2.5	8/2/4/6/12/16	LCD 时序驱动与列驱动器接口
RSDS25E		2.5	8/2/4/6/12/16	点对点高速数据传输
LVPECL33E		3.3	8/2/4/6/12/16	通用接口
HSUL12D		1.2	8/2/4/6	LPDDR2
HSUL12D_I		1.2	8/2/4/6	LPDDR2
HSTL15D_I		1.5	8/4/12	存储接口
HSTL18D_I		1.8	8/2/4/6/12/16	存储接口
HSTL18D_II		1.8	8/2/4/6/12/16	存储接口
SSTL12D_I		1.2	8/2/4/6	存储接口
SSTL135D_I		1.35	8/2/4/6	存储接口
SSTL15D_I		1.5	8/2/4/6/12	存储接口
SSTL18D_I		1.8	8/2/4/6/12/16	存储接口
SSTL18D_II		1.8	8/2/4/6/12/16	存储接口
SSTL25D_I		2.5	8/2/4/6/12/16	存储接口
SSTL25D_II		2.5	8/2/4/6/12/16	存储接口
SSTL33D_I		3.3	8/2/4/6/12/16	存储接口
SSTL33D_II		3.3	8/2/4/6/12/16	存储接口
LPDDR		1.8	8/2/4/6/12/16	LPDDR 及 Mobile DDR
LVC MOS10D		1.0	2/4	通用接口
LVC MOS12D		1.2	8/2/4/6	通用接口
LVC MOS15D		1.5	8/2/4/6/12	通用接口
LVC MOS18D		1.8	8/2/4/6/12/16	通用接口
LVC MOS25D		2.5	8/2/4/6/12/16	通用接口
LVC MOS33D		3.3	8/2/4/6/12/16	通用接口
HSUL12		单端	1.2	8/2/4/6
HSTL12_I	1.2		8/2/4/6	存储接口
HSTL15_I	1.5		8/2/4/6/12	存储接口
HSTL18_I	1.8		8/2/4/6/12/16	存储接口
HSTL18_II	1.8		8/2/4/6/12/16	存储接口
SSTL12_I	1.2		8/2/4/6	存储接口

I/O 输出标准	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	应用
SSTL135_I		1.35	8/2/4/6	存储接口
SSTL15_I		1.5	8/2/4/6/12	存储接口
SSTL18_I		1.8	8/2/4/6/12/16	存储接口
SSTL18_II		1.8	8/2/4/6/12/16	存储接口
SSTL25_I		2.5	8/2/4/6/12/16	存储接口
SSTL25_II		2.5	8/2/4/6/12/16	存储接口
SSTL33_I		3.3	8/2/4/6/12/16	存储接口
SSTL33_II		3.3	8/2/4/6/12/16	存储接口
LVC MOS10		1.0	2/4	通用接口
LVC MOS12		1.2	8/2/4/6	通用接口
LVC MOS15		1.5	8/2/4/6/12	通用接口
LVC MOS18		1.8	8/2/4/6/12/16	通用接口
LVC MOS25		2.5	8/2/4/6/12/16	通用接口
LVC MOS33/LVTTL33		3.3	8/2/4/6/12/16	通用接口
LPDDR		1.8	8/2/4/6/12/16	LPDDR 及 Mobile DDR
PCI33		3.3	8/2/4/6/12/16	PC 和嵌入式系统

表 2-2 GW5A-25 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank V _{CCIO} (V)	支持迟滞选项	是否需要 V _{REF}
MIPI_CPHY	差分	1.2/1.5/1.8	否	否
MIPI		1.2/1.5/1.8	否	否
ADC_IN		2.5/1.0/1.2/1.5/1.8/3.3	否	否
LVDS25		2.5/1.0/1.2/1.5/1.8/3.3	否	否
BLVDS25		2.5/1.0/1.2/1.5/1.8/3.3	否	否
RSDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
MINILVDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
PPLVDS		2.5/1.0/1.2/1.5/1.8/3.3	否	否
HSUL12D		1.2/1.0/1.5/1.8/2.5/3.3	否	否
HSTL12D_I		1.2/1.0/1.5/1.8/2.5/3.3	否	否
HSTL15D_I		1.5/1.0/1.2/1.8/2.5/3.3	否	否
HSTL18D_I		1.8/1.0/1.2/1.5/2.5/3.3	否	否
HSTL18D_II		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL135D_I		1.35/1.0/1.2/1.5/1.8/2.5/3.3	否	否
SSTL15D_I		1.5/1.0/1.2/1.8/2.5/3.3	否	否
SSTL18D_I		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL18D_II		1.8/1.0/1.2/1.5/2.5/3.3	否	否
SSTL25D_I		2.5/1.0/1.2/1.5/1.8/3.3	否	否
SSTL25D_II		2.5/1.0/1.2/1.5/1.8/3.3	否	否

I/O 输入标准	单端/差分	Bank V _{CCIO} (V)	支持迟滞选项	是否需要 V _{REF}
SSTL33D_I		3.3/1.0/1.2/1.5/1.8/2.5	否	否
SSTL33D_II		3.3/1.0/1.2/1.5/1.8/2.5	否	否
LPDDR		1.8/1.0/1.2/1.5/2.5/3.3	否	否
LVC MOS10D		1.0/1.2/1.5/1.8/2.5/3.3	否	否
LVC MOS12D		1.2/1.0/1.5/1.8/2.5/3.3	否	否
LVC MOS15D		1.5/1.0/1.2/1.8/2.5/3.3	否	否
LVC MOS18D		1.8/1.0/1.2/1.5/2.5/3.3	否	否
LVC MOS25D		2.5/1.0/1.2/1.5/1.8/3.3	否	否
LVC MOS33D		3.3/1.0/1.2/1.5/2.5/1.8	否	否
HSUL12	单端	1.2	是	否
HSTL12_I		1.2	是	否
HSTL15_I		1.5	是	否
HSTL15_II		1.5	是	否
HSTL18_I		1.8	是	否
HSTL18_II		1.8	是	否
SSTL135_I		1.35	是	否
SSTL15_I		1.5	是	否
SSTL18_I		1.8	是	否
SSTL18_II		1.8	是	否
SSTL25_I		2.5	是	否
SSTL25_II		2.5	是	否
SSTL33_I		3.3	是	否
SSTL33_II		3.3	是	否
LVC MOS10		1.0	是	否
LVC MOS12		1.2	是	否
LVC MOS15		1.5	是	否
LVC MOS18		1.8	是	否
LVC MOS25		2.5	是	否
LVC MOS33/LVTT L33		3.3	是	否
LPDDR		1.8	是	否
PCI33		3.3	是	否
LVC MOS10UD12		1.2	是	否
LVC MOS10UD15		1.5	是	否
LVC MOS10UD18		1.8	是	否
LVC MOS10UD25		2.5	是	否
LVC MOS10UD33		3.3	是	否
LVC MOS12OD10		1.0	是	否
LVC MOS12UD15		1.5	是	否
LVC MOS12UD18		1.8	是	否

I/O 输入标准	单端/差分	Bank V _{CCIO} (V)	支持迟滞选项	是否需要 V _{REF}
LVC MOS12UD25		2.5	是	否
LVC MOS12UD33		3.3	是	否
LVC MOS15OD10		1.0	是	否
LVC MOS15OD12		1.2	是	否
LVC MOS15UD18		1.8	是	否
LVC MOS15UD25		2.5	是	否
LVC MOS15UD33		3.3	是	否
LVC MOS18OD10		1.0	是	否
LVC MOS18OD12		1.2	是	否
LVC MOS18OD15		1.5	是	否
LVC MOS18UD25		2.5	是	否
LVC MOS18UD33		3.3	是	否
LVC MOS25OD10		2.5	是	否
LVC MOS25OD12		3.3	是	否
LVC MOS25OD15		1.5	是	否
LVC MOS25OD18		1.8	是	否
LVC MOS25UD33		3.3	是	否
LVC MOS33OD10		1.0	是	否
LVC MOS33OD12		1.2	是	否
LVC MOS33OD15		3.3	是	否
LVC MOS33OD18		1.8	是	否
LVC MOS33OD25		2.5	是	否
VREF1_DRIVER		1.8/1.2/1.5/2.5/3.3	否	是

2.4.2 I/O 逻辑

图 2-7 为 Arora V 25K FPGA 产品的 I/O 逻辑的输出部分。

图 2-7 I/O 逻辑输出示意图

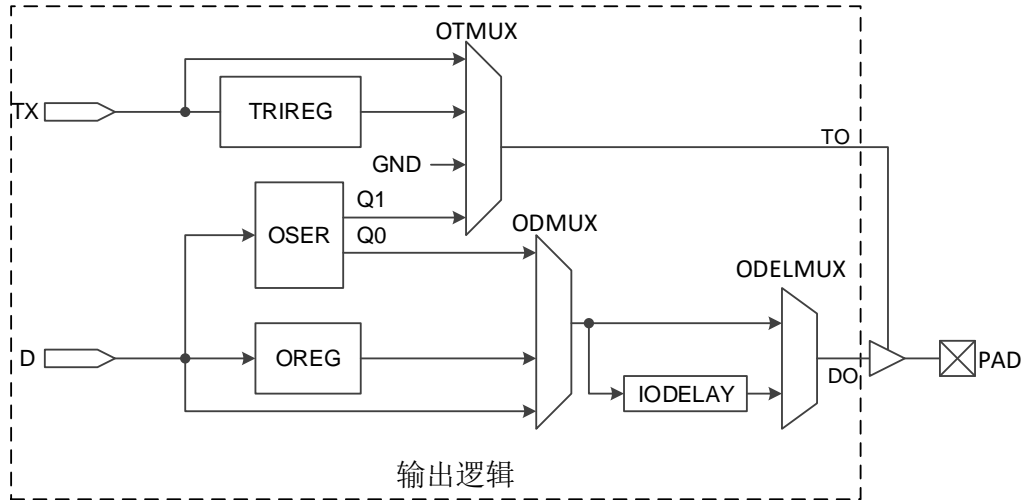
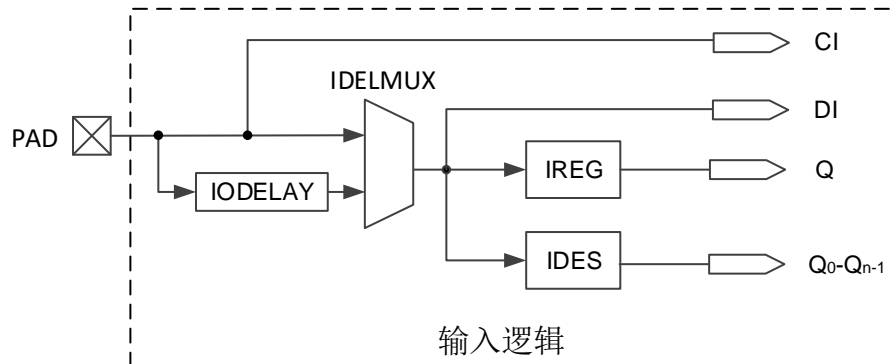


图 2-8 为 Arora V 25K FPGA 产品的 I/O 逻辑的输入部分。

图 2-8 I/O 逻辑输入示意图



注！

CI 为 GCLK 输入信号，不能连接到 Fabric；DI 直接输入到 Fabric。

Arora V 25K FPGA 产品的 I/O 逻辑的组成模块说明如下：

延迟模块

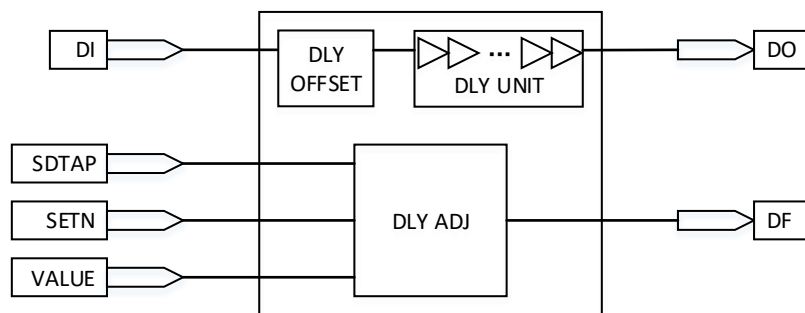
图 2-9 为延迟模块 IODELAY。每个 I/O 都包含 IODELAY 模块，用户可以通过该模块在 I/O 上增加额外的 delay 用于调整输入输出信号的延时。每一步的延迟时间为 $T_{dlyunit}$ ，总共可以提供的延迟步数为 DLYSTEP。

IODELAY 总延迟时间为： $T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$ ，总延迟参考时间如表 2-3 所示。

表 2-3 IODELAY 总延迟参考

	Min.	Typ.	Max.
$T_{dlyoffset}$	200 ps	250 ps	300 ps
$T_{dlyunit}$	10 ps	12.5 ps	15 ps
DLYSTEP	0	-	255

图 2-9 IODELAY 示意图



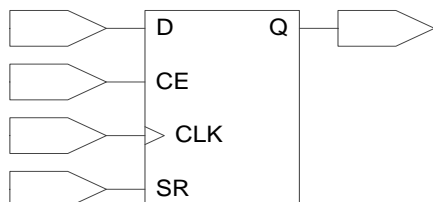
有三种控制延迟的方式：

- 静态控制。
- 动态控制，可配合综合逻辑功能电路来实现动态调节数据延时。
- 自适应控制。

I/O 寄存器

图 2-10 为 I/O 寄存器模块。每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和三态控制寄存器 TRIREG。

图 2-10 I/O 寄存器示意图



注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(DFF)或锁存器(Latch)。

串并转换 DES 及并串转换 SER 模块

Arora V 25K FPGA 产品支持多种比率模式的串行化和解串功能，如表 2-1 所示。

表 2-4 Arora V 25K FPGA 产品支持的串行/解串比率模式

	支持的比率
输入逻辑	1:2 / 1:4 / 1:7 / 1:8 / 1:10 / 1:14 / 1:16 / 1:32
输出逻辑	2:1 / 4:1 / 7:1 / 8:1 / 10:1 / 16:1 / 14:1

2.4.3 I/O 逻辑工作模式

Arora V 25K FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

关于 I/O 逻辑工作模式的详细信息，请参考 [UG304, Arora V 可编程通用管脚\(GPIO\)用户指南](#)。

2.5 块状静态随机存储器模块

2.5.1 简介

Arora V 25K FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（BSRAM）。提供 5 种操作模式：单端口模式（Single Port），双端口模式（Dual Port），伪双端口模式（Semi Dual Port），带 ECC 功能的伪双端口模式（Semi Dual Port with ECC function）及只读模式（ROM）。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18Kbits
- 时钟频率达到 380MHz(在 Read-before-Write 模式下 230MHz)
- 支持单端口模式
- 支持双端口模式
- 支持伪双端口模式
- 支持只读存储器模式
- 数据宽度最大支持 36 bits
- 支持 byte-enable 功能
- 双端口模式和伪双端口模式支持读写时钟独立、数据位宽独立
- 读模式支持寄存器输出或旁路输出
- 写模式支持 Normal 模式、Read-before-Write 模式^[1]和 Write-Through 模式
- 输入寄存器支持同步写入

注！

^[1] Arora V 25K FPGA 产品双端口模式不支持 Read-before-Write 模式。

2.5.2 存储器配置模式

Arora V 25K FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 2-5 所示。

表 2-5 存储器配置列表

存储容量	单端口模式	双端口模式	伪双端口模式	只读模式
16Kbits	16K x 1	16K x 1	16K x 1	16K x 1
	8K x 2	8K x 2	8K x 2	8K x 2
	4K x 4	4K x 4	4K x 4	4K x 4
	2K x 8	2K x 8	2K x 8	2K x 8

存储容量	单端口模式	双端口模式	伪双端口模式	只读模式
	1K x 16	1K x 16	1K x 16	1K x 16
	512 x 32	-	512 x 32	512 x 32
18Kbits	2K x 9	2K x 9	2K x 9	2K x 9
	1K x 18	1K x 18	1K x 18	1K x 18
	512 x 36	-	512 x 36	512 x 36

2.6 数字信号处理模块

Arora V 25K FPGA 产品中集成全新的 DSP 模块资源，该 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR，FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 特性如下：

- 可以配置为 12 x 12、27 x 18 及 27 x 36 带符号乘法器
- 48-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 支持寄存器输出和旁路输出
- 数据是有符号操作

每个 DSP 主要由三部分组成：

- 预加器
- 乘法器
- 算术逻辑单元

2.6.1 预加器

每个 DSP 包含一个预加器，实现预加、预减和移位功能。

预加器位于 DSP 的最前端，有两个输入端：

- 26-bit 输入 C；
- 并行 26-bit 输入 A 或 SIA。

每个输入端都支持寄存器模式和旁路模式。

2.6.2 乘法器

每个 DSP 包含一个 27 x 18 的乘法器 M0(multipliers)和一个 12 x 12 的乘法器 M1(multipliers)，乘法器(multipliers)位于预加器之后，用来实现乘法运算，输入端和输出端都支持寄存器模式和旁路模式。

乘法器 M0 支持的配置模式包括：

- 一个 27 x 18 乘法器
- 一个 12 x 12 乘法器
- 两个 DSP 可以配置成一个 27 x 36 乘法器

乘法器 M1 仅支持配置为一个 12 x 12 乘法器。

当乘法器 M0 和乘法器 M1 同时配置为 12 x 12 乘法器，且 ALU 使能时，可以实现 12 x 12 SUM 模式。

2.6.3 算术逻辑单元

每个 DSP 包含一个四输入的 48 位 ALU，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式，支持乘法器 M0 输出、乘法器 M1 输出（或 48bit 操作数 D）、ALU 级联输入及 ALU 输出反馈或静态 PRE_LOAD 值的加法/减法运算。

2.6.4 操作模式

通过控制信号可实现 DSP 多种操作模式。操作模式如下：

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

关于数字信号处理模块更多详细信息，请参考 [UG305, Arora V 数字信号处理器\(DSP\)用户指南](#)。

2.7 Cortex-M4 系统

注!

以下 2.7.1 ~ 2.7.19 各节简要描述了 Cortex-M4 系统主要特性、功能框图及各功能模块的主要特性，关于 Cortex-M4 系统更多详细信息，请参考 [MUG1186](#)，[Gowin EMPU\(GW5AS-25\)快速开发用户手册](#)。

GW5AS-25 器件集成 Cortex-M4 系统。ARM® Cortex®-M4 是最新一代的嵌入式 ARM®内核处理器，它是一款 32 位的 RISC 高性能处理器，具有优异的代码效率，卓越的计算性能和先进的中断系统响应。该处理器支持一组 DSP 指令，能够实现有效的信号处理和复杂的算法执行。它配有的单精度 FPU（浮点单元）可加速浮点运算需求并防止饱和。

2.7.1 特性

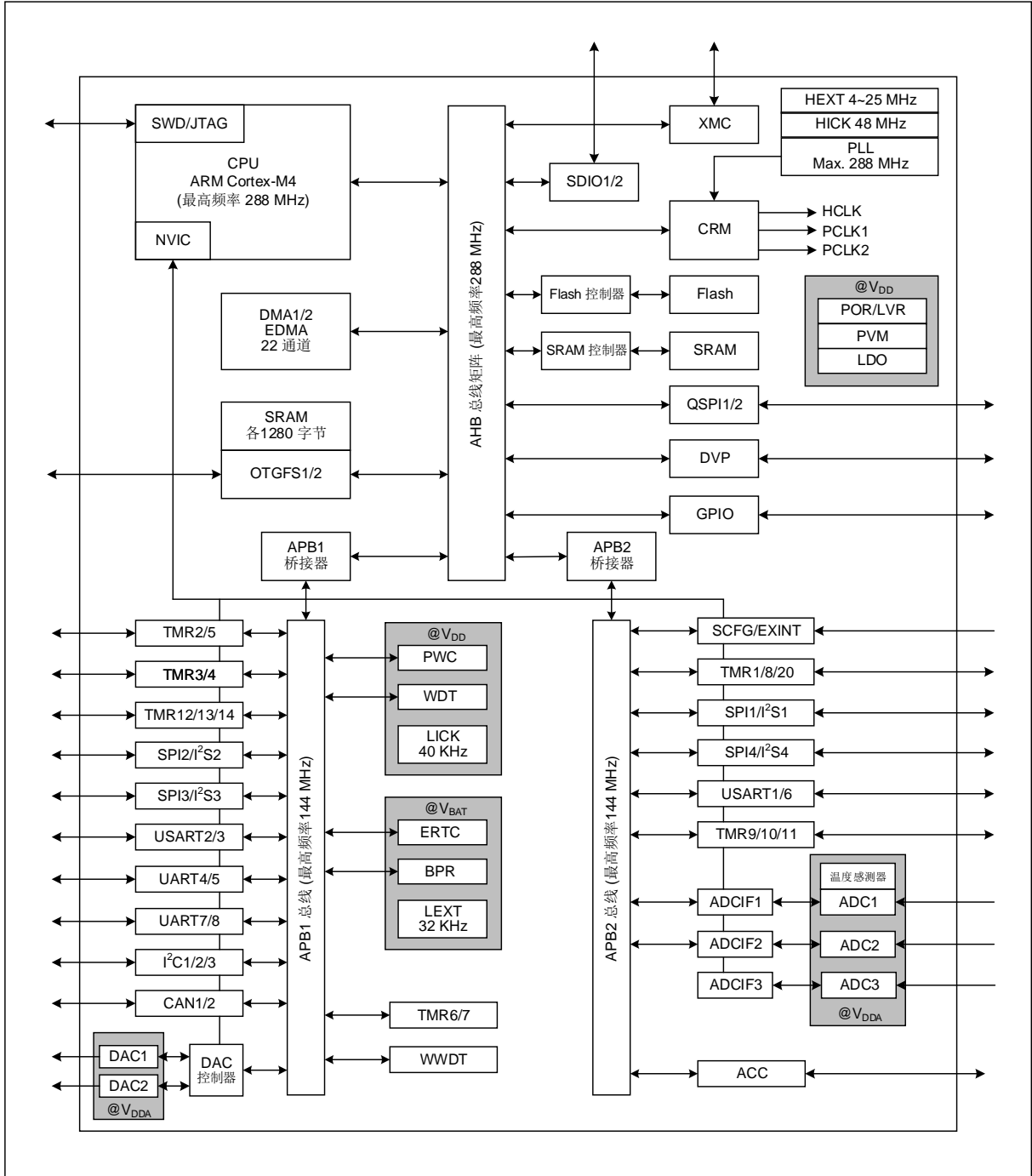
- 内核：带有 FPU 的 ARM®32 位的 Cortex®-M4 CPU
 - 最高 288 MHz 工作频率，带存储器保护单元（MPU），内建单周期乘法和硬件除法
 - 内建浮点运算单元（FPU）
 - 具有 DSP 指令集
- 存储器
 - 1024 K 字节的内部闪存存储器
 - sLib：将指定之主存储区设为执行代码安全库区，此区代码仅能调用无法读取
 - 默认 384 K 字节的 SRAM，最大可设定为 512 K 字节
 - 具有 16 位数据总线的外部存储器控制器（XMC）：支持 CF 卡、SRAM、PSRAM、NOR、NAND 和 SDRAM 存储器
 - 多达 2 个 QSPI 接口，用于连接外部 SPI 闪存存储器或 SPI RAM 扩展，支持地址映射模式
- XMC 作为 LCD 并口，兼容 8080/6800 模式
- 电源控制（PWC）
 - 2.6V 至 3.6 V 供电
 - 上电复位（POR）、低电压复位（LVR）、电源电压监测器（PVM）
- 低功耗模式：睡眠、深睡眠、和待机
- VBAT 为 LEXT、ERTC 和 20 个 32 位的电池供电寄存器（BPR）供电
- 时钟和复位管理（CRM）
 - 4 至 25 MHz 晶振（HEXT）
 - 内置经出厂调校的 48 MHz 高速内部时钟（HICK），25 °C 达 1 % 精度，-40 °C 至+105 °C 达 2.5 % 精度，带自动时钟校准（ACC）功能
 - PLL 可灵活配置倍频和分频系数
 - 32 kHz 晶振（LEXT）
 - 低速内部时钟（LICK）
- 模拟模块
 - 3 个 12 位 5.33 MSPS A/D 转换器，多达 24 个外部输入通道；分辨率 12/10/8/6 位可调；硬件过采样最高达 16 位分辨率
 - 温度传感器（V_{TS}）、内部参考电压（V_{INTRV}）、VBAT 电池电压监控（V_{BAT/4}）
 - 2 个 12 位 D/A 转换器
- DMA
 - 2 个通用型 DMA 和 1 个增强型 EDMA 控制器
 - 合计 22 通道

- 多达 94 个快速 **GPIO** 端口
 - 所有 **GPIO** 口可以映射到 16 个外部中断 (**EXINT**)
 - 几乎所有 **GPIO** 口可支持 5V 输入信号
- 多达 18 个定时器 (**TMR**)
 - 多达 13 个 16 位和 2 个 32 位定时器, 每个定时器最长达 4 个用于输入/输出/**PWM**/脉冲计数的通道
 - 2 个看门狗定时器 (一般型 **WDT** 和窗口型 **WWDT**)
 - 系统滴答定时器: 24 位递减计数器
- **ERTC**: 增强型 **RTC**, 具有自动唤醒、闹钟、亚秒级精度、及硬件日历, 带校准功能
- 多达 23 个通信接口
 - 多达 3 个 **I2C** 接口, 支持 **SMBus/PMBus**
 - 多达 4 个 **USART**/4 个 **UART** 接口, 支持 **ISO7816**、**LIN**、**IrDA** 接口、调制解调控制和 **RS485** 驱动使能, 支持 **TX/RX** 可配置引脚互换
 - 多达 4 个 **SPI** 接口 (36 M 位/秒), 4 个均可用为 **I²S** 接口, 其中 **I²S2**/**I²S3** 支持全双工
 - 多达 2 个 **CAN** 接口 (2.0B 主动)
 - 多达 2 个 **OTG** 全速控制器, 设备模式时支持无晶振 (**Crystal-less**)
 - 多达 2 个 **SDIO** 接口
 - 红外发射器 (**IRTMR**)
- 8~14 位数字摄像头并口 (**DVP**)
- **CRC** 计算单元
- 96 位的芯片唯一码 (**UID**)
- 调试模式
 - 串行线调试 (**SWD**) 和 **JTAG** 接口
- 温度范围: **-40 至+105 °C**

2.7.2 功能框图

Cortex-M4 功能框图如图 2-11 所示。

图 2-11 Cortex-M4 系统功能框图



2.7.3 存储器

内置闪存存储器 (Flash)

内置高达 1024 K 字节的内部闪存存储器，用于存放程序和数据。内置存储器可指定任意一范围程序区受 sLib 保护，成为仅能执行无法被读取的

执行代码安全库区。sLib 是基于保护方案商代码安全之下，又顾及其客户便于进行二次开发而设计的

片上另有 18 K 字节的启动程序代码区，启动加载程序（Bootloader）存放于其中。

另外内部包含用户系统数据区块，用于配置访问擦写保护、看门狗自启动等硬件设置行为。用户系统数据对于存储器提供擦写保护和访问保护各自设置功能，其中访问保护有 2 个级别可配置。

存储器保护单元（MPU）

存储器保护单元（MPU）用于管理 CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区由最多 8 个保护区组成，还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4 G 字节。MPU 特别适合有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响。它通常是一个 RTOS（实时操作系统）。

内置随机存取存储器（SRAM）

默认 384 K 字节的内置 SRAM，可设置最高达 512 K 字节。CPU 能以零等待周期访问（读/写）。

外部存储控制器（XMC）

Cortex-M4 系统集成了外部存储控制器模块（XMC）。它具有 4 个片选输出，支持 CF 卡、SRAM、PSRAM、NOR 闪存、NAND 闪存和 SDRAM。

主要功能：

- 8 位和 16 位数据总线宽度；
- 读缓存，用于 SDRAM 控制器；
- 写缓存。

XMC 也可以配置成与多数图形 LCD 控制器连接，它支持 Intel 8080 和 Motorola 6800 的模式。

四线串行外设存储器接口（QSPI）

Cortex-M4 系统内置 2 个四线串行外设接口（QSPI），是一种专用的通信接口，连接单、双、或四条数据线的 SPI 闪存存储器或 SPI RAM。可工作于间接模式（使用寄存器执行全部操作）、状态轮询模式、或地址映射模式，最高映射 256 M 字节的外部闪存存储器或 RAM。QSPI 允许字节、半字和字访问，支持芯片内执行（XIP）操作，并完全可编程操作码和帧格式。

2.7.4 中断

嵌套的向量式中断控制器（NVIC）

Cortex-M4 内置嵌套的向量式中断控制器，可管理 16 个优先级，处理

Cortex®-M4 内核的可屏蔽中断通道及 16 个中断线。该模块以最小的中断延迟提供灵活的中断管理功能。

外部中断 (EXINT)

外部中断 (EXINT) 与 NVIC 直接连接, EXINT 包含 22 个边沿检测器, 用于产生中断请求。每个中断线都可以独立地配置它的触发事件 (上升沿、下降沿、或双边沿), 并能够单独地被屏蔽; 挂起寄存器维持所有中断请求的状态。外部中断其中最多有 16 根可从 GPIO 中选择连接。

2.7.5 电源控制 (PWC)

供电方案

- $V_{DD} = 2.6 \sim 3.6 \text{ V}$: V_{DD} 引脚为 GPIO 引脚和内部 LDO 等内部模块供电。
- $V_{DDA} = 2.6 \sim 3.6 \text{ V}$: 为 ADC 和 DAC 供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- $V_{BAT} = 1.62 \sim 3.6 \text{ V}$: V_{BAT} 引脚允许从外部电池、外部超级电容器为器件的 V_{BAT} 域供电, 或当没有外部电池及外部超级电容器时从 V_{DD} 供电。当没有 V_{DD} 存在时, V_{BAT} 引脚 (通过内部电源切换器) 为 ERTC、外部 32 kHz 晶振 (LEXT) 和电池供电寄存器 (BPR) 供电。

复位和电源电压监测器 (POR/LVR/PVM)

Cortex-M4 系统内部集成了上电复位 (POR) 和低电压复位 (LVR) 电路, 该电路始终处于工作状态, 可使器件在供电超过 2.6 V 时工作; 当 V_{DD} 压降低于规定阈值 (VLVR) 时, 置器件于复位状态, 而不必使用外部复位电路。

Cortex-M4 系统中还包含一个电源电压监测器 (PVM), 它监视 V_{DDD} 供电并与阈值 V_{PVM} 比较, 当 V_{DD} 低于或高于阈值 V_{PVM} 时产生中断。PVM 功能需要通过程序开启。

电压调节器 (LDO)

LDO 有三个操作模式: 正常模式、低功耗模式、和关断模式。

- 正常模式: 用于正常的运行操作并可用于 CPU 的深睡眠模式;
- 低功耗模式: 可用于 CPU 的深睡眠模式;
- 关断模式: 用于 CPU 的待机模式。LDO 的输出为高阻状态, 内核电路的供电切断, 寄存器和 SRAM 的内容将丢失。

该 LDO 在复位后处于正常模式工作状态。

LDO 另有输出电压调整功能, 除默认的 1.2 V 外, 支持 1.3/1.1/1.0 V 软件可调, 提供效能及功耗之间最大适应可能。

低功耗模式

Cortex-M4 系统产品支持三种低功耗模式:

- 睡眠模式 (Sleep)

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- 深睡眠模式 (Deepsleep)

深睡眠模式下可以实现低功耗，同时保持 SRAM 和寄存器的内容。此时，LDO 供电域中的所有时钟都会停止，PLL、HICK 时钟、和 HEXT 晶振也被关闭。还可以将 LDO 置于正常模式或低功耗模式并调整输出电压。

可以通过任一配置成 EXINT 的信号把微控制器从深睡眠模式中唤醒，EXINT 信号可以是 16 个外部 GPIO 口之一、PVM 的输出、ERTC 闹钟/唤醒/入侵检测/时间戳事件、OTGFS 或以太网 MAC 的唤醒信号。

- 待机模式 (Standby)

在待机模式下可以达到最低的电能消耗。内部的 LDO 被关闭，因此所有内部 LDO 供电被切断，PLL、HICK 时钟、和 HEXT 晶振也被关闭。进入待机模式后，SRAM 和寄存器的内容将消失，但电池供电寄存器的内容仍然保留，待机电路仍工作。

从待机模式退出的条件是：NRST 上的外部复位信号、WDT 复位、WKUPx 引脚上的一个上升边沿或 ERTC 的闹钟/唤醒/入侵检测/时间戳事件。

注！

在进入深睡眠或待机模式时，ERTC 对应的时钟不会被停止。WDT 视用户系统数据设置决定。

2.7.6 启动模式

在启动时，通过对启动引脚设置可以选择三种启动模式中的一种：

- 从程序内部闪存存储器启动。对于 Cortex-M4 系统，用户可以选择从任意一个内部闪存储块启动。默认选择片 1 (Bank 1)，也可以设置用户系统数据从而选择片 2 (Bank 2)；
- 从启动程序代码区启动；
- 从内部 SRAM 启动。

2.7.7 时钟

系统时钟在复位后，高速内部 48 MHz 时钟 (HICK) 经 6 分频后 (8 MHz) 被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4~25 MHz 高速晶振 (HEXT)；当检测到高速外部晶振失效时，它将被关闭，系统将自动地切换到 HICK，软件可以接收到相应的中断。同样当 PLL 使用的高速外部晶振失效时，硬件也会如此自动设置。

时钟控制分成多个预分频器用于配置 AHB 的频率和 APB (APB1 和 APB2) 的频率。AHB 的最高频率是 288 MHz，APB 的最高频率为 144 MHz。

另外，Cortex-M4 系统产品内嵌一个特别的自动时钟校准（ACC）模块，高速内部时钟 HICK 48 MHz 可被此模块校准，可保证在整个芯片可操作温度范围内 HICK 的最佳准确度。

2.7.8 通用输入输出（GPIO）

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏、带或不带上拉/下拉）、输入（浮空、带或不带上拉/下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的多个外设共享。所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，GPIO 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 GPIO 寄存器。

2.7.9 直接存储器访问控制器（DMA）

Cortex-M4 系统产品具有两个通用 DMA（DMA1 和 DMA2）加上一个增强型 EDMA 共 22 个通道。它们能够管理存储器到存储器、外设到存储器、存储器到外设的传输。它们具有用于 APB/AHB 外设的专用缓存，支持突发传输，其设计可提供最大外设带宽（AHB/APB）。

DMA/EDMA 控制器支持循环缓冲区管理，当控制器到达缓冲区末尾时，无需专门代码。EDMA 控制器还有双缓冲特性，可自动使用和切换两个存储器缓冲，而不需要特殊代码。

每个数据通道都与专用的硬件 DMA/EDMA 请求相连，同时支持软件触发。通过软件进行相关配置，并且数据源和数据目标之间传输的数据量不受限制。

DMA/EDMA 可以用于主要的外设：SPI 和 I²S，I²C，USART，高级、通用和基本定时器 TMRx，DAC，SDIO，ADC，DVP，和 QSPI。

2.7.10 定时器（TMR）

Cortex-M4 系统产品包含最多 3 个高级定时器、10 个通用定时器和 2 个基本定时器，以及 1 个系统滴答定时器。

2.7.11 看门狗（WDT）

看门狗由一个 12 位的递减计数器和一个 8 位的预分频器所组成，它由低速内部 LICK 提供时钟；因为这个时钟独立于主时钟，所以它可运行于深睡眠和待机模式。它可以被当成看门狗用于在发生错误时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过用户系统数据可以配置看门狗是否自启动。在调试模式下，计数器可以被冻结。

2.7.12 窗口型看门狗（WWDT）

窗口型看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生错误时复位整个系统。它由主时钟驱动，具

有早期预警中断功能；在调试模式下，计数器可以被冻结。

2.7.13 增强型实时时钟（ERTC）和电池供电寄存器（BPR）

电池供电域包括：

- 增强型实时时钟（ERTC）
- 20 个 32 位电池供电寄存器（BPR）

增强型实时时钟（ERTC）是一个独立的 BCD 定时器/计数器。它支持下列功能：

- 日历具有秒、分、小时（12 或 24 小时格式）、星期几、日、月、年，格式为 BCD（二进制十进数）。
- 提供二进制格式的亚秒值。
- 自动调整每月的天数为 28、29（闰年）、30、还是 31 天。
- 可编程闹钟和可编程的周期性中断具有从深睡眠和待机模式唤醒的能力。
- 为补偿天然石英的偏差，可通过 512 Hz 的外部输出对 ERTC 进行校准。

两个闹钟寄存器用于在特定的时间生成闹铃，可单独屏蔽日历字段以比较闹钟。为生成周期性中断，使用了分辨率可编程的 16 位可编程二进制自动重载递减计数器，可从每隔 120 μ s 至每隔 36 小时自动唤醒和周期性闹铃。其它 32 位寄存器还包含可编程的闹钟亚秒、秒、分钟、小时、星期几和日期。

20 位的预分频器用于时间基准时钟。默认情况下，它被配置为从 32.768 kHz 时钟生成 1 秒的时间基准。

电池供电寄存器（BPR）为 32 位寄存器存储 80 字节的用户应用数据。电池供电寄存器不会在系统复位或电源复位时复位，也不会从待机模式唤醒时复位。

ERTC 和 BPR 通过开关供电，当 V_{DD} 电源存在时，该开关选择 V_{DD} 供电，否则选择由 V_{BAT} 引脚供电。

2.7.14 通信接口

串行外设接口（SPI）/内部集成音频接口（I²S）

多达 4 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 36 兆位/秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生/校验支持基本的 SD 卡、MMC、和 SDHC 模式。所有的 SPI 接口都可以使用 DMA 操作。

SPI 接口可配置为 TI 模式工作，用于主模式和从模式的通信。

4 个标准的 I²S 接口（与 SPI 复用）可以在主或从模式下工作于半双工，以及 I²S2 和 I²S3 全双工模式。这 4 个接口可以配置为 16/24/32 位分辨率的输入或输出通道工作，支持音频采样频率从 8 kHz 到 192 kHz。当任

一个 I²S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC（解码器）。所有 I²S 均可使用 DMA 控制器。

通用同步/异步收发器（USART）

Cortex-M4 系统产品中，内置了 4 个通用同步/异步收发器（USART1, USART2, USART3 和 USART6），和 4 个通用异步收发器（UART4, UART5, UART7 和 UART8）。

这 8 个接口提供异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。这 8 个接口接口通信速率均可达 9 兆位/秒。

USART1, USART2, USART3 和 USART6 接口还提供了具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类似 SPI 通信模式。所有接口都可以使用 DMA 操作。

内部集成电路总线（I²C）

多达 3 个 I²C 总线接口，能够工作于多主模式或从模式。它们支持标准模式（standard mode，最高 100 kHz）、快速模式（fast mode，最高 400 kHz）、和增强快速模式（fast mode plus，最高 1 MHz），部分 GPIO 支持超高电流吸入能力 20 mA。

I²C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。

它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

安全数字输入/输出接口（SDIO）

2 个 SD/SDIO/MMC 主机接口，可以支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式：1 位（默认）、4 位和 8 位。在 8 位模式下，该接口可以使数据传输速率达到 48 MHz，该接口兼容 SD 存储卡规范 2.0 版。

SDIO 存储卡规范 2.0 版支持两种数据总线模式：1 位（默认）和 4 位。

目前的芯片版本只能一次支持一个 SD/SDIO/MMC4.2 版的卡，但可以同时支持多个 MMC4.1 版或之前版本的卡。除了 SD/SDIO/MMC/eMMC，这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。

控制器区域网络（CAN）

2 个 CAN 接口兼容规范 2.0A 和 2.0B（主动），位速率高达 1 兆位/秒。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。每个 CAN 具有 3 个发送邮箱，2 个具 3 级深度的接收缓存，和 28 个可调节的滤波器。每个 CAN 都分配有 368 字节的专用缓存，此专用缓存不和另一个 CAN 或其他硬件外设共享。

通用串行总线 On-The-Go 全速（OTGFS）

Cortex-M4 系统 内置 2 个集成了收发器的 OTG 全速（12 Mb/s）设备和主机模式控制模块。OTGFS 模块兼容 USB2.0 和 OTG1.3 协议。它具有

可由软件配置的端点设置，并支持挂起/恢复机制。OTGFS 模块专用的 48 MHz 时钟由内部主 PLL 产生，用作设备模式也可直接来自 48 MHz HICK 时钟源。

每个 OTGFS 模块特性有：

- 专用的 1280 字节缓存（不和另一 OTGFS 模块或其他任何外设共享）
- 8 个 IN + 8 个 OUT 端点（包含端点 0，设备模式）
- 16 个通道（主机模式）
- SOF 输出
- 兼容 USB2.0 协议，提供以下传输速率：
 - 主机模式：全速和低速
 - 设备模式：全速

红 IR 外发射器 (TMR)

Cortex-M4 系统产品提供了红外发射器。基于 TMR10、USART1、或 USART2 与 TMR11 间的内部连接。TMR11 用于提供载波频率，TMR10、USART1、或 USART2 提供要发送的主信号。红外输出信号在 PB9 或 PA13 上可用。

为生成红外遥控信号，必须正确配置 TMR10 通道 1 和 TMR11 通道 1 以生成正确的波形。所有标准红外脉冲调制模式都可通过编程两个定时器输出比较通道获得。

2.7.15 数字摄像头并口 (DVP)

Cortex-M4 系统内置有数字摄像头接口，可通过 8 位至 14 位并行接口与数字摄像头模块连接以接收视频数据。该摄像头接口可支持的数据传输速率可在 54 MHz 时高达 54 兆字节/秒。它具有以下特性：

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可为 8、10、12、14 位
- 支持 8 位逐行视频单色或原始拜尔格式、YCbCr 4:2:2 逐行视频、RGB 565 逐行视频、或压缩数据（如 JPEG）
- 连续模式或快照（单帧）模式
- 自动裁剪图像的能力
- 灰阶影像二值化转换

2.7.16 循环冗余校验 (CRC) 计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。

2.7.17 模拟/数字转换器（ADC）

Cortex-M4 系统内嵌 3 个 12 位的模拟/数字转换器（ADC），具有以下功能：

- 可配置 12 位、10 位、8 位、或 6 位分辨率，带自校准功能
- 5.33 MSPS 的 12 位分辨率最高转换率，可通过降低分辨率来缩短转换时间
- 共享多达 24 个外部通道，其中有 6 个快速通道
- 3 个内部专用通道：内部温度传感器（ V_{TS} ）、内部参考电压（ V_{INTRV} ）、和 V_{BAT} 监测（ $V_{BAT/4}$ ）
- 可独立设置各通道采样时间
- 2 到 256 倍硬件过采样，最高达等效 16 位分辨率
- 转换可通过以下方式启动：
 - 通过软件启动普通转换和抢占转换
 - 通过极性可配置的硬件触发器（内部定时器事件或 GPIO 输入事件）启动普通转换和抢占转换
- 转换模式：
 - ADC 可转换单个通道，也可一系列通道序列转换
 - 序列模式会在每次触发时对选定的输入执行一次转换
 - 反复模式可连续转换选定的输入
 - 分割模式
- 单从机或双从机下 ADC 之间同时模式或位移模式转换的控制
- 电压监测功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断
- 所有 ADC 都可以使用 DMA 操作

2.7.18 数字/模拟转换器（DAC）

两个 12 位带缓冲的 DAC 通道可以用于转换 2 路数字信号成为 2 路模拟电压输出。

DAC 具有下述功能：

- 两个 DAC 转换器：各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波

- 产生三角波
- 双 DAC 通道独立或同时转换
- 每个通道都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压为 V_{REF+}

Cortex-M4 系统中有数个触发 DAC 转换的输入。DAC 通道可以由定时器的更新输出触发，更新输出也可连接到不同的 DMA 通道。

2.7.19 串行线 (SWD) / JTAG 调试接口

内嵌 ARM® SWJ-DP 接口，这是一个由串行线和 JTAG 调试端口结合而成，可以实现要连接到目标的串行线调试接口或 JTAG 接口。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共享引脚。

2.8 MIPI D-PHY

2.8.1 MIPI D-PHY

Arora V 25K FPGA 产品 内嵌硬核 MIPI D-PHY，支持 MIPI D-PHY RX 及 MIPI D-PHY TX，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2。该 D-PHY 适用于串行显示接口 (Display Serial Interface, DSI) 和串行摄像头接口 (Camera Serial Interface, CSI-2)。主要特性如下：

- 支持单向高速(HS, High-speed)模式，RX/TX 传输带宽最高可达 10 Gbps (4 个数据通道)。
- 一个 MIPI Quad 支持最多四个数据通道和一个时钟通道。
- 支持双向低功耗(LP, Low-power)操作模式，数据传输速率为 10Mbps。
- 支持高速同步、位和通道对齐。
- 支持 MIPI D-PHY RX/TX 1:8 模式与 1:16 模式。
- 支持 MIPI DSI 和 MIPI CSI-2 链路层。

关于 Gowin MIPI D-PHY 更多详细信息，请参考 [UG296, Arora V Hardened MIPI D-PHY 用户指南](#)。

2.8.2 GPIO 支持 MIPI D-PHY RX/TX (MIPI IO)

Arora V 25K FPGA 产品的 GPIO 支持 MIPI IO 模式，通过 MIPI IO 模式实现的 MIPI D-PHY RX/TX 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI-2），用于接收或发送图像或视频数据，MIPI D-PHY 为其提供物理层定义。Arora V 25K FPGA 产品的 MIPI IO 模式支持情况如下表所示。

表 2-6 Arora V 25K FPGA 产品的 MIPI IO 模式支持列表

MIPI RX/TX	GW5A-25/ GW5AR-25/ GW5AS-25
MIPI RX	所有 Bank (JTAG Bank 和 Reserved Bank 除外)
MIPI TX	所有 Bank (JTAG Bank 和 Reserved Bank 除外)

主要特性如下：

- 支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2
- 支持高速 RX 和 TX 器件接口，传输速率单通道最高可达 2.0Gbps
- 支持单向高速(HS, High-speed)模式。
- 支持双向低功耗(LP, Low-power)操作模式
- 支持串行高速(HS, High-speed)数据转换为字节数据包。
- 支持 MIPI D-PHY TX 8:1 模式与 16:1 模式。
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式。
- 支持 ELVDS、TLVDS 与 MIPI IO 等 IO Type。
- 控制数据在 LP 模式下进行传输，数据速率为 10Mb/s。

更多详细信息请参考 [IPUG948, Gowin MIPI D-PHY RX TX Advance 用户指南](#)。

2.9 ADC

Arora V 25K FPGA 产品内部集成了 8 通道 10 bits Delta-sigma 模数转换器，是一款低功耗，低漏电流的 delta-sigma ADC。结合 FPGA 的可编程逻辑能力，以及内部集成的电压、温度传感单元，该 ADC 可以满足芯片内部温度和电源监测的数据采集要求和监测要求。同时，FPGA 提供丰富自由的可配置 GPIO 接口以及 ADC 模拟信号接口，连接到 ADC 的电压通道，可以满足芯片外部的电压数据采集要求和监测要求。

主要特性如下：

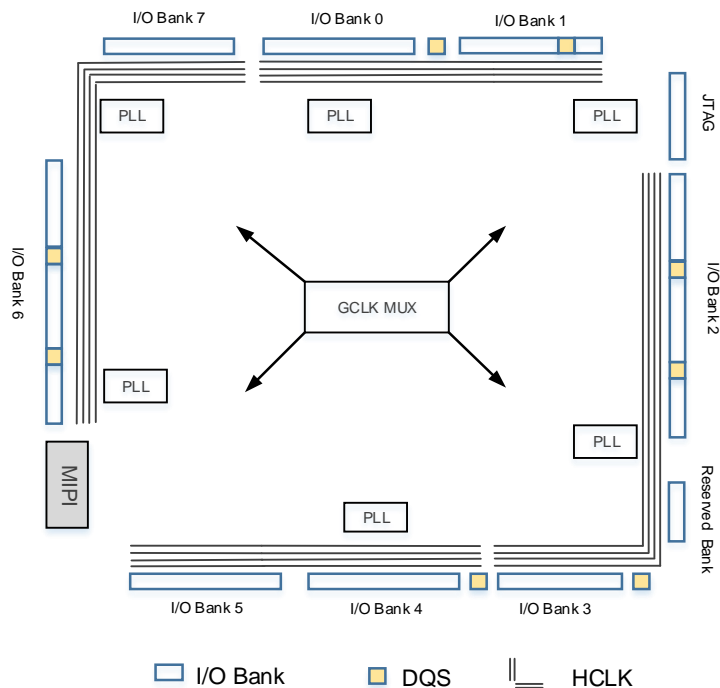
- ADC 个数：2 个
- 参考电压源：内置
- 位宽精度：10 bits
- 采样时钟：< 2MHz
- ADC 单极输入电压：0~1V
- 60dB SNR
- 温度传感器精度：+/-2°C
- 电压传感器精度：+/-5mV

更多详细信息请参考 [UG299, Arora V 模拟数字转换器\(ADC\)用户指南](#)。

2.10 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。Arora V 25K FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环 (PLL)、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源。

图 2-12 时钟资源



2.10.1 ~ 2.10.4 给出简要描述，关于全局时钟、高速时钟、锁相环及 DDR 存储器接口数据脉冲时钟 DQS 等更多详细信息请参考 [UG306, Arora V 时钟资源\(Clock\)用户指南](#)。

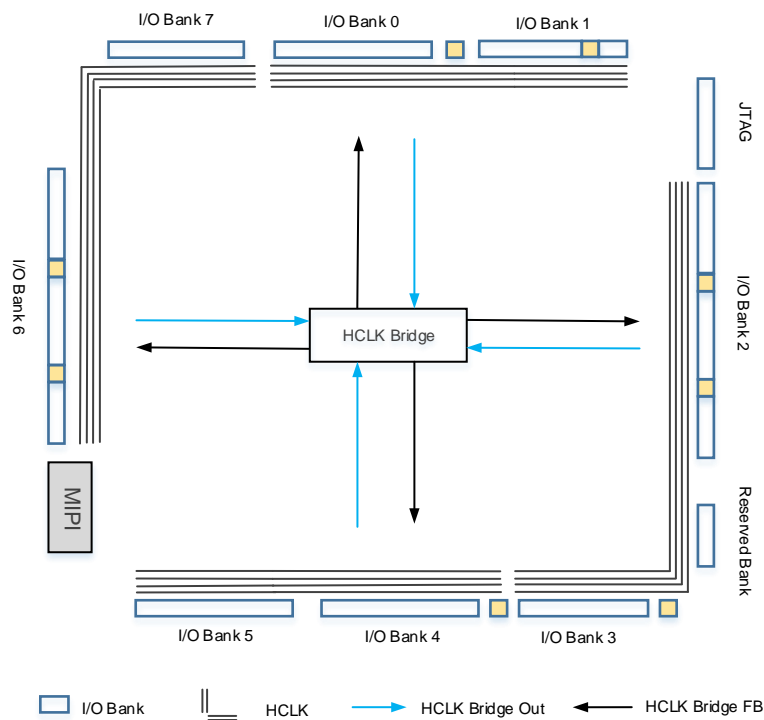
2.10.1 全局时钟

Arora V 25K FPGA 产品提供 16 个全局时钟。GCLK 的时钟源来自专用时钟管脚、PLL 的输出、SERDES 时钟、HCLK 的输出以及普通绕线资源，使用专用的时钟输入管脚具有更好的时钟性能，可实现对全局的驱动。

2.10.2 高速时钟

Arora V 25K FPGA 产品的高速时钟 HCLK，具有低抖动和低偏差性能，可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的。一个 Bank 支持四路 HCLK，如图 2-13 所示。

图 2-13 HCLK 示意图



HCLK 可以提供给用户使用的功能模块如下所示：

- 动态的高速时钟使能模块，可动态地打开/关闭高速时钟信号。
- 高速时钟分频模块，生成和输入时钟相位一致的分频时钟，用于 IO 逻辑工作模式中。
- 动态的高速时钟选择器。
- 动态延迟调整模块，用于专用时钟管脚输入的时钟信号。
- 全局高速时钟 HCLK Bridge 模块，可将 HCLK 时钟信号送到任何一个 Bank 中。此外，HCLK 时钟信号从 IO Bank 进入后还可跨到相邻 IO Bank 的时钟树。

注！

对于同源的高速信号，建议放在同一个 IO Bank，此时信号之间的 skew 最小。

2.10.3 锁相环

锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-Locked Loop）。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

Arora V 25K FPGA 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

Arora V 25K FPGA 产品的 PLL 模块特性如下：

- 支持 7 路时钟输出

- 整数 PLL，第 1 路和反馈时钟输出同时支持 1/8 小数分频
- 支持相移和占空比调整
- 频率锁定检测
- 支持扩频时钟产生(需要使用 IP)
- VCO 工作频率范围：800 MHz ~ 2000 MHz
- CLKIN 频率范围：19 MHz ~ 800 MHz

2.10.4 DDR 存储器接口时钟管理 DQS

Arora V 25K FPGA 产品的 DQS 模块提供了如下的功能来支持 DDR 存储器接口的时钟需求：

- 接收 DQS 输入，整理波形并移动 1/4 相位
- 为输入缓存提供读/写指针
- 为内部逻辑提供数据有效信号
- 提供 DDR 输出时钟信号
- 支持 DDR3 写电压控制

DQS 模块支持多种工作模式，用来满足不同的 IO 接口的需求。

2.10.5 长线

作为对 CRU 的有效补充，Arora V 25K FPGA 产品提供了灵活丰富的长线(LW)资源。LW 一方面可以用作控制线，给 DFF 提供时钟使能 (CE)、置复位 (SET/RESET) 信号；另一方面，还可以用作逻辑绕线，作为普通数据信号使用。

2.11 全局复置位

Arora V 25K FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步复位或异步置位，CFU 和 I/O 中的寄存器均可以独立配置。

2.12 编程配置

Arora V 25K FPGA 产品支持 SRAM 编程，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在外部 Flash 中。上电后，GW5A 器件从外部 Flash 中读取配置数据到 SRAM 中。

除了支持业界通用的 JTAG 配置模式外，Arora V 25K FPGA 产品还支持高云半导体特有的 GowinCONFIG 配置模式：SSPI、MSPI、Master CPU、Slave CPU、Master SERIAL、Slave SERIAL。同时支持背景升级、支持数据流文件加密和安全位设置、支持 SEU 检测及纠错、支持 OTP，详细资料请参考 [UG714, Arora V 25K FPGA 产品编程配置手册](#)。

背景升级

Arora V 25K FPGA 产品支持通过 JTAG/SSPI/QSSPI 或者通过 goConfig I²C IP / goConfig JTAG IP 的方式进行背景升级，即器件支持在不影响现有工作状态的情况下编程外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，低电平触发 RECONFIG_N 或者通过 Reboot 指令即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

比特流文件加密和安全位设置

Arora V 25K FPGA 产品支持比特流数据加密，采用 128 bits 的 AES 加密算法。同时，高云半导体为保障配置数据的安全准确传输，在 FPGA 产品的比特流文件中默认加入了 CRC 校验算法并设置了安全位。数据配置过程中实时校验输入数据是否出错，错误的数据无法唤醒器件。设置了安全位的比特流数据完成配置后，任何用户无法进行回读操作。

SEU Handler

Arora V 25K FPGA 产品内嵌 SEU Handler 模块，具有配置内存软错误恢复(CMSER)功能，主要通过用户在用户设计后台逐帧读取配置内存，并进行 ECC 解码和 CRC 校验比对来实现，默认关闭。具有如下特性：

- 支持 ECC 及 CRC 错误检测及纠正
- 可以由用户设计启用，也可以在程序唤醒后自动启用该功能
- ECC 支持每个 SRAM Frame 中 2 bit 错误位置报告以及错误纠正^[1]，4 bits 错误报警

注！

- ^[1]支持特定条件下 2 bit 错误位置报告以及错误纠正，详细信息请参考 UG297，Arora V SEU Handler 用户指南。
- ^[1]SEU Handler 可以支持更快的错误修正速度，详细信息请联系当地技术支持。
- CRC 支持任意 bit 错误报警
- 支持 1-bit 任意位置错误注入，每个 SRAM Frame 中两个错误
- 用户打开 SSRAM 存储功能时自动关闭该存储区域 SRAM 的检测及纠

错功能

OTP

Arora V 25K FPGA 产品提供 128 Bit 的 OTP 空间，支持一次性编程。其中 Bit0~Bit31 为用户区，系统制造商可以使用此空间存储安全性和其他重要信息。Bit32~Bit95 为 DNA 区，存储器件 64 位唯一标识信息。

2.13 片内时钟振荡器

Arora V 25K FPGA 产品内嵌了一个片内时钟振荡器，编程过程中为 MSPI 编程模式提供时钟源。片内时钟振荡器还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

$$f_{\text{out}}=210\text{MHz}/\text{Param}。$$

注！

其中除数 Param 为配置参数，范围为 3 和 2~126 之间的偶数。

3 电气特性

注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
V _{CC}	核电压, LV	-0.5V	1.05V
	核电压, EV	-0.5V	3.75V
V _{CCIO0~7}	I/O Bank0~ I/O Bank7 电源电压	-0.5V	3.75V
V _{CCIO1 (GW5AR)}	I/O Bank1 电源电压，与 PSRAM 接口相连，V _{CCIO1} 提供 PSRAM 工作电压	-0.5V	1.98V
V _{CCX}	辅助电压	-0.5V	3.75V
V _{CC_LDO}	为 PLL, SRAM 提供电压的内部 LDO 模块的电源电压	-0.5V	3.75V
V _{EFUSE}	eFuse 写入所需电压	-0.5V	2.07V
V _{DDA_MIPi}	MIPI 模块模拟电路供电电压	-0.5V	1.05V
V _{DDD_MIPi}	MIPI 模块数字电路供电电压	-0.5V	1.05V
V _{DDX_MIPi}	MIPI 模块模拟辅助供电电压	-0.5V	3.75V
V _{DD12_MIPi}	MIPI 模块 LP 模式供电电压	-0.5V	1.32V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

3.1.2 推荐工作范围

表 3-2 推荐工作范围

名称	描述	最小值	最大值
V _{CC}	核电压, LV	0.87V	1.03V
	核电压, EV	1.14V	1.8V
V _{CCIO0~7}	I/O Bank0~ I/O Bank7 电源电压	1.14V	3.465V
V _{CCIO1 (GW5AR)}	I/O Bank1 电源电压, 与 PSRAM 接口相连, V _{CCIO1} 提供 PSRAM 工作电压	1.71V	1.89V
V _{CCX}	辅助电压	2.375V	3.465V
V _{CC_LDO} ^[1]	为 PLL, SRAM 提供电压的内部 LDO 模块的电源电压	1.14V	3.3V
V _{EFUSE} ^[2]	eFuse 写入所需电压	1.62V	1.98V
V _{DDA_MIPi}	MIPI 模块模拟电路供电电压	0.87V	1V
V _{DDD_MIPi}	MIPI 模块数字电路供电电压	0.87V	1V
V _{DDX_MIPi}	MIPI 模块模拟辅助供电电压	2.375V	3.465V
V _{DD12_MIPi}	MIPI 模块 LP 模式供电电压	1.14V	1.32V
T _{JAUT}	结温(车规级)	-40℃	+105℃

注!

- ^[1] V_{CC_LDO} 电压越大, 功耗越高。
- ^[2] 当不需要写 eFuse 的时候, 这个电源可以接 GND 或 floating。
- 若某些封装或者 PCB 上多个电源短接, 需要取所有短接电源范围的交集, 同时满足多个电源的需求。

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V _{CC Ramp}	电源电压上升斜率	0.1mV/μs	TBD	15mV/μs

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I _{HS}	输入漏电流 (Input or I/O leakage current)	0<V _{IN} <V _{IH} (MAX)	I/O	150uA
I _{HS}	输入漏电流 (Input or I/O leakage current)	0<V _{IN} <V _{IH} (MAX)	TDI, TDO, TMS, TCK	120uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	名称	典型值
POR 电压值	上电复位触发电平 Power on reset voltage	V _{CC}	0.69V
		V _{CCX}	1.5V
		V _{CCIO} (Bank4/5/7)	1.05V
		V _{CC_REG}	0.92V

3.2 ESD 性能

表 3-6 ESD - HBM

器件	HBM
GW5A-25	HBM ≥ 2000V (GPIO) HBM ≥ 1000V (MIPI D-PHY)

表 3-7 ESD - CDM

器件	GW5A-25
GW5A-25	CDM ≥ 500V

3.3 DC 电气特性

3.3.1 推荐工作范围的 DC 电气特性

表 3-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I _{IL} , I _{IH}	I/O 输入漏电流 (Input or I/O leakage)	V _{CCO} < V _{IN} < V _{IH} (MAX)	-		210uA
		0V < V _{IN} < V _{CCO}	-		10uA
I _{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	0 < V _{IN} < 0.7V _{CCO} , Pull Strength=Strong	-		-400uA
		0 < V _{IN} < 0.7V _{CCO} , Pull Strength=Medium			-150uA
		0 < V _{IN} < 0.7V _{CCO} , Pull Strength=Weak			-50uA
I _{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	V _{IL} (MAX) < V _{IN} < V _{CCO} , Pull Strength=Strong	-		400uA
		V _{IL} (MAX) < V _{IN} < V _{CCO} , Pull Strength=Medium			150uA
		V _{IL} (MAX) < V _{IN} < V _{CCO} , Pull Strength=Weak			50uA
C1	I/O 电容 (I/O Capacitance)			5pF	8pF
V _{HYST}	输入迟滞 (Hysteresis for Schmitt Trigger inputs)	V _{CCO} =3.3V, Hysteresis=ON	-	400mV	
		V _{CCO} =2.5V, Hysteresis=ON	-	250mV	
		V _{CCO} =1.8V, Hysteresis=ON	-	150mV	

名称	描述	条件	最小值	典型值	最大值
		V _{CC0} =1.5V, Hysteresis=ON	-	130mV	
		V _{CC0} =1.2V, Hysteresis=ON		40mV	

3.3.2 静态电流

表 3-9 静态电流

名称	描述	器件类型	典型值 ^[1]
I _{CC}	Core 电源电流	LV 版本	30mA
I _{CCX}	V _{CCX} 电源电流(V _{CCX} =2.5V)	LV 版本	2mA
I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =2.5V)	LV 版本	1mA
I _{CC_LDO}	内置 Regulator 静态电流	LV 版本	4mA

注!

^[1]典型值测试条件为 25°C。

3.3.3 I/O 推荐工作条件

表 3-10 I/O 推荐工作条件

名称	输出对应的 V _{CCIO} (V)			输入对应的 V _{REF} (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.465	-	-	-
LVCMS33	3.135	3.3	3.465	-	-	-
LVCMS25	2.375	2.5	2.625	-	-	-
LVCMS18	1.71	1.8	1.89	-	-	-
LVCMS15	1.425	1.5	1.575	-	-	-
LVCMS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-

名称	输出对应的 $V_{CCIO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E ¹	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

注!

使用 True LVDS 的 Bank V_{CCIO} 建议设置为 2.5V。

3.3.4 单端 I/O DC 电气特性

表 3-11 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	$I_{OL}^{[1]}$ (mA)	$I_{OH}^{[1]}$ (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.45V	0.4V	$V_{CCIO}-0.4V$	2	-2
							4	-4
							6	-6
							8	-8
							12	-12
							16	-16
LVCMOS25	-0.3V	0.7V	1.7V	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	2	-2
							4	-4
							6	-6
							8	-8
							12	-12
							16	-16
LVCMOS18	-0.3V	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO}+0.3$	0.4V	$V_{CCIO}-0.4V$	2	-2
							4	-4
							6	-6
							8	-8
							12	-12
							16	-16

名称	V _{IL}		V _{IH}		V _{OL} (Max)	V _{OH} (Min)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	Min	Max	Min	Max				
							12	-12
							16	-16
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35 x V _{CCIO}	0.65 x V _{CCIO}	V _{CCIO} +0.3	0.4V	V _{CCIO} -0.4V	2	-2
							4	-4
							6	-6
							8	-8
							12	-12
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35 x V _{CCIO}	0.65 x V _{CCIO}	V _{CCIO} +0.3	0.4V	V _{CCIO} -0.4V	2	-2
							4	-4
							6	-6
							8	-8
LVCMOS10	-0.3	0.35 x V _{CCIO}	0.65 x V _{CCIO}	1.1V	0.4V	V _{CCIO} -0.4V	2	-2
							4	-4
PCI33	-0.3V	0.3 x V _{CCO}	0.5 x V _{CCO}	V _{CCO} +0.3	0.1x V _{CCO}	0.9 x V _{CCO}	1.5	-0.5
SSTL33_I	-0.3V	V _{REF} -0.2V	V _{REF} +0.2V	V _{CCO} +0.3	V _{CCO} /2-0.6	V _{CCO} /2+0.6	8	-8
SSTL33_II	-0.3V	V _{REF} -0.2V	V _{REF} +0.2V	V _{CCO} +0.3	V _{CCO} /2-0.8	V _{CCO} /2+0.8	13.4	-13.4
SSTL25_I	-0.3V	V _{REF} -0.15V	V _{REF} +0.15V	V _{CCO} +0.3	V _{CCO} /2-0.61	V _{CCO} /2+0.61	8	-8
SSTL25_II	-0.3V	V _{REF} -0.15V	V _{REF} +0.15V	V _{CCO} +0.3	V _{CCO} /2-0.81	V _{CCO} /2+0.81	13.4	-13.4
SSTL18_I	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	V _{CCO} +0.3	V _{CCO} /2-0.47	V _{CCO} /2+0.47	8	-8
SSTL18_II	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	V _{CCO} +0.3	V _{CCO} /2-0.6	V _{CCO} /2+0.6	13.4	-13.4
SSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	V _{CCO} /2-0.175	V _{CCO} /2+0.175	8	-8
SSTL135_I	-0.3	V _{REF} -0.09V	V _{REF} +0.09V	V _{CCO} +0.3	V _{CCO} /2-0.15	V _{CCO} /2+0.15	8	-8
SSTL12_I	-0.3	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	0.2 x V _{CCO}	0.8 x V _{CCO}	0.1	-0.1
HSTL18_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	0.40V	V _{CCO} -0.40V	8	-8
HSTL18_II	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	0.40V	V _{CCO} -0.40V	16	-16
HSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	0.40V	V _{CCO} -0.40V	8	-8
HSTL15_II	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	0.40V	V _{CCO} -0.40V	8	-8
HSTL12_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	V _{CCO} +0.3	0.2 x V _{CCO}	0.8 x V _{CCO}	8	-8
HSUL12	-0.3	V _{REF} -0.13V	V _{REF} +0.13V	V _{CCO} +0.3	0.2 x V _{CCO}	0.8 x V _{CCO}	0.1	-0.1

注!

^[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink): 同一个 Bank 所有 IO 的总电流不能大于 n*8mA, n 表示该 Bank 被引出的 IO 数量。

3.3.5 差分 I/O DC 电气特性

表 3-12 差分 I/O DC 电气特性

名称	描述	测试条件	最小	典型	最大	单位
V_{ICM}	共模输入电压	Half the Sum of the Two Inputs	0.3		2.35	V
V_{ID}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	± 100	± 350	± 600	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	20	μA
V_{OD}	差模输出电压(Output Voltage Differential)	$(V_{OP} - V_{OM})$, $R_T = 100\Omega$	250	350	600	mV
ΔV_{OD}	差模输出电压的变化范围(Change in VOD Between High and Low)		-	-	50	mV
V_{OS}	输出零漂(Output Voltage Offset)	$(V_{OP} + V_{OM})/2$, $R_T = 100\Omega$	1.125	1.25	1.375	V
ΔV_{OS}	输出零漂变化(Change in VOS Between High and Low)		-	-	50	mV
I_S	短路电流	$V_{OD} = 0V$ 两路输出短接	-	-	12	mA

3.4 AC 开关特性

3.4.1 Gearbox 开关特性

表 3-13 Gearbox 时序参数

名称	描述	最大值	单位
FMAX _{IDDR}	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
FMAX _{IDES4}	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
FMAX _{IDESx}	1:8/1:10 Gearbox 输入 IO 最大串行速率	2000	Mbps
FMAX _{IDES14}	1:14 Gearbox 输入 IO 最大串行速率	2000	Mbps
FMAX _{IDES16}	1:16 Gearbox 输入 IO 最大串行速率	2000	Mbps
FMAX _{IDES32}	1:32 Gearbox 输入 IO 最大串行速率	2000	Mbps
FMAX _{ODDR}	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
FMAX _{OSER4}	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
FMAX _{OSERx}	8:1/10:1 Gearbox 输出 IO 最大串行速率	2000	Mbps
FMAX _{OSERx}	8:1/10:1 Gearbox 输出 IO 最大串行速率	2000	Mbps
FMAX _{OSER16}	16:1 Gearbox 输出 IO 最大串行速率	2000	Mbps

3.4.2 片内时钟振荡器开关特性

表 3-14 片内时钟振荡器开关特性

名称	说明	最小值	典型值	最大值
f _{MAX}	时钟振荡器输出频率(0 to+ 85°C)	199.5 MHz	210MHz	220.5MHz
	时钟振荡器输出频率(-40 to +100°C)	189 MHz	210MHz	231MHz
t _{DT}	输出时钟 Duty Cycle	-	50%	-

3.4.3 PLL 开关特性

表 3-15 PLL 开关特性

参数	描述	速度等级		单位	备注
		-1	-2		
F _{INMAX}	Maximum Input Clock Frequency	800	800	MHz	
F _{INMIN}	Minimum Input Clock Frequency	19	19	MHz	
F _{PFDMAX}	Maximum Frequency at the Phase Frequency Detector	400	400	MHz	
F _{PFDMIN}	Minimum Frequency at the Phase Frequency Detector	19	19	MHz	
F _{INJITTER}	Maximum Input Clock Period Jitter	< 20% of clock input period or 1 ns Max			
F _{INDUTY}	Minimum Allowable Input Duty Cycle: 19–49 MHz	25	25	%	
	Minimum Allowable Input Duty Cycle: 50–199 MHz	30	30	%	
	Minimum Allowable Input Duty Cycle: 200–399 MHz	35	35	%	
F _{VCOMIN}	Minimum PLL VCO Frequency	800	800	MHz	
F _{VCOMAX}	Maximum PLL VCO Frequency	1600	1600	MHz	
F _{BW}	Low PLL Bandwidth at Typical	1	1	MHz	
	High PLL Bandwidth at Typical	4	4	MHz	
T _{STATPHAOFFSET}	Static Phase Offset of the PLL Outputs	+/- 50	+/-50	ps	
T _{JITTER_CCJ_HCLK}	PLL Output cycle-cycle Jitter Thru HCLK ≥ 100MHz	<300	<300	ps	3
	PLL Output cycle-cycle Jitter Thru HCLK <100MHz	<30	<30	mUI	
	PLL Output cycle-cycle Jitter Thru PCLK ≥ 100MHz	<400	<400	ps	
	PLL Output cycle-cycle Jitter Thru PCLK <100MHz	<40	<40	mUI	
T _{JITTER_PJ_PCLK}	PLL Output period Jitter Thru HCLK ≥ 100MHz	<300	<300	ps	
	PLL Output period Jitter Thru HCLK <100MHz	<30	<30	mUI	
	PLL Output period Jitter Thru PCLK ≥ 100MHz	<400	<400	ps	
	PLL Output period Jitter Thru PCLK <100MHz	<40	<40	mUI	
T _{OUTDUTY}	PLL Output Clock Duty Cycle Precision	<50	<50	mUI	1,4

参数	描述	速度等级		单位	备注
		-1	-2		
T _{LOCKMAX}	PLL Maximum Lock Time	1	1	ms	
F _{OUTMAX}	PLL Maximum Output Frequency	800	800	MHz	
F _{OUTMIN}	PLL Minimum Output Frequency	6.25	6.25	MHz	2
T _{EXTFDVAR}	External Clock Feedback Variation	< 20% of clock input period or 1 ns Max			
RST _{MINPULSE}	Minimum Reset Pulse Width	10	10	ns	

注！

- 该测试数据是基于整数分频的结果。
- 当用到 Cascade 模式时，多个 Divider 可以串联得到更低的输出频率。
- 输出抖动会和输入的源相关，该测试数据基于低抖动的晶振作为输入源。
- 用户看到的 IO 上的 duty cycle 还会受 Clock Tree 的影响。

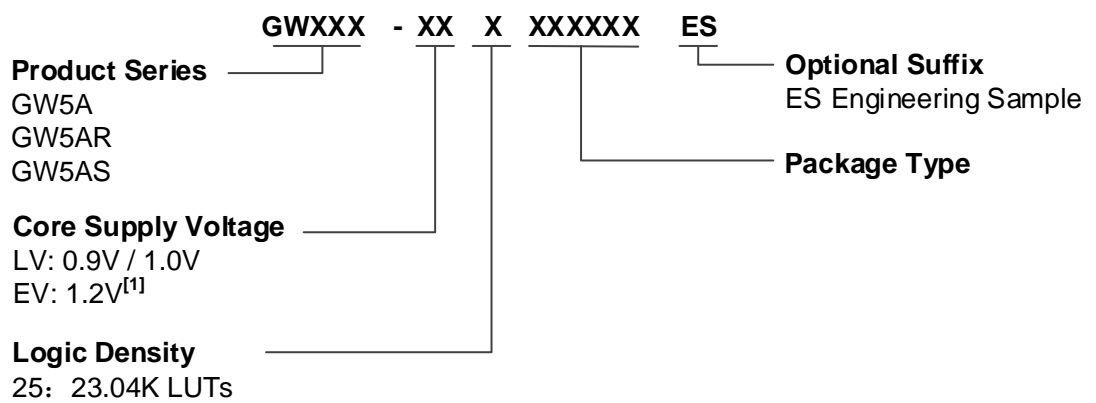
3.5 编程接口时序标准

Arora V 25K FPGA 产品支持多种 GowinCONFIG 配置模式：SSPI、MSPI、Master CPU、Slave CPU、Master SERIAL、Slave SERIAL，详细资料请参考 [UG714, Arora V 25K FPGA 产品编程配置手册](#)。

4 器件订货信息

4.1 器件命名

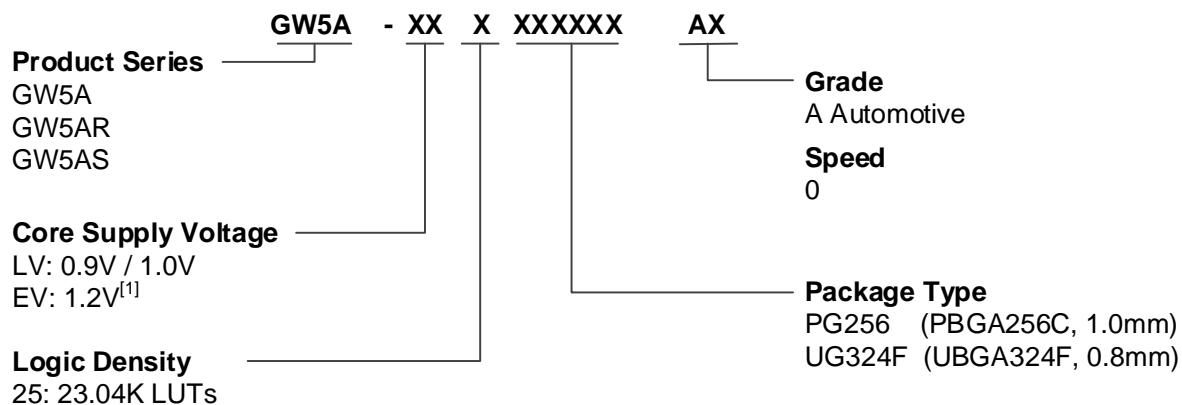
图 4-1 器件命名方法示例-ES



注！

^[1]目前 GW5A 系列器件中 GW5A-25 支持 EV 版本。

图 4-2 器件命名方法示例-Production

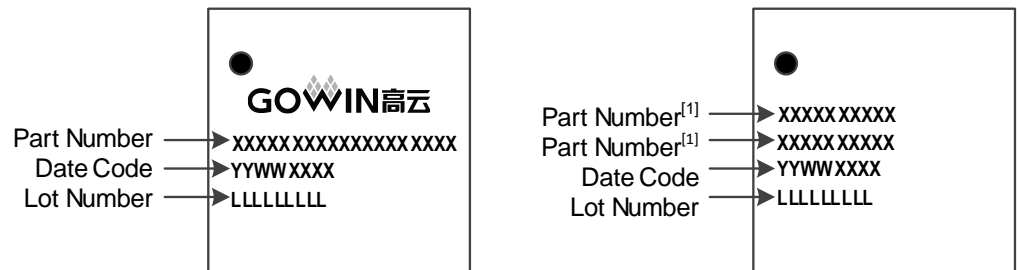
**注!**

- 关于详细的封装类型及管脚数量请参考 1.2 产品信息列表。
- 相同速度等级的小蜜蜂(LittleBee)家族器件和晨熙家族器件速度不同。
- 高云器件速度等级采用双标标识，如 C2/I1, C1/I0 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足工业应用(I)和商业应用(C)。工业级最高温度 100°C，商业级最高温度 85°C，所以同一芯片如在商业级应用中满足速度等级 2，在工业级应用中速度等级则为 1。

4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 4-3 所示。

图 4-3 器件封装标识示例



注！

[1]上图右图中第一行与第二行均为“Part Number”。

5 关于本手册

5.1 手册内容

Arora V 25K FPGA 产品数据手册主要包括高云半导体 Arora V 25K FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性以及器件订货信息，帮助用户快速了解高云半导体 Arora V 25K FPGA 产品特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [UG714, Arora V 25K FPGA 产品编程配置手册](#)
- [UG985, GW5A-25 器件 Pinout 手册](#)
- [UG1110, GW5AR-25 器件 Pinout 手册](#)
- [UG1115, GW5AS-25 器件 Pinout 手册](#)

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog to Digital Converter	模数转换器
AER	Advanced Error Reporting	高级错误报告
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置功能块
CM SER	Configuration Memory Soft Error Recovery	配置内存软错误恢复
CRU	Configurable Routing Unit	可编程布线单元

术语、缩略语	全称	含义
CSI	Camera Serial Interface	串行摄像头接口
CTC	Clock Tolerance Compensation	时钟容差补偿
CTLE	Continuous Time Linear Equalizer	连续时间线性均衡器
DCS	Dynamic Clock Selector	动态时钟选择器
DFF	D Flip-flop	D 触发器
DNA	Device Identifier	设备标识符
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DSI	Display Serial Interface	串行显示接口
DSP	Digital Signal Processing	数字信号处理
ECC	Error Correction Code	纠错码
ECRC	End-to-End Cyclic Redundancy Check	端到端循环冗余校验
ESD	Electro-Static Discharge	静电放电
FIFO	First In First Out	先进先出
FPG	FCPBGA	FCPBGA 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GCLK	Global Clock	全局时钟
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
GSR	Global Set/Reset	全局置位/复位
HCLK	High Speed Clock	高速时钟
IOB	Input/Output Block	输入输出模块
LUT	Look-up Table	查找表
LW	Long Wire	长线
mDRP	Mini Dynamic Re-Program Port	微型动态再编程端口
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
OTP	One Time Programmable	一次性可编程
PLL	Phase-locked Loop	锁相环
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

