



GW1NR 系列 FPGA 产品 数据手册

DS117-3.2, 2025-04-25

版权所有© 2025 广东高云半导体科技股份有限公司

 **GOWIN**高云, Gowin, 小蜜蜂, LittleBee, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/03/28	1.0	初始版本。
2017/11/02	1.1	● 更新 MCLK 默认频率。 ● 增加 SDRAM 接口 3.3V 电平限制描述。 ● 增加 GW1NR-9 QN88 封装信息。 ● 更新 SDRAM 容量的行数和列数。 ● 更新 GW1NR-9 特性。 ● 删除 GW1NR-6 器件。 ● GW1NR-9 LQ144 封装 SIP DDR SDRAM。 ● 更新 DSP 模块描述。
2017/12/08	1.2	● 增加对最大用户 IO 数量的说明。 ● 删除 IDDR/ODDR 的 RESET 信号。 ● 更新 LQ144 封装的 BANK0/2 电压范围。
2018/01/05	1.3	● 更新供电电压描述。 ● 更新 IO 电平标准描述。 ● 更新用户闪存参数表。
2018/04/08	1.4	更新最大用户 IO 信息。
2018/05/03	1.5	● 更新 DCS 上升沿和下降沿时序图。 ● Vccx 提供 SDRAM 电压, 内部 SIP SDR SDRAM 和 DDR SDRAM 时分别提供 3.3V 和 2.5V。 ● BANK2 MIPI 输出时 VCCIO₂ 需提供 1.2V 电压。
2018/06/01	1.6	● MODE 管脚不再作为专用管脚, 可以复用为 GPIO。 ● 更新高速时钟示意图。
2018/06/22	1.7	● 更新 PLL 结构框图, 输入时钟为 CLKIN。 ● 增加 MG81 封装信息, 增加 PSRAM 描述和电气特性。
2018/07/31	1.8	增加空白芯片默认系统管脚状态描述。
2018/09/25	1.9	更新 PSRAM 描述; 增加 PSRAM 数据位宽。
2018/11/14	2.0	● 更新 GW1NR-4/9 不同封装的推荐工作电压范围, 增加 GW1NR-9 QN88 内嵌 PSRAM 信息。 ● 添加 PSRAM 封装信息列表。 ● 添加 B 版本器件; IODELAY 每步延迟由 25ps 更新为

日期	版本	说明
		30ps; 去掉 GW1NR-9 内嵌 DDR; 更新内嵌 SDRAM 和 PSRAM 器件命名和电气特性。
2019/01/09	2.1	● 更新片内晶振频率。 ● 增加 GW1NR-4 QN88 内嵌 PSRAM 器件。 ● 更新内嵌存储模块 SDRAM 和 PSRAM 的参考文档。
2019/07/02	2.2	● 更新 UV 版本器件供电电压。 ● 电气特性参数 LV 版本器件同样适用于 UV 版本器件。 ● 电气特性中的环境温度更新为结温。 ● 增加 GW1NR-9 MG100 封装信息。
2019/08/23	2.3	更新 PSRAM 容量及数据位宽。
2019/11/18	2.4	● 更新最大 I/O 数。 ● 更新 LQ144 封装尺寸。 ● 增加 GW1NR-9 的静态电流参数。
2020/03/03	2.5	更新用户闪存资源信息描述。
2020/04/14	2.6	● 新增 GW1NR-9C 器件信息。 ● 更新 CFU 结构示意图。
2020/05/18	2.6.1	增加 GW1NR-9C MG100PF 封装信息。
2020/06/11	2.6.2	● GW1NR-9C 改为 GW1NR-9。 ● 修改器件命名图。 ● 1.3 封装信息列表中增加 MG100PF 的注释。
2020/07/08	2.7	● 新增 GW1NR-1 器件信息。 ● 增加 GW1NR-9 器件 MIPI 传输速率说明。 ● 补充器件封装标识示例说明。
2020/07/08	2.8	增加 GW1NR-9 MG100PD 封装信息。
2020/09/28	2.8.1	● 新增 GW1NR-9 MG100PA, MG100PT, MG100PS 封装信息。 ● 删除 GW1NR-9 MG100PD 封装信息。
2021/02/03	2.9	新增 GW1NR-2 器件。
2021/06/02	2.9.1	增加 GW1NR-2 MG49P 封装支持的配置模式说明。
2021/08/20	2.9.2	完善高速时钟示意图及用户闪存资源描述。

日期	版本	说明
2021/10/26	2.9.3	增加 GW1NR-1 EQ144G、EQ100G、QN32G 及 QN48G 封装信息。
2022/01/20	2.9.4	● GW1NR-2 器件新增 C5/I4 速率器件。 ● 完善静态电流及编程下载电流参数。 ● 完善 I/O 逻辑输入输出示意图及相关描述。 ● 新增 GW1NR-1 QN48X、LQ100G、QN32X 封装信息。 ● 删除 GW1NR-1 QN48G、QN32G 封装信息。
2022/03/18	2.9.5	更新 GW1NR-1 的静态电流。
2022/11/11	2.9.6	● 更新表 3-11 I/O 推荐工作条件。 ● 更新差分输入门限 V_{THD} 的最大值。 ● 增加关于 DC 电流限制的注释。 ● 更新 GW1NR 系列器件的结构示意图。 ● 更新表 3-2 推荐工作范围。 ● 更新表 3-3 电源上升斜率。 ● 更新表 3-8 推荐工作范围内的 DC 电气特性。 ● 新增配置闪存资源的描述。 ● 增加关于字节使能功能的注释。
2023/01/12	2.9.7	● 修改表 2-5 存储器配置列表的注释。 ● 更新表 3-1 绝对最大范围。 ● 更新表 3-8 推荐工作范围内的 DC 电气特性。
2023/02/23	2.9.8	● 删除 Slew Rate 的相关描述。 ● 更新表 3-23 用户闪存时序参数。 ● 新增说明到 2.6 用户闪存资源(GW1NR-2/4/9)。 ● 修改真 LVDS 的相关描述。
2023/09/25	3.0	● 调整文档结构。 ● 修改 GPIO 默认状态的相关注释。 ● 修改表 2-5 存储器配置列表的注释。 ● 更新表 3-2 推荐工作范围。 ● 更新表 3-9 静态电流。 ● 更新 PSRAM IP 的参考文档。 ● 修改 GPIO 默认状态的相关注释。

日期	版本	说明
		● 更新 2.5.2BSRAM 配置模式。 ● 将 I/O 逻辑输出示意图和 I/O 逻辑输入示意图合并为图 2-9 I/O 逻辑输入输出示意图。 ● 更新 MIPI 输入/输出的相关描述。 ● 更新 Flash 资源的相关描述。 ● 新增表 2-9 GW1NR 系列 FPGA 产品的 MIPI IO 类型支持列表。 ● 更新表 1-3 封装和最大用户 I/O 信息(True LVDS 对数)及其注释。 ● 修改表 3-8 推荐工作范围内的 DC 电气特性的注释。 ● 更新表 3-23 用户闪存时序参数^{[1], [4], [5]}。 ● 更新图 4-3 器件封装标识示例。 ● 删除 2.5.7 上电情况。 ● 添加注释到表 2-1 GW1NR 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置和表 3-12 单端 I/O DC 电气特性。
2024/10/25	3.1	● 删除 GW1NR-1 器件 FN32G、QN32X、QN48X、LQ100G、EQ144G 封装。 ● 更新“表 1-1 产品信息列表”。 ● 添加注释到“表 3-2 推荐工作范围”。 ● 优化“表 3-17 Gearbox 时序参数”。 ● 更新闪存资源的相关描述。 ● 新增注释到“表 2-5 存储器配置列表”：添加不支持只读模式的器件信息。 ● 更新“表 3-1 绝对最大范围”和“表 3-2 推荐工作范围”，添加硬核 MIPI D-PHY 电压信息。 ● 新增“图 2-7 GW1NR-2 I/O Bank 分布示意图”中 Bank6 的说明。 ● 更新 IODELAY 模块的描述。 ● 更新“表 3-12 单端 I/O DC 电气特性”：修改 LVCMOS12 电平标准的 I_{OL} 和 I_{OH}。 ● 修改双端口和伪双端口 BSRAM 功能描述的注释。
2025/04/25	3.2	● 完善 MIPI IO 的描述。 ● 更新“表 2-1 GW1NR 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置”：修正部分 I/O 类型的驱动能力值。 ● 更新“表 2-2 GW1NR 系列 FPGA 产品支持的输入 I/O

日期	版本	说明
		类型及部分可选配置”：修改部分 I/O 类型的 V_{CCIO} 值。 ● 优化“表 3-17 Gearbox 时序参数”和“表 3-19 外部开关特性”。 ● 补充开关特性数据。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 产品概述	1
1.1 特性概述.....	1
1.2 产品信息列表	3
1.3 封装信息列表	4
2 结构介绍	6
2.1 结构框图.....	6
2.2 Memory	9
2.3 可配置功能单元.....	12
2.4 输入输出模块	13
2.5 块状静态随机存储器.....	23
2.6 用户闪存资源(GW1NR-2/4/9)	30
2.7 数字信号处理模块	31
2.8 MIPI D-PHY	33
2.9 时钟	34
2.10 长线.....	36
2.11 全局复置位	36
2.12 编程配置.....	36
2.13 片内晶振.....	38
3 电气特性	40
3.1 工作条件.....	40
3.2 ESD 性能	42
3.3 DC 电气特性	44
3.4 开关特性.....	50
3.5 用户闪存电气特性	58
3.6 编程接口时序标准	61

4 器件订货信息	62
4.1 器件命名	62
4.2 器件封装标识示例	63
5 关于本手册	65
5.1 手册内容	65
5.2 相关文档	65
5.3 术语、缩略语	65
5.4 技术支持与反馈	67

图目录

图 2-1 GW1NR-4 器件结构示意图.....	6
图 2-2 GW1NR-9 器件结构示意图.....	7
图 2-3 GW1NR-2 器件结构示意图.....	7
图 2-4 CFU 结构示意图	12
图 2-5 IOB 结构示意图	13
图 2-6 GW1NR-4/9 I/O Bank 分布示意图.....	14
图 2-7 GW1NR-2 I/O Bank 分布示意图.....	14
图 2-8 真 LVDS 设计参考框图	20
图 2-9 I/O 逻辑输入输出示意图	21
图 2-10 IODELAY 示意图	22
图 2-11 I/O 寄存器示意图	22
图 2-12 IEM 示意图	23
图 2-13 单端口、伪双端口及双端口模式下的流水线模式	27
图 2-14 独立时钟模式.....	29
图 2-15 读写时钟模式.....	30
图 2-16 单端口时钟模式	30
图 2-17 GW1NR-2 HCLK 示意图	35
图 2-18 GW1NR-4 HCLK 示意图	35
图 2-19 GW1NR-9 HCLK 示意图	36
图 3-1 读操作时序	60
图 3-2 编程操作时序.....	61
图 3-3 擦除操作时序.....	61
图 4-1 GW1NR 器件命名方法示例-ES	62
图 4-2 GW1NR 器件命名方法示例-Production.....	63
图 4-3 器件封装标识示例.....	64

表目录

表 1-1 产品信息列表	3
表 1-2 存储资源列表	4
表 1-3 封装和最大用户 I/O 信息(True LVDS 对数)	5
表 2-1 GW1NR 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置	15
表 2-2 GW1NR 系列 FPGA 产品支持的输入 I/O 类型及部分可选配置	17
表 2-3 端口介绍	21
表 2-4 IODELAY 总延迟参考	22
表 2-5 存储器配置列表	24
表 2-6 双端口混合读写数据宽度配置列表 ^{[1],[2]}	26
表 2-7 伪双端口混合读写数据宽度配置列表	26
表 2-8 时钟模式配置列表	29
表 2-9 GW1NR 系列 FPGA 产品的 MIPI IO 类型支持列表	33
表 2-10 GW1NR-4 片内晶振的输出频率选项	38
表 2-11 GW1NR-2/9 片内晶振的输出频率选项	39
表 3-1 绝对最大范围	40
表 3-2 推荐工作范围	41
表 3-3 电源上升斜率	41
表 3-4 热插拔特性	42
表 3-5 POR 电压参数	42
表 3-6 GW1NR ESD - HBM	42
表 3-7 GW1NR ESD – CDM	43
表 3-8 推荐工作范围内的 DC 电气特性	44
表 3-9 静态电流	46
表 3-10 编程下载电流	46
表 3-11 I/O 推荐工作条件	47
表 3-12 单端 I/O DC 电气特性	48
表 3-13 差分 I/O DC 电气特性(LVDS)	50
表 3-14 CFU 内部时序参数 ^{[1], [2]}	50
表 3-15 BSRAM 时序参数	51

表 3-16 DSP 时序参数.....	53
表 3-17 Gearbox 时序参数	53
表 3-18 单端 IO Fmax.....	54
表 3-19 外部开关特性.....	54
表 3-20 片内晶振特性参数.....	56
表 3-21 锁相环时序参数	56
表 3-22 用户闪存 DC 电气特性 ^{[1],[4]}	58
表 3-23 用户闪存时序参数 ^{[1], [4], [5]}	58
表 5-1 术语、缩略语	65

1 产品概述

高云半导体 GW1NR FPGA 属于小蜜蜂(LittleBee)家族 1 系列，是一款系统级封装芯片，在 GW1N 基础上集成了丰富容量的存储芯片，同时具有低功耗、瞬时启动、低成本、非易失性、高安全性、封装类型丰富、使用方便灵活等特点。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NR 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 低功耗
 - 55nm 嵌入式闪存工艺
 - LV 版本：支持 1.2V 核电压
 - UV 版本：内置线性稳压单元，支持器件 V_{CC}/ V_{CCX}/ V_{CCIO} 统一供电
 - 支持时钟动态打开/关闭
- 用户闪存资源（GW1NR-2/4/9）
 - NOR Flash
 - 10,000 次写寿命周期
 - 超过 10 年的数据保存能力(+85℃)
 - 数据位宽：32
 - GW1NR-2 存储容量：96K bits
 - GW1NR-4 存储容量：256K bits
 - GW1NR-9 存储容量：608K bits
 - 页擦除能力：2,048 bytes
- 字编程时间：≤16μs
- 页擦除时间：≤120ms
- 配置闪存资源（GW1NR-2/4/9）
 - NOR Flash
 - 10,000 次写寿命周期
 - 超过 10 年的数据保存能力(+85℃)
- 集成 SDRAM/ PSRAM/ NOR FLASH 存储芯片
- 硬核 MIPI D-PHY RX(GW1NR-2)
 - 支持 MIPI DSI 和 MIPI CSI-2 RX 器件接口
 - IO Bank6 支持 MIPI D-PHY RX
 - MIPI 传输速率单通道可达 2Gbps
 - 支持最多四个数据通道和一个时钟通道
- GPIO 支持 MIPI D-PHY RX/TX

- 支持 MIPI CSI-2 和 MIPI DSI, RX 和 TX 器件接口, 传输速率单通道可达 1.2Gbps
- 可选 3 种 IO 类型: TLVDS、ELVDS、MIPI IO
- 支持多种 I/O 电平标准
 - LVCMOS33/25/18/15/12; LVTTL33, SSTL33/25/18 I, SSTL33/25/18 II, SSTL15; HSTL18 I, HSTL18 II, HSTL15 I; PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
 - 提供输入信号迟滞选项
 - 提供输出信号驱动电流选项
 - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
 - 支持热插拔
- 高性能 DSP 模块(GW1NR-4/9)
 - 高性能数字信号处理能力
 - 支持 9 x 9, 18 x 18, 36 x 36bit 的乘法运算和 54bit 累加器
 - 支持多个乘法器级联
 - 支持寄存器流水线和旁路功能
 - 预加运算实现滤波器功能
 - 支持桶形移位寄存器
- 丰富的基本逻辑单元
 - 4 输入 LUT(LUT4)
 - 支持移位寄存器和分布式存储器
- 支持多种模式的静态随机存储器
 - 支持双端口、单端口以及伪双端口模式
 - 支持字节写使能
- 灵活的 PLL 资源
 - 实现时钟的倍频、分频和相移
 - 全局时钟网络资源
- 内置 Flash 编程
 - 瞬时启动
 - 支持安全位操作
 - 支持 AUTO BOOT 和 DUAL BOOT 编程模式
- 编程配置模式
 - 支持 JTAG 配置模式
 - 支持 JTAG 背景升级
 - 支持多达 7 种 GowinCONFIG 配置模式: AUTOBOOT、SSPI、MSPI、CPU、SERIAL、DUAL BOOT、I²C Slave

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW1NR-2	GW1NR-4	GW1NR-9
逻辑单元(LUT4)	2,304	4,608	8,640
寄存器(FF)	2,304 (FF+Latch, 其中 FF: 2,016)	3,456	6,480
分布式静态随机存储器 SSRAM(bits)	18K	0	16K
块状静态随机存储器 BSRAM(bits)	72K	180K	468K
块状静态随机存储器数目 BSRAM(个)	4	10	26
用户闪存(bits)	96K	256K	608K
SDR SDRAM (bits)	–	64M	64M
PSRAM (bits)	64M(MG49P) 32M(MG49PG)	32M(QN88P) 64M(MG81P)	64M(QN88P/LQ144P/M G100PT/MG100PS) 128M(MG100P/MG100 PF/ MG100PA)
NOR Flash (bits)	4M(MG49G/ MG49PG)	–	–
乘法器(18 x 18 Multiplier)	0	16	20
锁相环(PLLs)	1	2	2
I/O Bank 总数	7	4	4
最大 GPIO 数 ^[1]	126	218	276
核电压 (LV 版本)	1.2V	1.2V	1.2V
核电压 (UV 版本)	1.8V/2.5V/3.3V	2.5V/3.3V	

注！

- ^[1]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 1-3。

1.3 封装信息列表

表 1-2 存储资源列表

封装	器件	Memory 类型	容量	位宽
QN88	GW1NR-4	SDR SDRAM	64M	16 bits
	GW1NR-9	SDR SDRAM	64M	16 bits
QN88P	GW1NR-4	PSRAM	32M	8 bits
	GW1NR-9	PSRAM	64M	16 bits
MG81P	GW1NR-4	PSRAM	64M	16 bits
MG100P	GW1NR-9	PSRAM	128M	32 bits
MG100PF	GW1NR-9	PSRAM	128M	32 bits
MG100PA	GW1NR-9	PSRAM	128M	32 bits
MG100PT	GW1NR-9	PSRAM	64M	16 bits
MG100PS	GW1NR-9	PSRAM	64M	16 bits
LQ144P	GW1NR-9	PSRAM	64M	16 bits
MG49P	GW1NR-2	PSRAM	64M	16 bits
MG49G	GW1NR-2	NOR FLASH	4M	1 bit
MG49PG	GW1NR-2	PSRAM	32M	8 bits
		NOR FLASH	4M	1 bit

表 1-3 封装和最大用户 I/O 信息(True LVDS 对数)

封装	间距(mm)	尺寸(mm)	GW1NR-2 ^[2]	GW1NR-4	GW1NR-9
LQ144P	0.5	20 x 20		–	121(20)
MG100P	0.5	5 x 5		–	87(16)
MG100PA	0.5	5 x 5		–	87(17)
MG100PF ^[1]	0.5	5 x 5		–	87(16)
MG100PS	0.5	5 x 5		–	87(17)
MG100PT	0.5	5 x 5		–	87(17)
MG49G	0.5	3.8 x 3.8	30(8)	–	–
MG49P	0.5	3.8 x 3.8	30(8)	–	–
MG49PG	0.5	3.8 x 3.8	30(8)	–	–
MG81P	0.5	4.5 x 4.5		68(10)	–
QN88	0.4	10 x 10		71(11)	71(19)
QN88P	0.4	10 x 10		71(11)	71(17)

注！

- ^[1] MG100PF 在封装 MG100P 的基础上调整了球 C1/C2/D2/F1/F9/A7/A6 的 pinout
- ^[2] GW1NR-2 MG49P / MG49PG / MG49G 封装仅支持 I²C 及 Autboot 配置模式，当配置模式支持 I²C 时，SDA 及 SCL 管脚需要外上拉。
- 本手册中 GW1NR 系列 FPGA 产品封装命名采用缩写的方式，详情请参见 4.1 器件命名。
- 详细信息请参见 [UG805, GW1NR-2 器件 Pinout 手册](#)，[UG116, GW1NR-4 器件 Pinout 手册](#)及 [UG803, GW1NR-9 器件 Pinout 手册](#)。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 GPIO，但当 mode[2:0]=001 时，JTAGSEL_N 始终为 GPIO，此时可将 JTAGSEL_N 和 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）同时用作 GPIO。详细信息请参考 [UG119, GW1NR 系列 FPGA 产品封装与管脚手册](#)。

2 结构介绍

2.1 结构框图

图 2-1 GW1NR-4 器件结构示意图

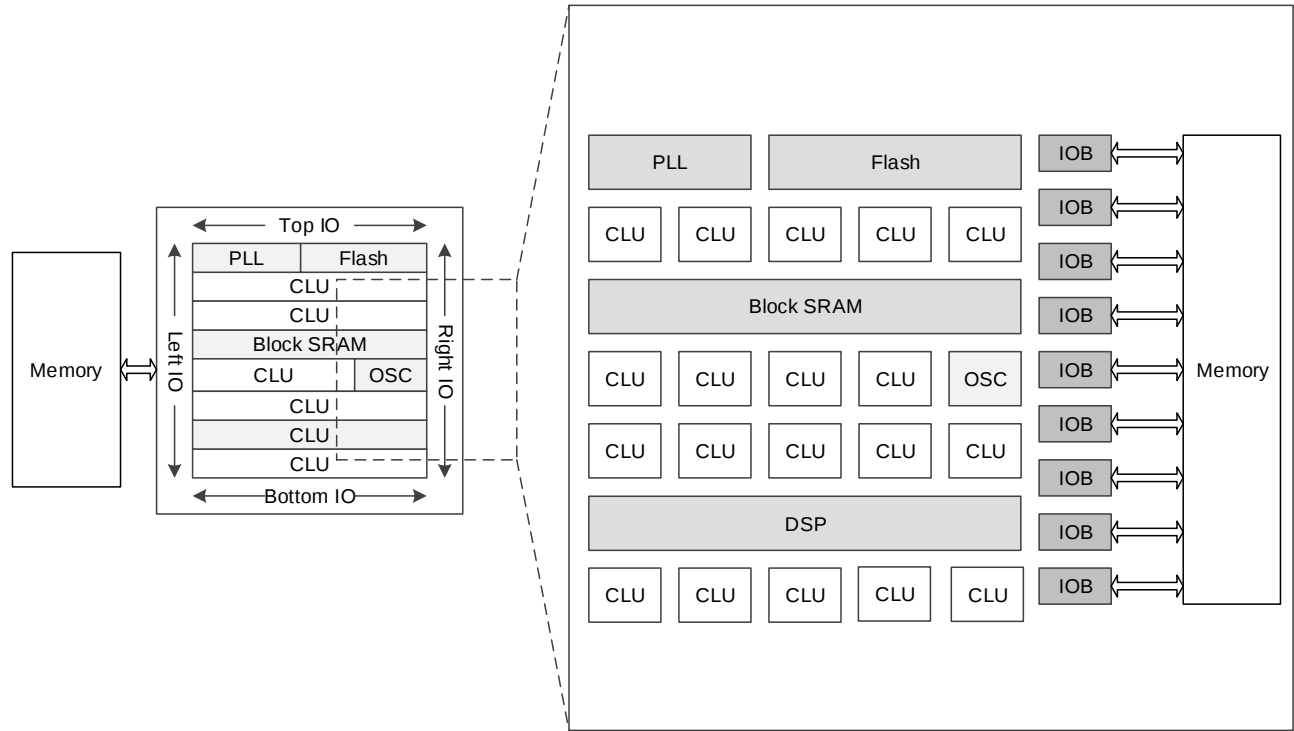


图 2-2 GW1NR-9 器件结构示意图

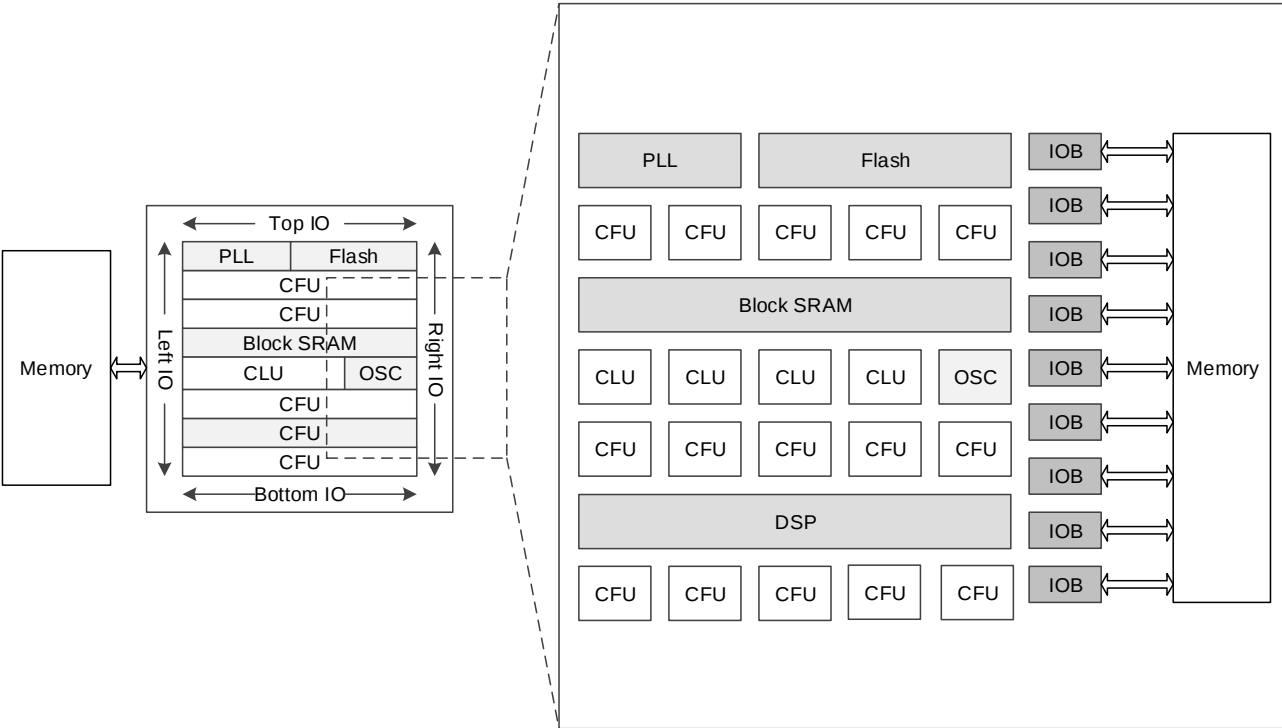


图 2-3 GW1NR-2 器件结构示意图

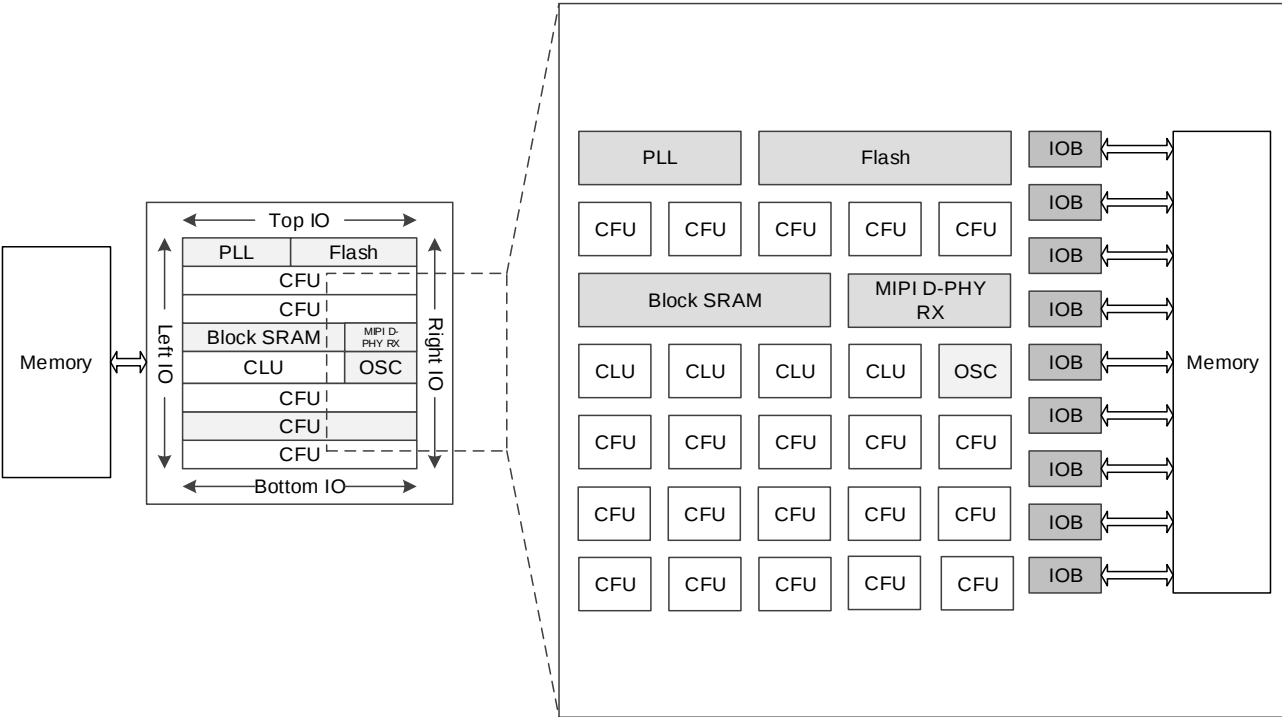


图 2-1~图 2-3 为 GW1NR 器件结构示意图。GW1NR 为系统级封装芯片（SIP），集成了高云半导体 GW1N 系列 FPGA 产品及 Memory 芯片。关于 Memory 芯片特性和概述，请参见 [2.2 Memory](#)。图 2-3 为 GW1NR-2 器件结构示意图，在 GW1NR 系列其他器件的基础上内嵌了 MIPI D-PHY RX 硬核模块。内部资源数量详细信息请参见表 1-1。

GW1NR 系列 FPGA 产品器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了静态随机存储器（BSRAM）模块、数字信号处理模块 DSP、PLL 资源、片内晶振和用户闪存资源 User Flash，支持瞬时启动功能。内部资源数量详细信息请参见表 1-1。

GW1NR 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU, Function Logic Unit)和可配置逻辑单元(CLU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。详细信息请参见 [2.3 可配置功能单元](#)。

GW1NR 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分。这些 I/O 资源部分与存储芯片连接进行数据存储，部分 I/O 资源封装出来。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细信息请参见 [2.4 输入输出模块](#)。

GW1NR 系列 FPGA 产品的块状静态随机存储器（BSRAM）在器件内部按照行排列。一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式 and 操作模式。详细信息请参见 [2.5 块状静态随机存储器](#)。

GW1NR 系列 FPGA 产品 GW1NR-2、GW1NR-4、GW1NR-9 分别内嵌了 1Mbits、2Mbits、4Mbits 的闪存资源，这些闪存资源包括配置闪存资源和用户闪存资源。配置闪存资源用于内置 Flash 编程，详细资料请参考 [2.12 编程配置](#)。用户闪存资源用于用户存储，详细信息请参见 [2.6 用户闪存资源\(GW1NR-2/4/9\)](#)。

GW1NR 系列 FPGA 产品中内嵌了数字信号处理模块 DSP。DSP 在器件内部按照行排列，每个 DSP 包含两个宏单元，每个宏单元包含两个预加器(pre-adders)，两个 18 位的乘法器(multipliers)和一个三输入的算术/逻辑运算单元(ALU54)。详细信息请参见 [2.7 数字信号处理模块](#)。

注！

GW1NR-2 暂不支持数字信号处理模块 DSP 资源。

GW1NR 系列 FPGA 产品中内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，支持 2.5MHz 到 125MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内晶振提供可编程的用户时钟，时钟精度可达±5%。详细信息请参见 [2.9 时钟](#)、[2.13 片内晶振](#)。

GW1NR-2 器件包含硬核 MIPI D-PHY RX IP，详细信息请参考 [2.8.1 硬核 MIPI D-PHY RX\(GW1NR-2\)](#)。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元（CFU）和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW1NR 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细信息行参考 [2.9 时钟](#)、[2.10 长线](#)、[2.11 全局复置位](#)。

2.2 Memory

GW1NR 系列 FPGA 产品不同的封装，集成的 Memory 的容量和类型不一样，详细信息请参考 [1.3](#) 封装信息列表。

2.2.1 SDR SDRAM

特性

- 存取时间：4.5ns/5.4ns
- 时钟频率：200/166/143MHz
- 数据位宽：16bits
- 同步操作
- 内部流水线结构
- 内部划分为四个块（1M x 16 bits x 4BANK）
- 模式编程寄存器
 - 列地址选通脉冲时间延迟：2 或者 3
 - 突发长度：1、2、4、8 字节或者整页
 - 突发类型：顺序模式或者间隔模式
 - 突发读单字节写功能
 - 突发停止功能
- 字节屏蔽功能
- 自动刷新和自刷新
- 4,096 刷新周期/64ms
- 3.3V±0.3V 供电^[1]
- LVTTTL 接口

注！

[1]器件供电请参考表 3-1。

概述

GW1NR 系列 FPGA 产品集成的 SDRAM 是一个高速的 CMOS 同步 DRAM 芯片，容量为 64Mb。SDRAM 内部包括四个 BANK，每个 BANK 大小为 1Mx16 bits，每个 BANK 由 4096 行 x 256 列 x 16bit 的存储阵列组成。支持读操作和写操作突发模式，用户设置突发模式的起始位置和突发长度即可，SDRAM 根据设置的数据长度顺序编程写入或读出。操作时需要先给出激活命令，然后可以进行读或写操作。读操作或写操作突发长度支持 1、2、4、8 字节或页模式，可以在编程模式寄存器中设置选择。使能自动预充电功能提供定时行预充电，预充电在突发模式结束后启动。SDRAM 提供自动刷新功能及自刷新功能，此外，还提供了编程模式寄存器，用户可以

选择最合适的模式使系统性能达到最优。

SDRAM 接口的供电电压为 3.3V，连接 SDRAM 的 BANK 电压需要固定到 3.3V，详细信息请参考表 3-2。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 SDR SDRAM 控制器的 IP，使用控制器的 IP 可以自动完成 SDRAM 上电初始化，激活，自动刷新等操作，用户按照控制器的读/写时序操作即可，详细信息请参考 [IPUG279, Gowin SDRAM 控制器用户指南](#)。

2.2.2 PSRAM

以下特性描述适用于 MG81P、QN88P、LQ144P、MG100P、MG100PF、MG100PT、MG100PS 封装。

特性

- 时钟频率 166MHz
- 单颗 32Mb 存储空间
- 双沿数据传输
- 数据位宽：8 bits
- 读写数据锁存 RWDS
- 温度补偿刷新
- 部分阵列自动刷新 PASR
- 混合休眠模式
- 深度省电 DPD
- 驱动能力：35,50,100 和 200 欧姆
- 突发访问
- 16/32/64/128 字节突发模式
- 状态/控制寄存器
- 1.8V 供电电压^[1]

以下特性描述适用于 MG100PA、MG49P、MG49PG 封装。

特性

- 时钟频率 233MHz，读/写吞吐量为 466MB/s
- 单颗 32Mb 存储空间
- 部分阵列自动刷新 PASR
- 写数据支持数据屏蔽
- 写突发长度：最大支持 1024bytes，最小支持 2 bytes

注！

[1] 器件供电请参考 [UG805, GW1NR-2 器件 Pinout 手册](#), [UG116, GW1NR-4 器件 Pinout 手册](#)及 [UG803, GW1NR-9 器件 Pinout 手册](#)。

PSRAM 接口的供电电压为 1.8V，连接 PSRAM 的 BANK 电压需要固定到 1.8V，详细信息请参考[表 3-2 推荐工作范围](#)。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 PSRAM 控制器的 IP，使用控制器的 IP 可以自动完成 PSRAM 上电初始化，读校准等操作，用户按照控制器的读/写时序操作即可，详细信息请参考 [IPUG767, Gowin UHS PSRAM Memory Interface & 2CH IP 用户指南](#)和 [IPUG943, Gowin PSRAM Memory Interface HS & HS 2CH IP 用户指南](#)。

2.2.3 NOR Flash

特性

- 4Mb 存储空间，每页 256 字节
- 支持 SPI
- 时钟频率：
 - 双输出数据传输可达 160Mbits/s ~ 100MHz (3.0V~3.6V)
 - 双输出数据传输可达 120Mbits/s ~ 70MHz (2.1V~3.0V)
 - 双输出数据传输可达 80Mbits/s ~ 50MHz (1.65V~2.1V)
- 软/硬件写保护：
 - 软件设置全部/部分内存写保护
 - 顶层/底层块写保护
- 最少 100,000 次编程/擦除
- 快速的编程/擦除操作：
 - 页编程时间：1.6ms
 - Sector 擦除时间：150ms
 - 块擦除时间：0.5s/0.8s
 - 芯片擦除时间：6s/3s
- 灵活的架构：
 - Sector: 4K 字节
 - 块: 32/64K 字节
- 低功耗：
 - 待机电流：0.1uA
 - 关断电流：0.1uA
- 安全特性：
 - 每个器件有唯一的 128 位的 ID

- 数据存储时间：20 年

Gowin 设计一款通用 SPI NOR Flash Interface IP，该 IP 为用户提供一个通用的命令接口，使其与 SPI NOR Flash 芯片进行互连，完成用户的访存需求。详细信息请参考 [IPUG945, Gowin SPI Nor Flash Interface IP 用户指南](#)。

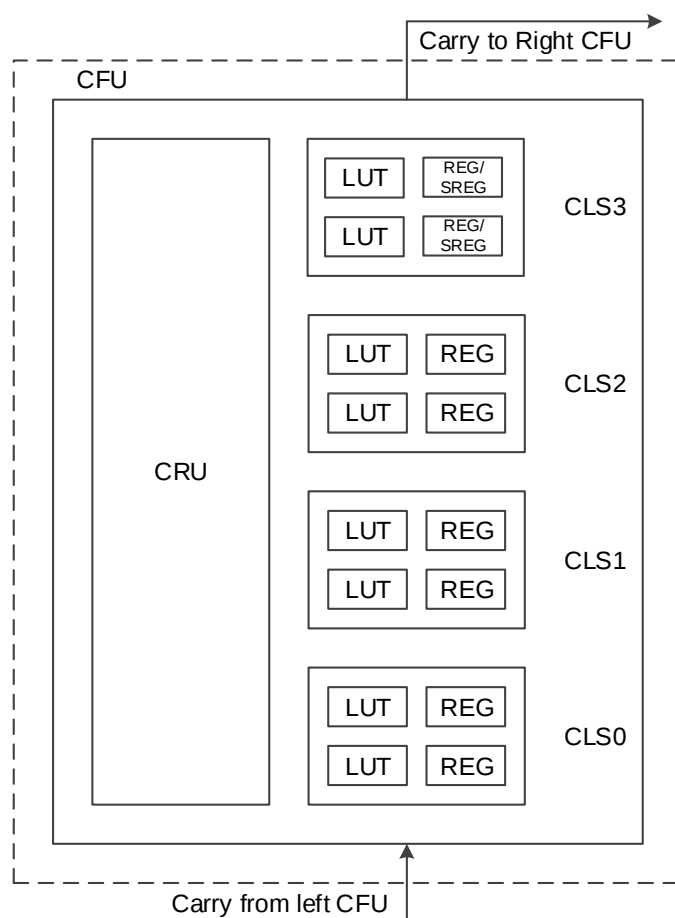
2.3 可配置功能单元

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体 FPGA 产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中三个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，另外一个可配置逻辑块只包含两个四输入查找表，如图 2-4 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU 更多详细信息，可参考 [UG288, Gowin 可配置功能单元\(CFU\)用户指南](#)。

图 2-4 CFU 结构示意图



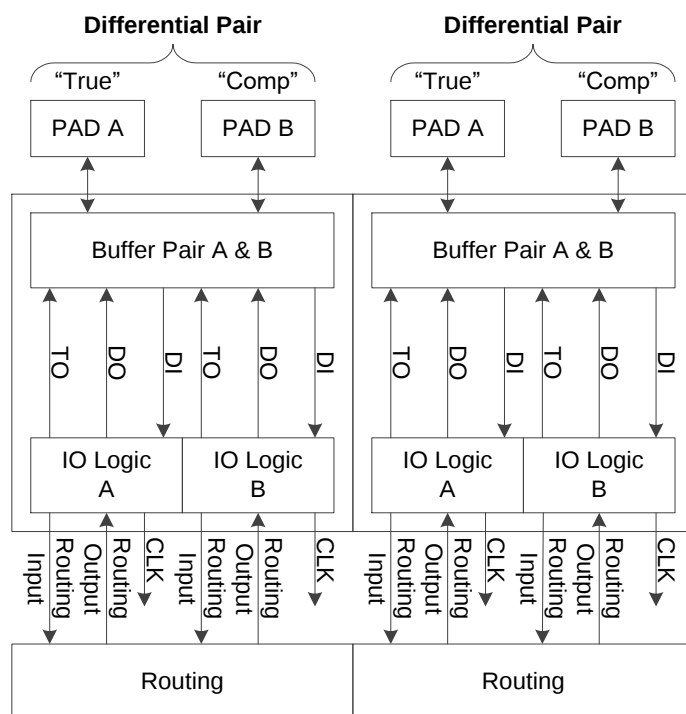
注！

SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。

2.4 输入输出模块

GW1NR 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。下图为两个 IOB 的结构示意图，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-5 IOB 结构示意图



GW1NR 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 V_{CCIO} 机制。
- 支持 LVCMOS、PCI、LVTTL、LVDS、SSTL 以及 HSTL 等多种电平标准。
- 提供输入信号迟滞选项。
- 提供输出信号驱动电流选项。
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项。
- 支持热插拔。
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。

关于输入输出模块的更多详细信息，可参考 [UG289, Gowin 可编程通用管脚（GPIO）用户指南](#)。

2.4.1 I/O 电平标准

GW1NR-4/9 器件包括 4 个 Bank，如图 2-6 所示。GW1NR-2 器件包括 7 个 Bank，其中 Bank6^[4]为 MIPI 专用 Bank，用于 MIPI D-PHY RX，如图 2-7 所示。每个 Bank 有独立的 I/O 电源 V_{CCIO} 。

为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \cdot V_{CCIO}$)，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

注！

[4] 若不使用 MIPI 功能，可以将 Bank6 的管脚保持悬空。也可通过旁路内部 MIPI 逻辑的方式将 Bank6 用于差分输入(共模电压 $\leq 0.5V$)。

图 2-6 GW1NR-4/9 I/O Bank 分布示意图

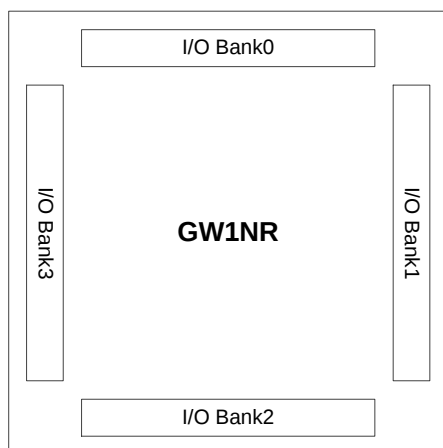
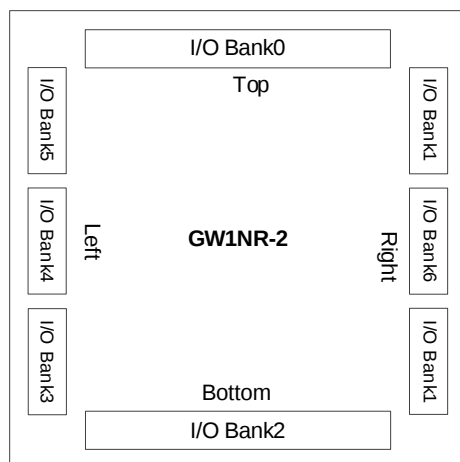


图 2-7 GW1NR-2 I/O Bank 分布示意图



GW1NR 系列 FPGA 产品分为 LV 和 UV 两个版本：

LV 版本器件支持 1.2V V_{CC} 供电电压，可以满足用户低功耗的需求。

V_{CCIO} 根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。

UV 版本器件方便用户实现单一电源供电，内部集成了线性稳压器，内核电压支持 1.8V、2.5V、3.3V 供电电压。

V_{CCX} 支持 1.8V、2.5V 或 3.3V 供电电压。

GW1NR 系列 FPGA 产品的 GPIO 支持 MIPI IO 类型，详见表 2-9。

注！

- 配置过程中，器件所有 GPIO 均为高阻态、内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。
- 不同版本器件的推荐工作电压请参考 3.1 工作条件。

不同的 I/O 输入输出标准对 V_{CCIO} 的要求如表 2-1 和表 2-2 所示。

表 2-1 GW1NR 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置

I/O 类型(输出)	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	典型应用
MIPI ^[1]	差分 (TLVDS)	1.2	8	移动行业处理器接口
LVDS25	差分 (TLVDS)	2.5/3.3	2.5/3.5/4.5/6(GW1NR-2)、 1.25/2/2.5/3.5(GW1NR-4/9)	点对点高速数据传输
RSDS	差分 (TLVDS)	2.5/3.3	2.5(GW1NR-2)、 1.25/2/2.5/3.5(GW1NR-4)、 2(GW1NR-9)	点对点高速数据传输
MINILVDS	差分 (TLVDS)	2.5/3.3	2.5(GW1NR-2)、 1.25/2/2.5/3.5(GW1NR-4)、 2(GW1NR-9)	LCD 时序驱动与列驱动器接口
PPLVDS	差分 (TLVDS)	2.5/3.3	3.5(GW1NR-2/9)、 1.25/2/2.5/3.5(GW1NR-4)	LCD 行/列驱动
LVDS25E	差分	2.5	8	点对点高速数据传输
BLVDS25E	差分	2.5	16	多点高速数据传输
MLVDS25E	差分	2.5	16	LCD 时序驱动与列驱动器接口
RSDS25E	差分	2.5	8	点对点高速数据传输
LVPECL33E	差分	3.3	16	通用接口
HSTL18D_I	差分	1.8	8	存储接口

I/O 类型(输出)	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	典型应用
HSTL18D_II	差分	1.8	8	存储接口
HSTL15D_I	差分	1.5	8	存储接口
SSTL15D	差分	1.5	8	存储接口
SSTL18D_I	差分	1.8	8	存储接口
SSTL18D_II	差分	1.8	8	存储接口
SSTL25D_I	差分	2.5	8	存储接口
SSTL25D_II	差分	2.5	8	存储接口
SSTL33D_I	差分	3.3	8	存储接口
SSTL33D_II	差分	3.3	8	存储接口
LVC MOS12D	差分	1.2	2/6(GW1NR-2)、 4/8(GW1NR-4/9)	通用接口
LVC MOS15D	差分	1.5	4/8	通用接口
LVC MOS18D	差分	1.8	4/8/12	通用接口
LVC MOS25D	差分	2.5	4/8/12/16	通用接口
LVC MOS33D	差分	3.3	4/8/12/16(GW1NR-2)、 4/8/12/16/24(GW1NR-4/9)	通用接口
HSTL15_I	单端	1.5	8	存储接口
HSTL18_I	单端	1.8	8	存储接口
HSTL18_II	单端	1.8	8	存储接口
SSTL15	单端	1.5	8	存储接口
SSTL18_I	单端	1.8	8	存储接口
SSTL18_II	单端	1.8	8	存储接口
SSTL25_I	单端	2.5	8	存储接口
SSTL25_II	单端	2.5	8	存储接口
SSTL33_I	单端	3.3	8	存储接口

I/O 类型(输出)	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	典型应用
SSTL33_II	单端	3.3	8	存储接口
LVC MOS12	单端	1.2	2/6(GW1NR-2)、 4/8(GW1NR-4/9)	通用接口
LVC MOS15	单端	1.5	4/8	通用接口
LVC MOS18	单端	1.8	4/8/12	通用接口
LVC MOS25	单端	2.5	4/8/12/16	通用接口
LVC MOS33/ LV TTL33	单端	3.3	4/8/12/16(GW1NR-2)、 4/8/12/16/24(GW1NR-4/9)	通用接口
PCI33	单端	3.3	4/8	PC 和嵌入式系统

注！

- 以下器件支持 MIPI I/O 输出：GW1NR-2 器件的 Bank0/Bank3/Bank4/Bank5；GW1NR-9 器件的 Bank2。

表 2-2 GW1NR 系列 FPGA 产品支持的输入 I/O 类型及部分可选配置

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需 要 V _{REF}
MIPI ^[1]	差分 (TLVDS)	1.2	否	否
LVDS25	差分 (TLVDS)	2.5/3.3	否	否
RS DS	差分 (TLVDS)	2.5/3.3	否	否
MINILVDS	差分 (TLVDS)	2.5/3.3	否	否
PPLVDS	差分 (TLVDS)	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
RS DS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
HSTL18D_I	差分	1.8	否	否

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需 要 V _{REF}
HSTL18D_II	差分	1.8	否	否
HSTL15D_I	差分	1.5	否	否
SSTL15D	差分	1.5	否	否
SSTL18D_I	差分	1.8	否	否
SSTL18D_II	差分	1.8	否	否
SSTL25D_I	差分	2.5	否	否
SSTL25D_II	差分	2.5	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
LVC MOS12D	差分	1.2	否	否
LVC MOS15D	差分	1.5	否	否
LVC MOS18D	差分	1.8	否	否
LVC MOS25D	差分	2.5	否	否
LVC MOS33D	差分	3.3	否	否
HSTL15_I	单端	1.5	否	是
HSTL18_I	单端	1.8	否	是
HSTL18_II	单端	1.8	否	是
SSTL15	单端	1.5	否	是
SSTL18_I	单端	1.8	否	是
SSTL18_II	单端	1.8	否	是
SSTL25_I	单端	2.5	否	是
SSTL25_II	单端	2.5	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
LVC MOS12	单端	1.2	是	否

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需 要 V _{REF}
LVC MOS15	单端	1.5	是	否
LVC MOS18	单端	1.8	是	否
LVC MOS25	单端	2.5	是	否
LVC MOS33/ LV TTL33	单端	3.3	是	否
PCI33	单端	3.3	是	否
LVC MOS33OD25	单端	2.5	否	否
LVC MOS33OD18	单端	1.8	否	否
LVC MOS33OD15	单端	1.5	否	否
LVC MOS25OD18	单端	1.8	否	否
LVC MOS25OD15	单端	1.5	否	否
LVC MOS18OD15	单端	1.5	否	否
LVC MOS15OD12	单端	1.2	否	否
LVC MOS25UD33	单端	3.3	否	否
LVC MOS18UD25	单端	2.5	否	否
LVC MOS18UD33	单端	3.3	否	否
LVC MOS15UD18	单端	1.8	否	否
LVC MOS15UD25	单端	2.5	否	否
LVC MOS15UD33	单端	3.3	否	否
LVC MOS12UD15	单端	1.5	否	否
LVC MOS12UD18	单端	1.8	否	否
LVC MOS12UD25	单端	2.5	否	否
LVC MOS12UD33	单端	3.3	否	否

注!

- 以下器件支持 MIPI I/O 输入：GW1NR-2 Bank2；GW1NR-2 Bank6（硬核）；GW1NR-9 器件的 Bank0。

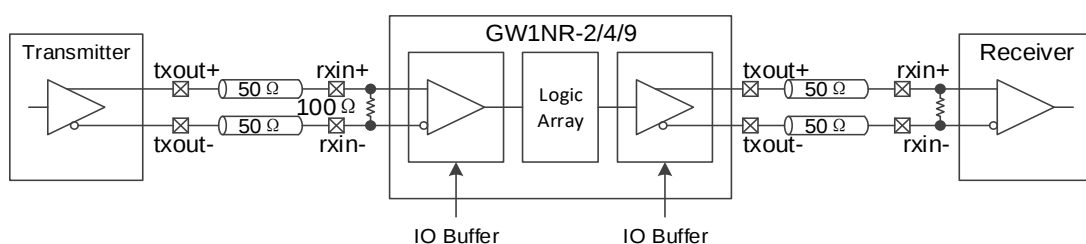
2.4.2 真 LVDS 设计

GW1NR 系列 FPGA 产品的 BANK1/2/3 支持真 LVDS 输出。在 BANK0/1/2/3 支持 LVDS25E、MLVDS25E、BLVDS25E 等电平类型。

真 LVDS 的分布详细信息请参见 [UG805, GW1NR-2 器件 Pinout 手册](#), [UG116, GW1NR-4 器件 Pinout 手册](#), 和 [UG803, GW1NR-9 器件 Pinout 手册](#)。

LVDS 的输入端 IO 需要 100 欧姆终端电阻做匹配，设计参考如图 2-8 所示。GW1NR 系列 FPGA 产品的特定 Bank 支持片内可编程的 100 欧姆输入差分匹配电阻，详见 [UG289, Gowin 可编程通用管脚（GPIO）用户指南](#)。

图 2-8 真 LVDS 设计参考框图



LVDS25E、MLVDS25E、BLVDS25E 等差分 IO 终端匹配电阻网络请参见 [UG289, Gowin 可编程通用管脚（GPIO）用户指南](#)。

2.4.3 I/O 逻辑

图 2-9 为 GW1NR 系列 FPGA 产品的 I/O 逻辑的输入输出部分。

图 2-9 I/O 逻辑输入输出示意图

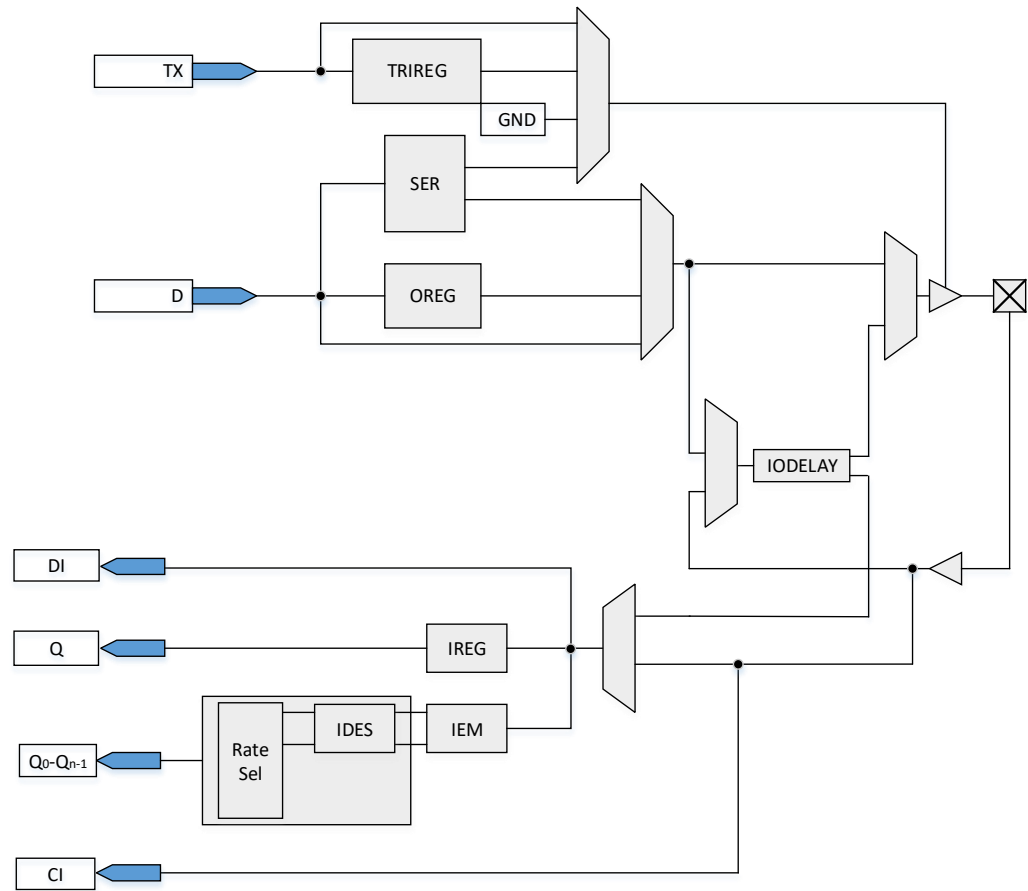


表 2-3 端口介绍

端口名	I/O	描述
C ^[1]	Input	GCLK 输入信号。 GCLK 输入信号的数量请参考 UG805 , GW1NR-2 器件 Pinout 手册 , UG116 , GW1NR-4 器件 Pinout 手册 ,和 UG803 , GW1NR-9 器件 Pinout 手册 。
DI	Input	IO 口低速输入信号，直接输入到 Fabric。
Q	Output	SDR 模块中 IREG 输出信号。
Q ₀ -Q _{n-1}	Output	DDR 模块中 IDES 输出信号。

注！

- [1] 当 CI 作为 GCLK 输入使用时，DI、Q 及 Q₀-Q_{n-1} 不能作为 IO 输入输出使用。

GW1NR 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

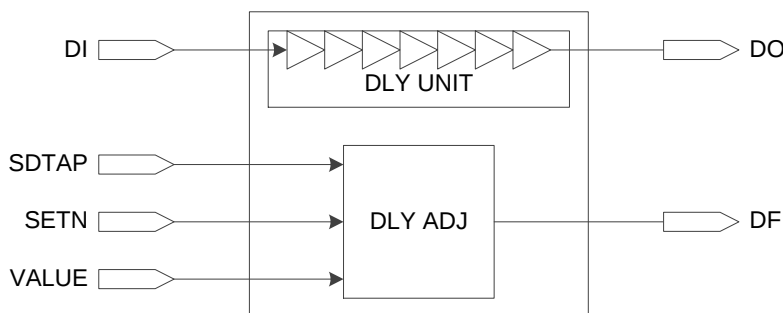
延迟模块

图 2-10 为延迟模块 IODELAY。GW1NR 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，用户可以通过该模块在 I/O 上增加额外的 delay 用于调整输入输出信号的延时。每一步的延迟时间为 $T_{dlyunit}$ ，总共可以提供的延迟步数为 DLYSTEP。IODELAY 总延迟时间为： $T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$ ，总延迟参考时间如表 2-4 所示。

表 2-4 IODELAY 总延迟参考

	Min.	Typ.	Max.
$T_{dlyoffset}$	450ps	500ps	550ps
$T_{dlyunit}$	-	30ps	-
DLYSTEP	0	-	127

图 2-10 IODELAY 示意图



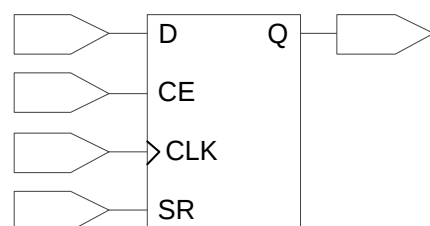
有两种控制延迟的方式：

- 静态控制。
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 2-11 为 GW1NR 系列 FPGA 产品的 I/O 寄存器模块。GW1NR 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TRIREG。

图 2-11 I/O 寄存器示意图



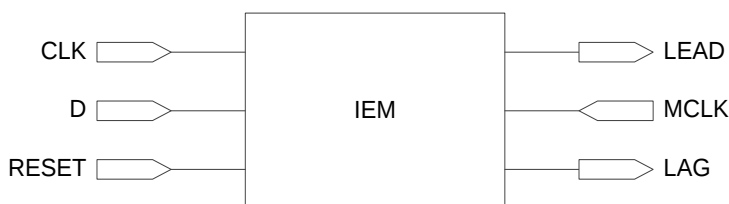
注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或锁存器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式，如图 2-12 所示。

图 2-12 IEM 示意图



解串器 DES 模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

2.4.4 I/O 逻辑工作模式

GW1NR 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

GW1NR-9 的管脚都支持 I/O 逻辑。GW1NR-4 的管脚 IOL10(A,B,C....J)和 IOR10(A,B,C....J)不支持 IO 逻辑，其他管脚支持 I/O 逻辑。GW1NR-2 的管脚 IOT2(A、B)、IOT3A 不支持 I/O 逻辑，其它管脚支持 I/O 逻辑。

2.5 块状静态随机存储器

2.5.1 简介

GW1NR 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器 (BSRAM)。每个 BSRAM 可配置最高 18,432bits(18Kbits)。提供的操作模式包括：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，只读存储器模式。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 190MHz
- 单端口模式(Single Port)
- 双端口模式(Dual Port)
- 伪双端口模式(Semi Dual Port)
- 提供校验位(Parity Bits)
- 提供只读存储器模式(ROM)
- 数据宽度从 1 位到 36 位
- 多时钟操作模式(Mixed Clock Mode)
- 多数据宽度模式(Mixed Data Width Mode)
- 在双字节以上的数据宽度支持字节使能功能(Byte Enable)
- 正常读写(Normal Read and Write)
- 先读后写(Read-before-write)
- 通写(Write-through)

2.5.2 BSRAM 配置模式

GW1NR 系列 FPGA 产品的块状静态随机存储器可支持多种数据宽度，如表 2-5 所示。

表 2-5 存储器配置列表

单端口模式	双端口模式 ^[1]	伪双端口模式	只读模式 ^[2]
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

注！

- ^[1] GW1NR-9 器件中仅 C 版本的 GW1NR-9 支持双端口模式。
- ^[2] GW1NR-4 器件中仅 D 版本的 GW1NR-4 支持只读模式。

单端口模式

单端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 3 种写模式（Normal 模式、Write-Through 模式和 Read-before-Write 模式）。在单端口模式下，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中，被写入的数据会传到 BSRAM 的输出。当输出寄存器旁路 (Bypass) 时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 [UG285，存储器 \(BSRAM&SSRAM\) 用户指南](#)。

双端口模式

双端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 2 种写模式（Normal 模式和 Write-Through 模式）。可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

注！

禁止对同一地址同时进行读写操作。

关于双端口模式的端口示意图及相关描述请参考 [UG285，存储器 \(BSRAM&SSRAM\) 用户指南](#)。

伪双端口模式

伪双端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 1 种写模式（Normal 模式）。伪双端口可支持同时的读和写操作，但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

注！

禁止对同一地址同时进行读写操作。

关于伪双端口模式的端口示意图及相关描述请参考 [UG285，存储器 \(BSRAM&SSRAM\) 用户指南](#)。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 [UG285，存储器 \(BSRAM&SSRAM\) 用户指南](#)。

2.5.3 存储器混合数据宽度配置

GW1NR 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不

同，但需要按照表 2-6 和表 2-7 的配置来应用。

表 2-6 双端口混合读写数据宽度配置列表^{[1],[2]}

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

- [1] GW1NR-9 器件中仅 C 版本的 GW1NR-9 支持双端口模式。
- [2]标注为 “*” 的表示支持的模式。

表 2-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为 “*” 的表示支持的模式。

2.5.4 字节使能功能配置

BSRAM 支持字节使能（byte-enable）功能。可以屏蔽输入数据，只让被选择到的字节写入。而被屏蔽的数据能继续保留。读/写使能信号(WREA,

WREB), 及 byte-enable 参数选项用于控制 BSRAM 的写操作。

注!

GW1NR 系列中, 仅 GW1NR-2、GW1NR-2B、GW1NR-2C、以及 GW1NR-4D 支持字节使能功能。

2.5.5 校验位功能配置

所有的块状静态随机存储器模块 BSRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位, 用来检测数据传输的正确性, 也可以用来存储数据。

2.5.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路。

2.5.7 BSRAM 操作模式

BSRAM 支持 5 种操作模式, 包括 2 种读操作模式: 旁路(Bypass)模式、流水线(Pipeline)模式; 3 种写操作模式: 正常写(Normal)模式、通写(Write-Through)模式、先读后写(Read-before-Write)模式。

读操作模式

从 BSRAM 读出数据通过输出寄存器输出或不通过输出寄存器输出。

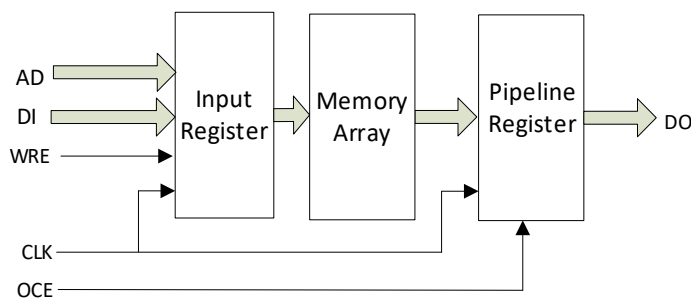
流水线模式

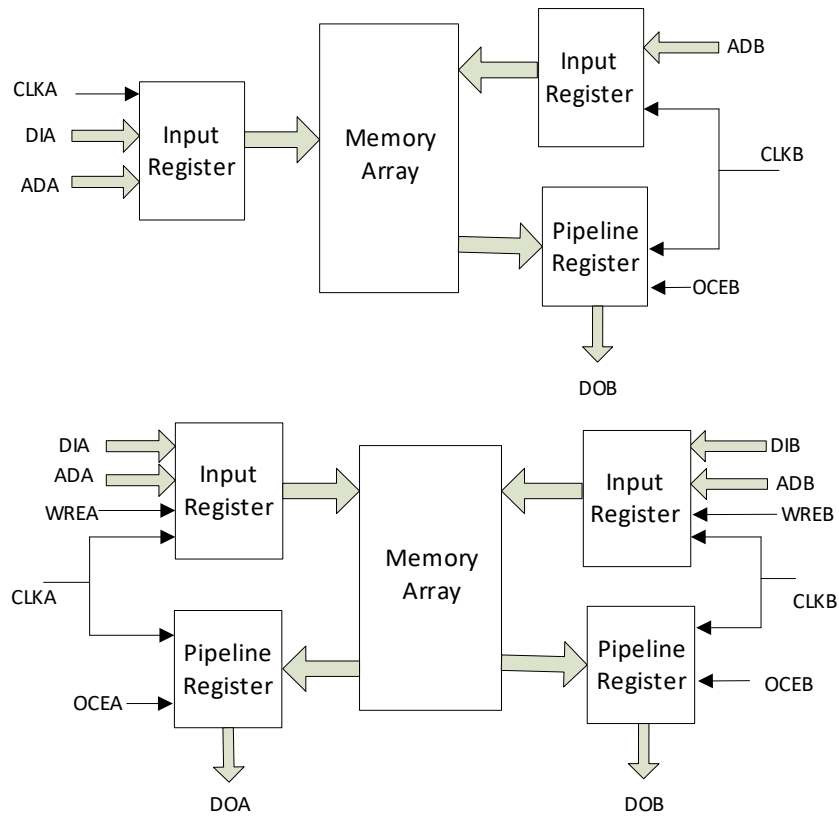
在同步写入存储器时, 使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器, 数据保留在存储器(Memory Array)的输出。

图 2-13 单端口、伪双端口及双端口模式下的流水线模式





写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

2.5.8 时钟模式

表 2-8 中列出了不同 BSRAM 模式下可使用的时钟模式：

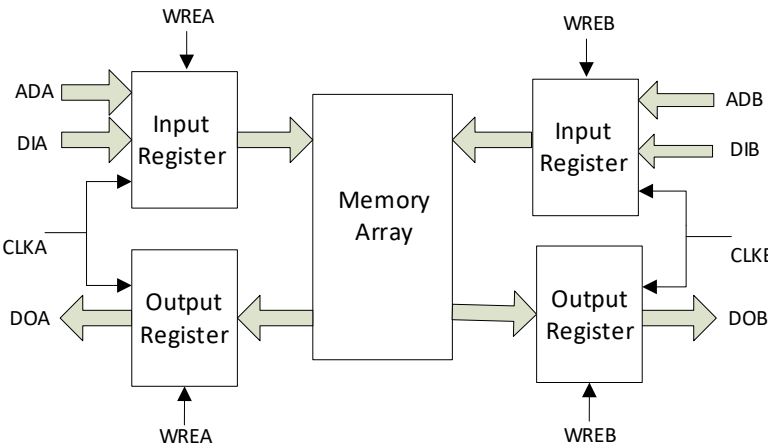
表 2-8 时钟模式配置列表

时钟模式	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 2-14 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

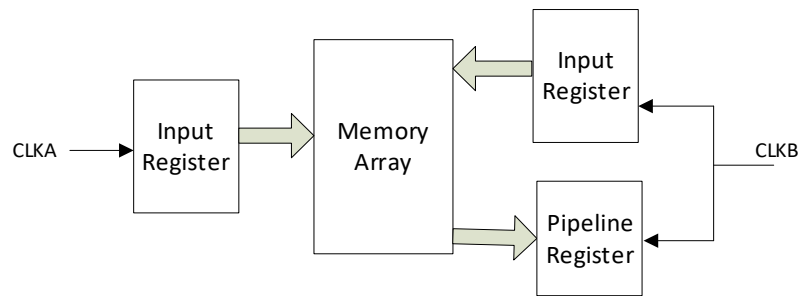
图 2-14 独立时钟模式



读写时钟模式

图 2-15 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

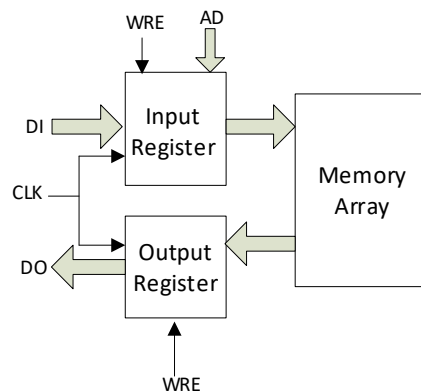
图 2-15 读写时钟模式



单端口时钟模式

图 2-16 显示了单端口时钟模式。

图 2-16 单端口时钟模式



2.6 用户闪存资源(GW1NR-2/4/9)

GW1NR-2 的用户闪存资源容量为 96Kbits，GW1NR-4 的用户闪存资源容量为 256Kbits，GW1NR-9 的用户闪存资源容量为 608Kbits。用户闪存资源由行存储和列存储单元组成，一行由 64 个列存储单元组成，列存储单元的容量为 32bits，行存储单元的容量为 $64 \times 32 = 2048$ bits。擦除操作支持页擦除，一页的容量为 2048 字节，即一页包含 8 行。特性如下所示：

- NOR Flash
- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85℃)
- 数据位宽：32
- GW1NR-2 容量：48 行*64 列*32 = 96Kbits
- GW1NR-4 容量：128 行*64 列*32 = 256Kbits
- GW1NR-9 容量：304 行*64 列*32 = 608Kbits
- 页擦除能力：2,048 字节
- 快速页擦除/字编程操作
- 时钟频率：40MHz

- 字编程时间: $\leq 16\mu\text{s}$
- 页擦除时间: $\leq 120\text{ms}$
- 电流
 - 读电流/持续时间: $2.19\text{mA}/25\text{ns}$ (V_{CC}) & $0.5\text{mA}/25\text{ns}$ (V_{CCX})(MAX)
 - 编程/擦除操作: $12/12\text{mA}$ (MAX)

关于用户闪存资源的更多详细信息, 可参考 [UG295-1.0 Gowin 闪存资源\(User Flash\)用户指南](#), 其中有关用户闪存资源原语与适用器件的对应关系, 请参考该手册的表 3-1 适用器件。

2.7 数字信号处理模块

2.7.1 简介

GW1NR-4/9 器件具有丰富的 DSP 模块资源。高云半导体的 DSP 解决方案可满足用户的高性能数字信号处理需求, 如 FIR、FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 支持下列功能:

- 3 种宽度 (9-bit, 18-bit, 36-bit) 的乘法器
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel Shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 运算可以自动取正(Computing with options of rounding to positive number or prime number)
- 支持寄存器输出和旁路输出

2.7.2 宏单元

GW1NR 的 DSP 模块排列以行的形式分布在整个 FPGA 阵列中。每个 DSP 包含两个宏单元, 每个宏单元包含两个预加器(pre-adders), 两个 18 位的乘法器(multipliers), 和一个三输入的算术/逻辑运算单元(ALU54)。

预加器

DSP 宏单元包含两个预加器, 实现预加、预减和移位功能。

预加器位于宏单元的最前端, 有两个输入端:

- 并行 18-bit 输入 B 或 SBI。
- 并行 18-bit 输入 A 或 SIA。

注!

每个输入端都支持寄存器模式和旁路模式。

高云半导体 **FPGA** 产品的预加器可以作为功能模块单独使用，支持 9-bit 位宽和 18-bit 位宽。

乘法器

乘法器(multipliers)位于预加器之后，用来实现乘法运算。乘法器可以配置为 9 x 9、18 x 18、36 x 18 或 36 x 36，输入端和输出端都支持寄存器模式和旁路模式。一个宏单元支持的配置模式包括：

- 一个 18 x 36 乘法器
- 两个 18 x 18 乘法器
- 四个 9 x 9 乘法器

注！

两个宏单元可以配置成一个 36 x 36 乘法器。

算术运算单元

每个 DSP 宏单元包含一个 54 位 ALU54，是对乘法器功能的进一步加强，输入端和输出端都支持寄存器模式和旁路模式。支持的功能包括：

- 乘法器输出数据/0、数据 A 和数据 B 的加法/减法运算
- 乘法器输出数据/0、数据 B 和进位 C 的加法/减法运算
- 数据 A、数据 B 和进位 C 的加法/减法运算

2.7.3 DSP 操作模式配置

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

关于数字信号处理模块更多详细信息，可参考 [UG287 Gowin 数字信号处理器\(DSP\)用户指南](#)。

2.8 MIPI D-PHY

2.8.1 硬核 MIPI D-PHY RX(GW1NR-2)

GW1NR-2 器件包含硬核 MIPI D-PHY RX，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 2.1。该 D-PHY 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI-2）。主要特性如下：

- 支持单向高速(HS, High-speed)模式，传输速率最高可达 8 Gbps (四个数据通道)。
- 支持最多四个数据通道和一个时钟通道。
- 支持双向低功耗(LP, Low-power)操作模式，数据传输速率为 10Mbps。
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式。
- 支持 MIPI DSI 和 MIPI CSI-2 链路层。
- IO Bank6 支持 MIPI D-PHY RX。

更多详细信息请参考 [IPUG778, Gowin GW1N-2 Hardened MIPI D-PHY RX 用户指南](#)。

2.8.2 GPIO 支持 MIPI D-PHY RX/TX

用 GPIO 实现软核 MIPI D-PHY RX/TX 时，可选 3 种 IO 类型：TLVDS、ELVDS、MIPI IO。

所有 GW1NR FPGA 都支持 TLVDS/ELVDS 类型。用 TLVDS/ELVDS 类型实现 MIPI D-PHY 时，需通过 LVDS25(E)+LVCMOS12 的方式来模拟 MIPI HS 和 MIPI LP，并需要搭配外部电阻网络。

部分 GW1NR FPGA 支持 MIPI IO 类型。MIPI IO 内部集成了电阻网络，支持 HS 和 LP 的自动切换。MIPI IO 类型支持情况如表 2-9 所示。

具体的 IO 选取和片外端接方式，可以参考 [IPUG948, Gowin MIPI D-PHY RX TX Advance 用户指南](#) 的“4 功能描述”。

表 2-9 GW1NR 系列 FPGA 产品的 MIPI IO 类型支持列表

MIPI 输入/输出	GW1NR-2	GW1NR-9
MIPI 输入	Bank2(支持动态 ODT)	Bank0(支持动态 ODT)
MIPI 输出	Bank0/3/4/5(支持动态 ODT)	Bank2

软核 MIPI D-PHY RX/TX 主要特性如下：

- 支持高速 RX 和 TX 器件接口，传输速率最高可达 4.8 Gbps
- 支持最多四个数据通道和一个时钟通道
- 支持多 PHY (IO 允许的情况下)
- 支持双向低功耗(LP, Low-power)操作模式
- 支持 MIPI DSI 和 MIPI CSI-2 链路层
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式
- 支持 ELVDS、TLVDS、和 MIPI IO 等 IO Type
- GW1NR-9 器件 Bank 0/2 支持 I3C

更多详细信息请参考 [IPUG948, Gowin MIPI D-PHY RX TX Advance 用户指南](#)。

2.9 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW1NR 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了高速时钟 HCLK 资源、锁相环(PLL)等时钟资源。

关于全局时钟、高速时钟及锁相环的更多详细信息，请参考 [UG286 Gowin 时钟资源\(Clock\)用户指南](#)。

2.9.1 全局时钟

GCLK 在 GW1NR 系列 FPGA 产品中按象限分布，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

2.9.2 锁相环

锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-locked Loop）。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW1NR 系列 FPGA 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

2.9.3 高速时钟

GW1NR 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，HCLK 示意图如图 2-17 到图 2-19 所示。

图 2-17 GW1NR-2 HCLK 示意图

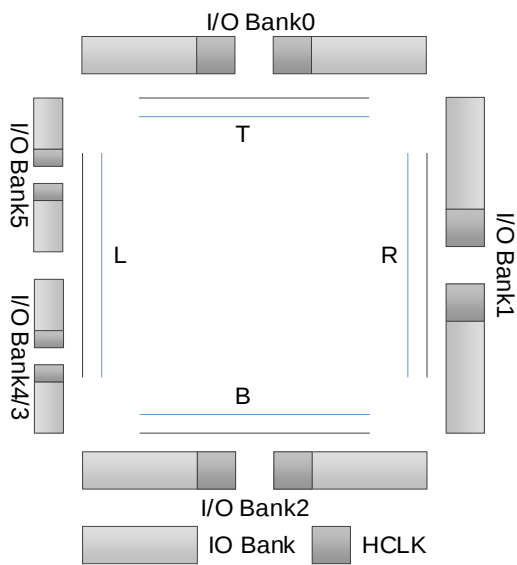


图 2-18 GW1NR-4 HCLK 示意图

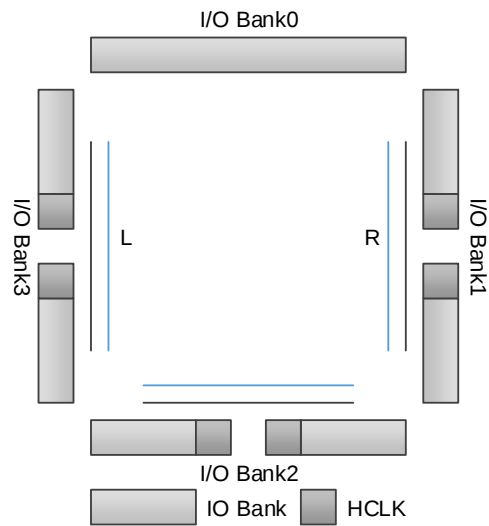
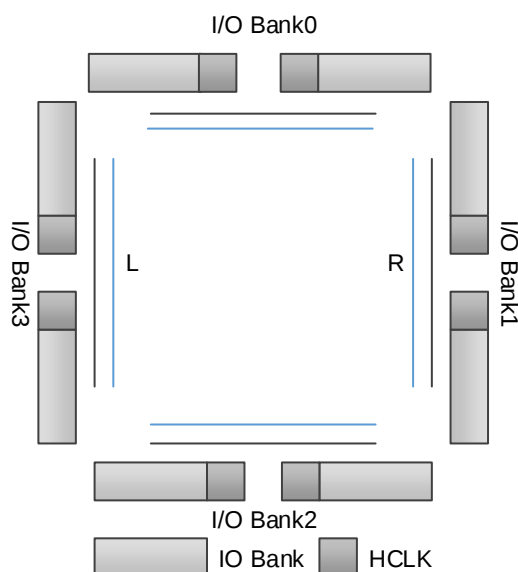


图 2-19 GW1NR-9 HCLK 示意图



2.10 长线

作为对 CRU 的有效补充，GW1NR 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

2.11 全局复置位

GW1NR 系列 FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CFU 和 I/O 中的寄存器均可以独立配置。

2.12 编程配置

GW1NR 系列 FPGA 产品支持 SRAM 编程和 Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。GW1NR 器件支持 DUAL BOOT 模式，为用户提供了一种备份选择，用户可以根据自身需要将配置数据备份在外部 Flash 中。

GW1NR 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式，支持多达 6 种模式：AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL 和 CPU。所有器件均支持 JTAG 和 AUTO BOOT 模式。详细信息请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

2.12.1 SRAM 编程

GW1NR 系列 FPGA 产品的 SRAM 编程，每次上电后需要重新下载配置数据。

2.12.2 Flash 编程

Flash 编程的配置数据存放在片内 Flash 单元。上电后，配置数据从片内 Flash 单元传送到 SRAM 配置单元。在上电后的几个毫秒内即可完成数据的配置，这种配置方式也称为“快速启动/瞬时启动”。

GW1NR 系列 FPGA 产品增加了 JTAG^[1]背景升级的特性，即器件支持在不影响现有工作状态的情况下通过 JTAG 接口编程片内 Flash 或外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，低电平触发 RECONFIG_N^[2]即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

注！

- [1] GW1NR-2 可通过使用 goConfig I2C IP 来支持 I²C 背景升级。推荐使用 JTAG 接口进行背景升级。
- [2] RECONFIG_N 作为配置管脚时，类型为输入，具有内部弱上拉，但作为 GPIO 时，只能用作 output 类型。更多详细信息，请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

GW1NR 系列 FPGA 产品还支持外部 Flash 编程模式和双启动模式，详细信息请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

2.13 片内晶振

GW1NR 系列 FPGA 产品内嵌了一个片内晶振，配置过程中为 MSPI 配置模式提供时钟源。

片内晶振还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。

GW1NR-4 器件输出时钟频率可以通过如下公式计算得到：
 $f_{out}=210\text{MHz}/\text{Param}$ 。

GW1NR-2/9 器件输出时钟频率可以通过如下公式计算得到：
 $f_{out}=250\text{MHz}/\text{Param}$ 。

注！

- 其中除数 Param 为配置参数，范围为 2~128，只支持偶数。

表 2-10 及表 2-11 列举了片内晶振的部分频率，如默认频率、最大频率和某些参数的输出小数的频率。

表 2-10 GW1NR-4 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.1MHz ^[1]	8	6.6MHz	16	13.1MHz
1	4.6MHz	9	7MHz	17	15MHz
2	4.8MHz	10	7.5MHz	18	17.5MHz
3	5MHz	11	8.1MHz	19	21MHz
4	5.3MHz	12	8.8MHz	20	26.3MHz
5	5.5MHz	13	9.5MHz	21	35MHz
6	5.8MHz	14	10.5MHz	22	52.5MHz
7	6.2MHz	15	11.7MHz	23	105MHz ^[2]

表 2-11 GW1NR-2/9 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.5MHz ^[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz ²

注！

- ^[1] 默认输出频率。
- ^[2]不适用于 MSPI 配置模式。

3电气特性

注!
建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	-0.5V	1.32V
	UV 版本核电压	-0.5V	3.75V
V _{CCIO}	I/O Bank 电源电压	-0.5V	3.75V
V _{CCX}	辅助电源电压	-0.5V	3.75V
V _{CCD}	硬核 MIPI D-PHY 核电压(GW1NR-2)	-0.5V	1.32V
V _{CCIOD}	硬核 MIPI D-PHY I/O 电压(GW1NR-2)	-0.5V	1.32V
-	I/O 电压 ^[1]	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

注!
● ^[1]允许-2V 至（V_{IHMAX} + 2）V 的过冲和下冲，持续时间<20 ns。

3.1.2 推荐工作范围

表 3-2 推荐工作范围

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	1.14V	1.26V
	UV 版本核电压	1.71V	3.6V
V _{CCIOx}	I/O Bank 电源电压	1.14V	3.6V
V _{CCX}	辅助电压(GW1NR-2)	1.71V	3.6V
	辅助电压(GW1NR-4/9)	2.375V	3.6V
V _{CCD} ^[1]	硬核 MIPI D-PHY 核电压(GW1NR-2)	1.14V	1.26V
V _{CCIOD} ^[1]	硬核 MIPI D-PHY I/O 电压(GW1NR-2)	1.14V	1.26V
T _{JCOM}	结温(商业级)	0℃	+85℃
T _{JIND}	结温(工业级)	-40℃	+100℃

注!

- ^[1]若不使用硬核 MIPI D-PHY，用户可以保持 V_{CCD} 和 V_{CCIOD} 管脚悬空，或将它们连接到 1.2V 电源。
- 某些封装中 V_{CCIO} 和 V_{CCX} 可能共用一个管脚，这种情况下必须要优先满足 V_{CCX} 的要求。
- V_{CC}、V_{CCIO}、V_{CCX} 的允许纹波范围分别为 3%、5%、5%。1).对于直接用 V_{CC} 给 PLL 供电的器件，V_{CC} 上的纹波会影响 PLL 输出时钟的抖动特性；2). V_{CCIO} 上的纹波，最终可能会传递到 IO Buffer 的输出波形上。
- 不同封装的器件供电电压信息请参考 [UG805, GW1NR-2 器件 Pinout 手册](#), [UG116, GW1NR-4 器件 Pinout 手册](#),和 [UG803, GW1NR-9 器件 Pinout 手册](#)。

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V _{CC} Ramp	V _{CC} 上升斜率	0.6mV/μs	-	6mV/μs
V _{CCX} Ramp	V _{CCX} 上升斜率	0.6mV/μs	-	10mV/us
V _{CCIO} Ramp	V _{CCIO} 上升斜率	0.1mV/μs	-	10mV/us

注!

- 所有电源的上升斜率必须单调。
- 在设备开始配置前，所有的电源都需要在表 3-2 中定义的工作范围内。不在工作范围内的电源需要调整到更快的斜率，否则用户必须推迟配置。

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入或 IO 漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(\text{MAX})$	I/O	150uA
I_{HS}	输入或 IO 漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(\text{MAX})$	TDI, TDO, TMS, TCK	150uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	名称	最小值	最大值
POR 电压 值	Power on reset ramp up trip point	V_{CC}	0.75V	1V
		V_{CCX}	1.8V	2V
		V_{CCIO}	0.85V	0.98V

3.2 ESD 性能

表 3-6 GW1NR ESD - HBM

器件	GW1NR-2	GW1NR-4	GW1NR-9
QN88	-	HBM>1,000V	HBM>1,000V
MG49P/MG49G/MG49PG	HBM>1,000V		
MG81	-	HBM>1,000V	-
MG100P/MG100PF/MG100P A/ MG100PT/ MG100PS	-	-	HBM>1,000V
LQ144	-	-	HBM>1,000V

表 3-7 GW1NR ESD - CDM

器件	GW1NR-2	GW1NR-4	GW1NR-9
QN88		CDM>500V	CDM>500V
MG49P/MG49G/MG49PG	CDM>500V	-	-
MG81	-	CDM>500V	-
MG100P/MG100PF/MG100P A/ MG100PT/ MG100PS	-	-	CDM>500V
LQ144	-	-	CDM>500V

3.3 DC 电气特性

3.3.1 推荐工作范围 DC 电气特性

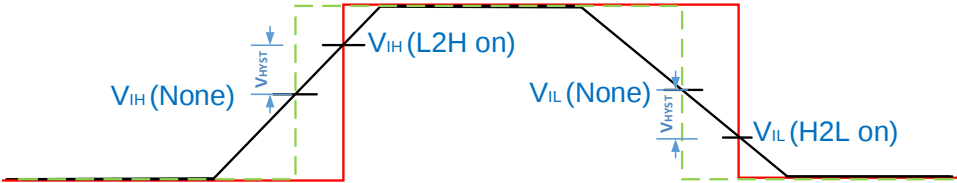
表 3-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL}, I_{IH}	输入或 IO 漏电流(Input or I/O leakage)	$V_{CCIO} < V_{IN} < V_{IH}(\text{MAX})$	-	-	210 μA
		$0 < V_{IN} < V_{CCIO}$	-	-	10 μA
I_{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCIO}$	-30 μA	-	-150 μA
I_{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(\text{MAX}) < V_{IN} < V_{CCIO}$	30 μA	-	150 μA
I_{BHLS}	总线保持低电平时持续电流(Bus Hold Low Sustaining Current)	$V_{IN} = V_{IL}(\text{MAX})$	30 μA	-	-
I_{BHHS}	总线保持高电平时持续电流(Bus Hold High Sustaining Current)	$V_{IN} = 0.7V_{CCIO}$	-30 μA	-	-
I_{BHLO}	总线保持低电平时过载电流(Bus Hold Low Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	150 μA
I_{BHHO}	总线保持高电平时过载电流(Bus Hold High Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	-150 μA
V_{BHT}	总线保持触发点时电压(Bus hold trip points)		$V_{IL}(\text{MAX})$	-	$V_{IH}(\text{MIN})$
C_1	I/O 电容(I/O Capacitance)			5pF	8pF
V_{HYST}		$V_{CCIO} = 3.3\text{V}$, Hysteresis=L2H ^{[1],[2]}	-	200mV	-

名称	描述	条件	最小值	典型值	最大值
	输入迟滞 (Hysteresis for Schmitt Trigger inputs)	$V_{CCIO}=2.5V$, Hysteresis= L2H	-	125mV	-
		$V_{CCIO}=1.8V$, Hysteresis= L2H	-	60mV	-
		$V_{CCIO}=1.5V$, Hysteresis= L2H	-	40mV	-
		$V_{CCIO}=1.2V$, Hysteresis= L2H	-	20mV	-
		$V_{CCIO}=3.3V$, Hysteresis= H2L ^{[1],[2]}	-	200mV	-
		$V_{CCIO}=2.5V$, Hysteresis= H2L	-	125mV	-
		$V_{CCIO}=1.8V$, Hysteresis= H2L	-	60mV	-
		$V_{CCIO}=1.5V$, Hysteresis= H2L	-	40mV	-
		$V_{CCIO}=1.2V$, Hysteresis= H2L	-	20mV	-
		$V_{CCIO}=3.3V$, Hysteresis= HIGH ^{[1],[2]}	-	400mV	-
		$V_{CCIO}=2.5V$, Hysteresis= HIGH	-	250mV	-
		$V_{CCIO}=1.8V$, Hysteresis= HIGH	-	120mV	-
		$V_{CCIO}=1.5V$, Hysteresis= HIGH	-	80mV	-
		$V_{CCIO}=1.2V$, Hysteresis= HIGH	-	40mV	-

注！

- ^[1] Hysteresis="NONE", "L2H", "H2L", "HIGH"表示在 EDA 的 FloorPlanner 工具内设置 I/O Constraints 时的 Hysteresis 选项，设置方法详见 [SUG935, Gowin 设计物理约束指南](#)。
- ^[2]开启 L2H(low to high)选项表示 V_{IH} 被提高 V_{HYST} ；开启 H2L(high to low)选项表示 V_{IL} 被降低 V_{HYST} ；HIGH 表示同时开启 L2H 和 H2L 选项，即 $V_{HYST}(HIGH)=V_{HYST}(L2H) + V_{HYST}(H2L)$ 。其示意图如下所示：



3.3.2 静态电流

表 3-9 静态电流

器件	名称	描述	器件类型	典型值 (mA) ^[1]
GW1NR-2	I _{CC}	Core 电源电流(V _{CC} =1.2V)	LV	1.5
	I _{CCX}	V _{CCX} 电源电流(V _{CCX} =3.3V)	LV/UV	0.6
	I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =2.5V)	LV/UV	1
GW1NR-4	I _{CC}	Core 电源电流(V _{CC} =1.2V)	LV	2.8
	I _{CCX}	V _{CCX} 电源电流(V _{CCX} =3.3V)	LV/UV	1.15
	I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =2.5V)	LV/UV	0.55
GW1NR-9	I _{CC}	Core 电源电流(V _{CC} =1.2V)	LV	3.5
	I _{CCX}	V _{CCX} 电源电流(V _{CCX} =3.3V)	LV/UV	5
	I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =2.5V)	LV/UV	2

注！

- ^[1]表 3-9 中静态电流典型值为 C6 器件在温度为 25℃时的典型值。

3.3.3 编程下载电流

表 3-10 编程下载电流

器件	描述	器件类型	最大值 (mA)
GW1NR-2	编程 Flash 时 Core 电源电流(V _{CC} =1.2V)	LV 版本	2.19
	编程 Flash 时 V _{CCX} 电源电流(V _{CCX} =3.3V)	LV 版本	12
	编程 Flash 时 I/O Bank 电源电流(V _{CCIO} =2.5V)	LV 版本	2
GW1NR-4	编程 Flash 时 Core 电源电流(V _{CC} =1.2V)	LV 版本	2.19
	编程 Flash 时 V _{CCX} 电源电流(V _{CCX} =3.3V)	LV 版本	12
	编程 Flash 时 I/O Bank 电源电流(V _{CCIO} =2.5V)	LV 版本	2
GW1NR-9	编程 Flash 时 Core 电源电流(V _{CC} =1.2V)	LV 版本	2.19
	编程 Flash 时 V _{CCX} 电源电流(V _{CCX} =3.3V)	LV 版本	12
	编程 Flash 时 I/O Bank 电源电流(V _{CCIO} =2.5V)	LV 版本	2

注！

上表中电流值为常温常压下进行编程下载的电流最大值。

3.3.4 I/O 推荐工作条件

表 3-11 I/O 推荐工作条件

名称	输出对应的 $V_{CCIO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.6	-	-	-
LVC MOS33	3.135	3.3	3.6	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RS DS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-

名称	输出对应的 V _{CCIO} (V)			输入对应的 V _{REF} (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.5 单端 I/O DC 电气特性

表 3-12 单端 I/O DC 电气特性

名称	V _{IL}		V _{IH}		V _{OL} (Max)	V _{OH} (Min)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24 ^[2]	-24 ^[2]
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4

名称	V _{IL}		V _{IH}		V _{OL} (Max)	V _{OH} (Min)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	Min	Max	Min	Max				
							8	-8
							12	-12
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4 或 2 ^[3]	-4 或 -2 ^[3]
							8 或 6 ^[3]	-8 或 -6 ^[3]
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V _{CCIO}	0.5*V _{CCIO}	3.6V	0.1*V _{CCIO}	0.9*V _{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V _{REF} -0.2V	V _{REF} +0.2V	3.6V	0.7	V _{CCIO} -1.1V	8	-8
SSTL25_I	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	0.54V	V _{CCIO} -0.62V	8	-8
SSTL25_II	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
SSTL15	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_I	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_II	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL15_II	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	NA	NA	NA	NA

注！

- ^[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink): 同一个 Bank 所有 IO 的总电流不能大于 n*8mA, n 表示该 Bank 被引出的 IO 数量。
- ^[2] GW1NR-2 不支持 24mA。
- ^[3] GW1NR-2 支持 2mA/6mA, GW1NR-4/9 支持 4mA/8mA。

3.3.6 差分 I/O DC 电气特性

表 3-13 差分 I/O DC 电气特性(LVDS)

名称	描述	测试条件	最小	典型	最大	单位
V_{INA}, V_{INB}	输入电压(Input Voltage)		0	-	2.15	V
V_{CM}	共模输入电压(Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.1	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	± 100	-	± 600	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	± 20	μA
V_{OH}	输出高电平(Output High Voltage for V_{OP} or V_{OM})	$R_T = 100\Omega$	-	-	1.60	V
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	$R_T = 100\Omega$	0.9	-	-	V
V_{OD}	差模输出电压(Output Voltage Differential)	$(V_{OP} - V_{OM})$, $R_T = 100\Omega$	250	350	450	mV
ΔV_{OD}	差模输出电压的变化(Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	共模输出电压(Output Voltage Offset)	$(V_{OP} + V_{OM})/2$, $R_T = 100\Omega$	1.125	1.20	1.375	V
ΔV_{OS}	共模输出电压的变化(Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短路电流	$V_{OD} = 0V$ 两路输出短接	-	-	15	mA

3.4 开关特性

3.4.1 CFU 开关特性

表 3-14 CFU 内部时序参数^{[1], [2]}

器件	名称	描述	C7/I6		C6/I5		单位
			Min	Max	Min	Max	
GW1NR-2	t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	0.412	0.594	0.556	0.802	ns

器件	名称	描述	C7/I6		C6/I5		单位
			Min	Max	Min	Max	
	t _{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	0.648	1.268	0.875	1.712	ns
	t _{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	0.247	0.340	0.333	0.458	ns
GW1NR-4	t _{LUT4_CFU}	LUT4 延迟(LUT4 delay)	0.412	0.594	0.556	0.802	ns
	t _{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	0.648	1.268	0.875	1.712	ns
	t _{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	0.247	0.340	0.333	0.458	ns
GW1NR-9	t _{LUT4_CFU}	LUT4 延迟(LUT4 delay)	0.412	0.594	0.556	0.802	ns
	t _{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	0.648	1.268	0.875	1.712	ns
	t _{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	0.247	0.340	0.333	0.458	ns

注！

- ^[1] min/max 数值是基于上升沿的延时数据。
- ^[2] LUT4 的数据是基于输入端口 I3->F 的延时数据。

3.4.2 BSRAM 开关特性

表 3-15 BSRAM 时序参数

器件	名称	描述	C7/I6		C6/I5		单位
			Min	Max	Min	Max	
GW1NR-2	t _{COAD_BSRAM}	BSRAM 读地址/数据的时钟到输出延时(Clock to output time of read address/data)	2.564	2.564	3.460	3.460	ns
	t _{COOR_BSRAM}	BSRAM 输出寄存器的时钟到输出延时 (Clock to output time of output register)	0.613	0.613	0.827	0.827	ns

器件	名称	描述	C7/I6		C6/I5		单位
			Min	Max	Min	Max	
GW1NR-4	tCOAD_BSRAM	BSRAM 读地址/数据的时钟到输出延时(Clock to output time of read address/data)	2.564	2.564	3.460	3.460	ns
	tCOOR_BSRAM	BSRAM 输出寄存器的时钟到输出延时 (Clock to output time of output register)	0.613	0.613	0.827	0.827	ns
GW1NR-9	tCOAD_BSRAM	BSRAM 读地址/数据的时钟到输出延时(Clock to output time of read address/data)	2.564	2.564	3.460	3.460	ns
	tCOOR_BSRAM	BSRAM 输出寄存器的时钟到输出延时 (Clock to output time of output register)	0.613	0.613	0.827	0.827	ns

注！

- BSRAM 读地址/数据的时钟到输出延时是 bypass 模式的延时数据。

3.4.3 DSP 开关特性

表 3-16 DSP 时序参数

器件	名称	描述	C7/I6		C6/I5		单位
			Min	Max	Min	Max	
GW1NR-4	tCOIR_DSP	输入寄存器的时钟到输出延时(Clock to output time of input register)	0.219	0.239	0.295	0.318	ns
	tCOPR_DSP	流水寄存器的时钟到输出延时(Clock to output time of pipeline register)	0.063	0.075	0.085	0.101	ns
	tCOOR_DSP	输出寄存器的时钟到输出延时(Clock to output time of output register)	0.034	0.038	0.046	0.052	ns
GW1NR-9	tCOIR_DSP	输入寄存器的时钟到输出延时(Clock to output time of input register)	0.219	0.239	0.295	0.318	ns
	tCOPR_DSP	流水寄存器的时钟到输出延时(Clock to output time of pipeline register)	0.063	0.075	0.085	0.101	ns
	tCOOR_DSP	输出寄存器的时钟到输出延时(Clock to output time of output register)	0.034	0.038	0.046	0.052	ns

3.4.4 Gearbox 开关特性

表 3-17 Gearbox 时序参数

器件	名称	描述	典型值	单位
GW1NR-4/9	FMAXIDDR	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
	FMAXIDES4	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
	FMAXIDESx	1:8/1:10 Gearbox 输入 IO 最大串行速率	1000	Mbps
	FMAXODDR	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
	FMAXOSER4	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
	FMAXOSERx	8:1/10:1 Gearbox 输出 IO 最大串行速率	1000	Mbps
GW1NR-2	FMAXIDDR	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps

器件	名称	描述	典型值	单位
	FMAX _{IDES4}	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
	FMAX _{IDESx}	1:8/1:10/1:16 Gearbox 输入 IO 最大串行速率	1200	Mbps
	FMAX _{ODDR}	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
	FMAX _{OSER4}	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
	FMAX _{OSERx}	8:1/10:1/16:1 Gearbox 输出 IO 最大串行速率	1200	Mbps

- 注！
- LVDS IO 速度可以达到 1Gbps, 但是请注意 1:4 1:2 时候,内核速度可能达不到相应的速度。
 - Drive Strength=3.5 mA。

表 3-18 单端 IO Fmax

名称	Fmax	
	最小值(MHz)	
	Drive Strength = 4mA	Drive Strength > 4mA
LVTTL33	150	300
LVC MOS33	150	300
LVC MOS25	150	300
LVC MOS18	150	300
LVC MOS15	150	200
LVC MOS12	150	150

注！

测试负载为 30pF 电容。

3.4.5 时钟和 I/O 开关特性

表 3-19 外部开关特性

器件	名称	C7/I6	C6/I5	单位
		典型值	典型值	
GW1NR-2	HCLK Tree delay	0.6	0.8	ns

器件	名称	C7/I6	C6/I5	单位
		典型值	典型值	
	PCLK Tree delay(GCLK0~5)	1.8	2.1	ns
	PCLK Tree delay(GCLK6~7)	2.1	2.5	ns
	Pin-LUT-Pin Delay	2.5	3	ns
GW1NR-4	HCLK Tree delay	0.8	1	ns
	PCLK Tree delay(GCLK0~5)	2	2.2	ns
	PCLK Tree delay(GCLK6~7)	2.2	2.5	ns
	Pin-LUT-Pin Delay	4	4.2	ns
GW1NR-9	HCLK Tree delay	0.8	1	ns
	PCLK Tree delay(GCLK0~5)	2	2.2	ns
	PCLK Tree delay(GCLK6~7)	2.2	2.5	ns
	Pin-LUT-Pin Delay	4	4.2	ns

3.4.6 片内晶振开关特性

表 3-20 片内晶振特性参数

名称	说明	最小值	典型值	最大值
f _{MAX}	晶振输出频率 (0 ~ +85℃)	GW1NR-4	99.75MHz	105MHz
		GW1NR-2/9	118.75MHz	125MHz
	晶振输出频率 (-40 ~ +100℃)	GW1NR-4	94.5MHz	105MHz
		GW1NR-2/9	112.5MHz	125MHz
t _{DT}	输出时钟占空比	43%	50%	57%
t _{OPJIT}	输出时钟抖动	0.01UIPP	0.012UIPP	0.02UIPP

3.4.7 锁相环开关特性

表 3-21 锁相环时序参数

名称	描述	GW1NR-2		GW1NR-4/9		单位
		C7/I6	C6/I5	C7/I6	C6/I5	
F _{INMAX}	Maximum Input Clock Frequency	400	400	400	400	MHz
F _{INMIN}	Minimum Input Clock Frequency	3	3	3	3	MHz
F _{PFDMAX}	Maximum Frequency at the Phase Frequency Detector	400	400	400	400	MHz
F _{PFDMIN}	Minimum Frequency at the Phase Frequency Detector	3	3	3	3	MHz
F _{INJITTER}	Maximum Input Clock Period Jitter	< 20% of clock input period or 1 ns Max				
F _{INDUTY}	Minimum Allowable Input Duty Cycle: 3-49 MHz	25	25	25	25	%
	Minimum Allowable Input Duty Cycle: 50-199 MHz	30	30	30	30	%
	Minimum Allowable Input Duty Cycle: 200-399 MHz	35	35	35	35	%
F _{VCOMIN}	Minimum PLL VCO Frequency	400	400	400	400	MHz
F _{VCOMAX}	Maximum PLL VCO Frequency	800	800	900	900	MHz

名称	描述	GW1NR-2		GW1NR-4/9		单位
		C7/I6	C6/I5	C7/I6	C6/I5	
T _{STATPHAOFFSET}	Static Phase Offset of the PLL Outputs	+/-50	+/-50	+/-50	+/-50	ps
T _{JITTER_CCJ_HCLK} ^[3]	PLL Output cycle-cycle Jitter Thru HCLK $\geq 100\text{MHz}$	<300	<300	<300	<300	ps
	PLL Output cycle-cycle Jitter Thru HCLK <100MHz	<30	<30	<30	<30	mUI
	PLL Output cycle-cycle Jitter Thru PCLK $\geq 100\text{MHz}$	<400	<400	<400	<400	ps
	PLL Output cycle-cycle Jitter Thru PCLK <100MHz	<40	<40	<40	<40	mUI
T _{JITTER_PJ_PCLK}	PLL Output period Jitter Thru HCLK $\geq 100\text{MHz}$	<300	<300	<400	<400	ps
	PLL Output period Jitter Thru HCLK <100MHz	<30	<30	<40	<40	mUI
	PLL Output period Jitter Thru PCLK $\geq 100\text{MHz}$	<400	<400	<500	<500	ps
	PLL Output period Jitter Thru PCLK <100MHz	<40	<40	<50	<50	mUI
T _{OUTDUTY} ^{[1],[4]}	PLL Output Clock Duty Cycle Precision	<50	<50	<50	<50	mUI
T _{LOCKMAX}	PLL Maximum Lock Time	1	1	1	1	ms
F _{OUTMAX}	PLL Maximum Output Frequency	800	800	450	450	MHz
F _{OUTMIN} ^[2]	PLL Minimum Output Frequency	3.125	3.125	3.125	3.125	MHz
T _{EXTFDVAR}	External Clock Feedback Variation	< 20% of clock input period or 1 ns Max				
R _{STMINPULSE}	Minimum Reset Pulse Width	10	10	10	10	ns

注！

- ^[1]该测试数据是基于整数分频的结果。
- ^[2]当用到 Cascade 模式时，多个 Divider 可以串联得到更低的输出频率。
- ^[3]输出抖动会和输入的源相关，该测试数据基于低抖动的晶振作为输入源。
- ^[4]用户看到的 IO 上的 duty cycle 还会受 Clock Tree 的影响。

3.5 用户闪存电气特性

3.5.1 DC 电气特性

($T_J = -40 \sim +100^\circ\text{C}$, $V_{CC} = 1.08 \sim 1.32\text{V}$, $V_{CCX} = 1.62 \sim 3.63\text{V}$, $V_{SS} = 0\text{V}$)

表 3-22 用户闪存 DC 电气特性^{[1],[4]}

名称	参数	最大值		单位	Wake-up 时间	条件
		$V_{CC}^{[3]}$	V_{CCX}			
读模式 (w/I 25ns)	$I_{CC1}^{[2]}$	2.19	0.5	mA	NA	最小时钟周期, 占空比 100%, $V_{IN} = "1/0"$
写模式		0.1	12	mA	NA	
擦除模式		0.1	12	mA	NA	
页擦除模式		0.1	12	mA	NA	
读模式静态电流 (25-50ns 之间)	I_{CC2}	980	25	μA	NA	$XE=YE=SE = "1"$, 在 $T=T_{acc}$ 到 $T=50\text{ns}$ 之间, I/O 的电流为 0mA。T=50ns 之后, 内部定时器关闭读模式, I/O 的电流为待机模式电流
待机模式	I_{SB}	5.2	20	μA	0	V_{SS} 、 V_{CCX} 和 V_{CC}

注!

- [1]这些数值为直流平均电流值, 峰值电流值会高于该平均电流值。
- [2] I_{CC1} 在 T_{new} 不同的时钟周期计算。
 - 不允许 $T_{new} < T_{acc}$
 - $T_{new} = T_{acc}$: 见上表
 - $T_{acc} < T_{new} - 50\text{ns}$: $I_{CC1}(\text{new}) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}$
 - $T_{new} > 50\text{ns}$: $I_{CC1}(\text{new}) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50\text{ns} * I_{CC2}/T_{new} + I_{SB}$
 - $t > 50\text{ns}$: $I_{CC2} = I_{SB}$
- [3]从 wake-up time 的零时刻开始 V_{CC} 必须大于 1.08V。
- [4] Flash 的漏电流已包含在器件的漏电流中, 详见表 3-4。

3.5.2 时序参数

($T_J = -40 \sim +100^\circ\text{C}$, $V_{CC} = 0.95 \sim 1.05\text{V}$, $V_{CCX} = 1.7 \sim 3.45\text{V}$, $V_{SS} = 0\text{V}$)

表 3-23 用户闪存时序参数^{[1], [4], [5]}

用户模式	参数	符号	最小值	最大值	单位
	WC1	$T_{acc}^{[2]}$	-	25	ns

用户模式	参数	符号	最小值	最大值	单位
访问时间	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
编程/擦除到数据存储建立时间		T_{nvs}	5	-	μs
数据存储保持时间		T_{nvh}	5	-	μs
数据存储保持时间(整体擦除)		T_{nvh1}	100	-	μs
数据存储到编程建立时间		T_{pgs}	10	-	μs
编程保持时间		T_{pgh}	20	-	ns
编程时间		T_{prog}	8	16	μs
写准备时间		T_{wpr}	>0	-	ns
写保持时间		T_{whd}	>0	-	ns
控制信号到写/擦除建立时间		T_{cps}	-10	-	ns
SE 到读操作建立时间		T_{as}	0.1	-	ns
SE 脉冲的高电平时间		T_{pws}	5	-	ns
地址/数据建立时间		T_{ads}	20	-	ns
地址/数据保持时间		T_{adh}	20	-	ns
数据保持时间		T_{dh}	0.5	-	ns
读模式地址保持时间	WC1	T_{ah}	25	-	ns
	TC		22	-	ns
	BC		21	-	ns
	LT		21	-	ns
	WC		25	-	ns
SE 脉冲低电平时间		T_{nws}	2	-	ns
恢复时间		T_{rcv}	10	-	μs
数据存储时间		$T_{hv}^{[3]}$	-	6	ms

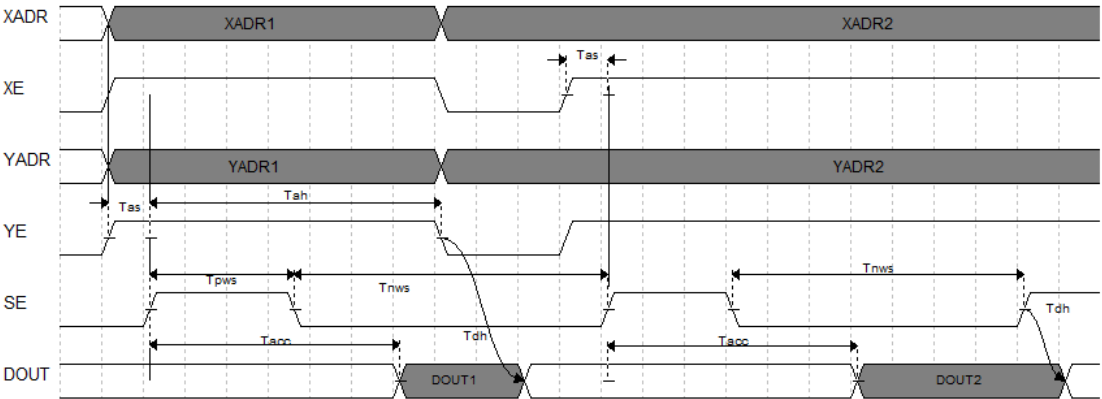
用户模式	参数	符号	最小值	最大值	单位
擦除时间		T_{erase}	100	120	ms
整体擦除时间		T_{me}	100	120	ms
掉电到待机模式的 Wake-up 时间		$T_{\text{wk_pd}}$	7	-	μs
待机保持时间		T_{sbh}	100	-	ns
VCC 建立时间		T_{ps}	0	-	ns
VCCx 保持时间		T_{ph}	0	-	ns

注！

- [1]这些数值为仿真数据，在实际器件中会有改变。
- [2]在信号 XADR、YADR、XE 和 YE 信号有效后， T_{acc} 的开始时间为 SE 信号的上升沿。读取的数据 DOUT 被保存直到在下一次有效的读操作开始。
- [3] T_{hv} 时间为写操作开始到数据下一次擦除操作之前的累积时间，同一个地址在下一次擦除之前不能被写入两次；同一个存储单元在下一次擦除之前不能被写入两次。这种限制是基于安全考虑的。
- [4]所有的波形都有 1ns 的上升沿时间和 1ns 的下降沿时间。
- [5]控制信号 X、YADR、XE 和 YE 信号需要至少保持 T_{acc} 的时间， T_{acc} 从 SE 的上升沿处开始。

3.5.3 操作时序图

图 3-1 读操作时序



4 器件订货信息

4.1 器件命名

- 注！
- 关于详细的管脚信息及封装信息，请参考 1.2 产品信息列表 1.3 封装信息列表。
 - 相同速度等级的小蜜蜂(LittleBee)家族器件和晨熙家族器件速度不同。
 - 高云器件 GW1NR 系列 FPGA 产品速度等级采用双标识，如 C6/I5，C7/I6 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足工业应用(I)和商业应用(C)。工业级最高温度 100℃，商业级最高温度 85℃，所以同一芯片如在商业级应用中满足速度等级 7，在工业级应用中速度等级则为 6。

图 4-1 GW1NR 器件命名方法示例-ES

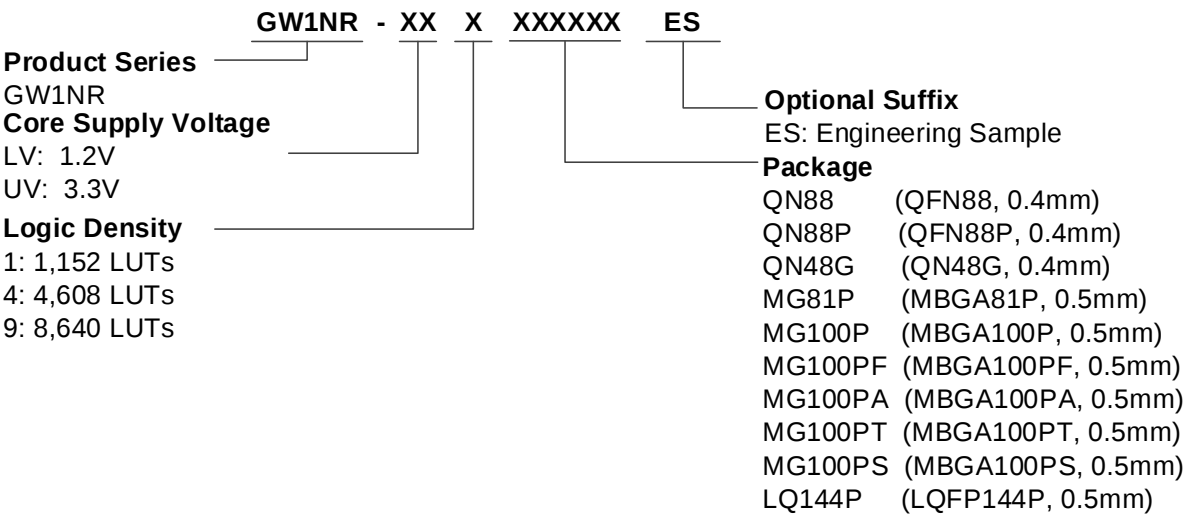
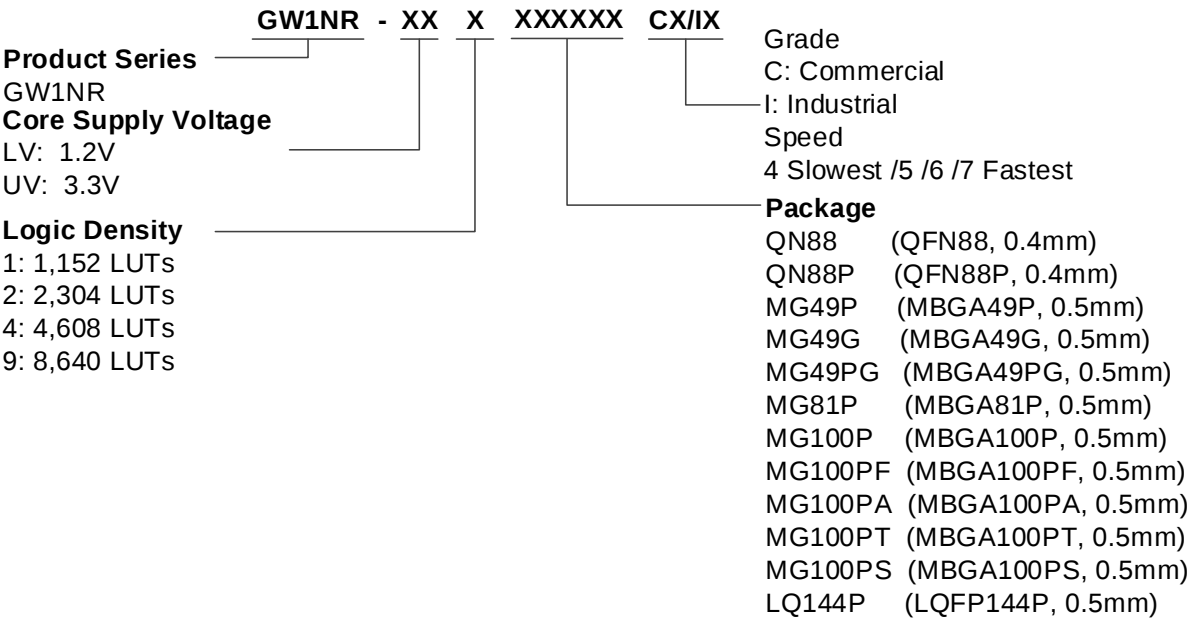


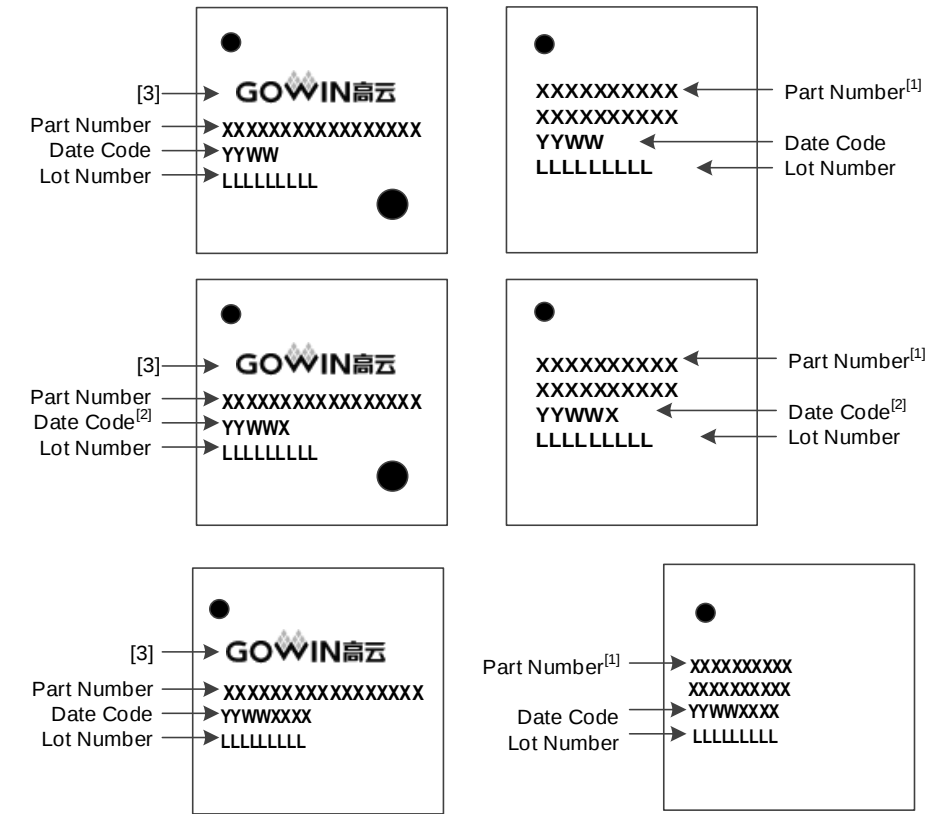
图 4-2 GW1NR 器件命名方法示例-Production



4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，封装标识示例如图 4-3 所示。

图 4-3 器件封装标识示例



注！

- [1] 上图右图中第一行与第二行均为“Part Number”。
- [2] X 版本器件的 Date Code 后增加一位版本标识“X”。
- [3] 具体器件的封装标识是否带高云 Logo 与封装形式、封装尺寸及 Part Number 长度有关，上图仅为封装标识的示例。

5 关于本手册

5.1 手册内容

GW1NR 系列 FPGA 产品数据手册主要包括高云半导体 GW1NR 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1NR 系列 FPGA 产品以及特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [UG290, Gowin FPGA 产品编程配置手册](#)
- [UG119, GW1NR 系列 FPGA 产品封装与管脚手册](#)
- [UG116, GW1NR-4 器件 Pinout 手册](#)
- [UG803, GW1NR-9 器件 Pinout 手册](#)
- [UG805, GW1NR-2 器件 Pinout 手册](#)

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器

术语、缩略语	全称	含义
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置逻辑块
CRU	Configurable Routing Unit	可编程布线单元
DCS	Dynamic Clock Selector	动态时钟选择器
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DSP	Digital Signal Processing	数字信号处理
EQ	ELQFP	ELQFP 封装
FN	QFN	QFN 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
IOB	Input/Output Block	输入输出模块
LQ	LQFP	LQFP 封装
LUT4	4-input Look-up Table	4 输入查找表
MG	MBGA	MBGA 封装
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
PLL	Phase-locked Loop	锁相环
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
QN	QFN	QFN 封装
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
SIP	System in Package	系统级封装
SP	Single Port 16K BSRAM	16K 单端口 BSRAM

术语、缩略语	全称	含义
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

