GW1NS 系列 FPGA 产品

数据手册

DS821-2.3, 2025-06-27

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、小蜜蜂、LittleBee、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/30	1.0	初始版本。
2018/11/16	1.1	增加 GW1NS-2C 器件信息。
2019/04/30	1.2	● 更新推荐工作电压范围列表； ● 电气特性中的环境温度更新为结温。
2019/10/09	1.3	● UX 版本的器件 V_{CCX} 需大于或者等于 V_{CCIO}； ● 增加 GW1NS-4C/4 器件； ● GW1NS-4C/4 器件的 BSRAM 不支持双端口模式； ● 更新 Cortex-M3。
2019/11/14	1.4	● 增加 CS49 封装信息； ● 更新最大 I/O 数； ● 更新 IODELAY 描述。
2020/03/18	1.5	● 新增 GW1NS-2 CS36U 封装信息； ● 增加 ADC 参考电压的描述； ● GW1NS-LX2 器件 VCCIO 电压范围≤1.8V； ● 更新电气特性章节的架构； ● 更新锁相环 CLKIN 频率描述。
2020/07/29	1.6	增加 GW1NS-4/4C MG64 封装信息。
2020/11/27	1.6.1	更新 ARM Cortex-M3 支持的最高工作频率。
2021/11/11	1.6.2	完善 I/O 电平标准、器件订货信息等内容。
2022/07/21	1.6.3	● 更新 I/O 推荐工作条件； ● 更新差分输入门限 V_{THD} 的最大值； ● 添加关于 USB 2.0 PHY 的注释。
2022/10/20	1.7	● 增加关于 DC 电流限制的注释。 ● 更新 GW1NS 系列器件的结构示意图。 ● 更新表 3-5 POR 电压参数。 ● 删除 GW1NS-2、GW1NS-2C 的相关信息。
2023/02/23	1.7.1	● 更新表 2-1 GW1NS 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置。 ● 更新表 3-3 电源上升斜率。 ● 更新表 3-8 推荐工作范围内 DC 电气特性。 ● 删除 3.4.4 字节使能功能配置。 ● 新增配置闪存资源的信息。 ● 更新表 3-1 绝对最大范围。 ● 删除 Slew Rate 的相关描述。 ● 更新表 3-24 GW1NS-4 器件用户闪存时序参数。 ● 新增说明到 2.5 用户闪存资源(GW1NS-4)。 ● 修改真 LVDS 的相关描述。
2023/05/25	1.7.2	● 更新 2.4.2BSRAM 配置模式。 ● 删除 GW1NS-4C 的 User Flash 的相关信息。
2023/06/30	1.8	● 将 I/O 逻辑输出示意图和 I/O 逻辑输入示意图合并为图

日期	版本	说明
		2-7 I/O 逻辑输入输出示意图。 ● 修改 GPIO 默认状态的相关注释。 ● 更新 MIPI 输入/输出的相关描述。 ● 更新表 3-3 电源上升斜率。 ● 新增 GW1NS-4 QN32 封装信息。
2023/10/11	1.9	● 调整文档结构。 ● 更新表 1-2 封装和最大用户 I/O 信息(LVDS 对数)，修正 GW1NS-4C 器件 MG64 封装的最大用户 IO 数。 ● 删除 2.4.6 上电情况。 ● 修改表 3-8 推荐工作范围内 DC 电气特性的注释。 ● 更新表 3-9 静态电流。 ● 优化表 3-15 Gearbox 时序参数。 ● 更新表 3-24 GW1NS-4 器件用户闪存时序参数。 ● 更新图 4-5 器件封装标识示例。 ● 优化 GPIO 默认状态的相关注释。
2024/05/09	2.0	● 更新 IODELAY 模块的描述。 ● 新增关于背景升级的描述。 ● 优化高速时钟的描述。 ● 新增最大 GPIO 数的相关注释到“表 1-1 产品信息列表”。 ● 添加注释到“表 3-2 推荐工作范围”。 ● 更新“表 3-11 单端 I/O DC 电气特性”：修改 LVCMOS12 电平标准的 I_{OL} 和 I_{OH}。 ● 更新“表 3-15 Gearbox 时序参数”。
2024/08/09	2.1	● 新增 GW1NS-4C LQ144 封装信息。 ● 修改双端口和伪双端口 BSRAM 功能描述的注释。
2025/04/30	2.2	● 更新 Cortex-M3 的描述。 ● 更新“表 2-1 GW1NS 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置”：修正部分 I/O 类型的驱动能力值。 ● 更新“表 2-2 GW1NS 系列 FPGA 产品支持的输入 I/O 类型及部分可选配置”：修改部分 I/O 类型的 VCCIO 值。 ● 更新“表 3-9 静态电流”。 ● 新增“表 3-16 单端 IO Fmax”。 ● 完善 MIPI IO 的描述。 ● 新增 GW1NS-4 CS81X 和 GW1NS-4C CS81X。 ● 修正片内晶振的频率。
2025/06/27	2.3	● 更新 GW1NS-4 CS81X 和 GW1NS-4C CS81X 的信息。 ● 优化“表 2-2 GW1NS 系列 FPGA 产品支持的输入 I/O 类型及部分可选配置”。

目录

目录 i
图目录 iv
表目录 v
1 产品概述 1
1.1 特性概述 1
1.2 产品信息列表 3
1.3 封装信息列表 3
2 结构介绍 4
2.1 结构框图 4
2.2 可配置功能单元 6
2.3 输入输出模块 7
2.3.1 I/O 电平标准 8
2.3.2 真 LVDS 设计 12
2.3.3 I/O 逻辑 13
2.3.4 I/O 逻辑工作模式 15
2.4 块状静态随机存储器 16
2.4.1 简介 16
2.4.2 BSRAM 配置模式 16
2.4.3 存储器混合数据宽度配置 18
2.4.4 校验位功能配置 18
2.4.5 同步操作 18
2.4.6 BSRAM 操作模式 19
2.4.7 时钟模式 20
2.5 用户闪存资源(GW1NS-4) 22
2.5.1 简介 22
2.6 数字信号处理模块 22
2.6.1 宏单元 22

2.6.2 DSP 操作模式配置 23
2.7 Cortex-M3 23
2.7.1 简介 23
2.7.2 Cortex-M3 25
2.7.3 总线矩阵 26
2.7.4 NVIC 26
2.7.5 启动模式 27
2.7.6 时间戳 28
2.7.7 定时器 28
2.7.8 UART 30
2.7.9 看门狗 31
2.7.10 GPIO 33
2.7.11 调试端口 34
2.7.12 内存映射 35
2.7.13 应用 35
2.8 MIPI D-PHY 35
2.8.1 GPIO 支持 MIPI D-PHY RX/TX 35
2.9 时钟 36
2.9.1 全局时钟 36
2.9.2 锁相环 36
2.9.3 高速时钟 36
2.10 长线 37
2.11 全局复置位 37
2.12 编程配置 37
2.12.1 SRAM 编程 37
2.12.2 Flash 编程 37
2.13 片内晶振 39
3 电气特性 40
3.1 工作条件 40
3.1.1 绝对最大范围 40
3.1.2 推荐工作范围 41
3.1.3 电源上升斜率 41
3.1.4 热插拔特性 41
3.1.5 POR 特性 41
3.2 ESD 性能 42
3.3 DC 电气特性 43
3.3.1 推荐工作范围 DC 电气特性 43

3.3.2 静态电流 44
3.3.3 I/O 推荐工作条件 44
3.3.4 单端 I/O DC 电气特性 45
3.3.5 差分 I/O DC 电气特性 46
3.4 开关特性 47
3.4.1 CLU 开关特性 47
3.4.2 时钟和 I/O 开关特性 47
3.4.3 Gearbox 开关特性 47
3.4.4 BSRAM 开关特性 48
3.4.5 DSP 开关特性 48
3.4.6 片内晶振开关特性 48
3.4.7 锁相环开关特性 49
3.5 Cortex-M3 电气特性 49
3.5.1 DC 电气特性 49
3.5.2 AC 电气特性 49
3.6 用户闪存电气特性(GW1NS-4) 50
3.6.1 DC 电气特性 50
3.6.2 AC 电气特性 50
3.6.3 操作时序图 52
3.7 编程接口时序标准 53
4 器件订货信息 54
4.1 器件命名 54
4.2 器件封装标识示例 56
5 关于本手册 57
5.1 手册内容 57
5.2 相关文档 57
5.3 术语、缩略语 58
5.4 技术支持与反馈 59

图目录

图 2-1 GW1NS-4 器件结构示意图 4
图 2-2 GW1NS-4C 器件结构示意图 5
图 2-3 CLU 结构示意图 7
图 2-4 IOB 结构示意图 8
图 2-5 GW1NS-4C/4 器件 I/O Bank 分布示意图 9
图 2-6 真 LVDS 设计参考框图 13
图 2-7 I/O 逻辑输入输出示意图 13
图 2-8 IODELAY 示意图 14
图 2-9 I/O 寄存器示意图 15
图 2-10 IEM 示意图 15
图 2-11 单端口、伪双端口及双端口模式下的流水线模式 19
图 2-12 独立时钟模式 21
图 2-13 读写时钟模式 21
图 2-14 单端口时钟模式 21
图 2-15 Cortex-M3 结构框图 25
图 2-16 DEMCR 寄存器 28
图 2-17 Timer0/ Timer1 结构框图 29
图 2-18 APB UART Buffering 30
图 2-19 Watchdog 操作方式 32
图 2-20 内存映射 35
图 2-21 GW1NS-4C/4 HCLK 示意图 37
图 3-1 读操作时序 52
图 3-2 编程操作时序 52
图 3-3 擦除操作时序 52
图 4-1 器件命名方法示例–ES 54
图 4-2 含 Cortex-M3 器件命名方法示例–ES 55
图 4-3 器件命名方法示例–Production 55
图 4-4 含 Cortex-M3 器件命名方法示例–Production 55
图 4-5 器件封装标识示例 56

表目录

表 1-1 产品信息列表 3
表 1-2 封装和最大用户 I/O 信息(LVDS 对数) 3
表 2-1 GW1NS 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置 9
表 2-2 GW1NS 系列 FPGA 产品支持的输入 I/O 类型及部分可选配置[1] 11
表 2-3 端口介绍 14
表 2-4 IODELAY 总延迟参考 14
表 2-5BSRAM 配置列表 16
表 2-6 双端口混合读写数据宽度配置列表 18
表 2-7 伪双端口混合读写数据宽度配置列表 18
表 2-8 时钟模式配置列表 20
表 2-9 NVIC 中断向量表 26
表 2-10 Timer0/ Timer1 寄存器 29
表 2-11 UART0/UART1 寄存器 30
表 2-12 Watchdog 寄存器 32
表 2-13 GPIO 寄存器 33
表 2-14 GW1N 系列 FPGA 产品的 MIPI IO 类型支持列表 35
表 2-15 GW1NS-4C/4 器件片内晶振的部分输出频率选项 39
表 3-1 绝对最大范围 40
表 3-2 推荐工作范围 41
表 3-3 电源上升斜率 41
表 3-4 热插拔特性 41
表 3-5 POR 电压参数 41
表 3-6 GW1NS ESD – HBM 42
表 3-7 GW1NS ESD – CDM 42
表 3-8 推荐工作范围内 DC 电气特性 43
表 3-9 静态电流 44
表 3-10 I/O 推荐工作条件 44
表 3-11 单端 I/O DC 电气特性 45
表 3-12 差分 I/O DC 电气特性(LVDS) 46

表 3-13 CLU 时序参数 47
表 3-14 外部开关特性 47
表 3-15 Gearbox 时序参数 47
表 3-16 单端 IO Fmax 48
表 3-17 BSRAM 时序参数 48
表 3-18 DSP 时序参数 48
表 3-19 片内晶振特性参数 48
表 3-20 锁相环特性参数 49
表 3-21 电流特性 49
表 3-22 时钟参数 49
表 3-23 GW1NS-4 器件用户闪存 DC 电气特性[1] 50
表 3-24 GW1NS-4 器件用户闪存时序参数[1], [4], [5] 50
表 5-1 术语、缩略语 58

1 产品概述

高云半导体 GW1NS FPGA 产品属于小蜜蜂(LittleBee)家族 1 系列，包括 GW1NS-4C 器件和 GW1NS-4 器件，GW1NS-4C 器件内嵌 ARM Cortex-M3 硬核处理器。

GW1NS-4C 器件以 ARM Cortex-M3 硬核处理器为核心，具备了实现系统功能所需要的最小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断。GW1NS-4C 器件实现了可编程逻辑器件和嵌入式处理器的无缝连接，兼容多种外围器件标准，可大幅降低用户成本，可广泛应用于工业控制、通信、物联网、伺服驱动、消费等多个领域。

此外，GW1NS 系列 FPGA 产品具有高性能、低功耗、管脚数量少、使用灵活、瞬时启动、低成本、非易失性、高安全性、封装类型丰富等特点。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NS 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 低功耗
  - 55nm 嵌入式闪存工艺
  - 核电压：1.2V
  - GW1NS-4C/4 支持 LV 版本
  - 支持时钟动态打开/关闭
- 硬核微处理器
  - Cortex-M3 32-bit RISC 内核
  - ARM3v7M 架构，针对小封装嵌入式应用方案进行了优化
  - 系统定时器，提供了一个简单的 24 位写清零、递减、自装载计数器，具有灵活的控制机制
  - Thumb 兼容，Thumb-2 指令集处理器可以获取更高的代码密度
  - GW1NS-4C 支持最高 80MHz 的工作频率
  - 硬件除法和单周期乘法
  - 集成 NVIC，提供确定性中断处理
  - 26 个中断，具有 8 个优先级

- 内存保护单元，提供特权模式来保护操作系统的功能
- 非对齐数据访问，数据能够更高效的装入内存
- Bit-banding，精确的位操作，最大限度的利用了存储空间，改善了对外设的控制
- Timer0 和 Timer1
- UART0 和 UART1
- watchdog
- 调试端口：JTAG 和 TPIU

- 用户闪存资源(GW1NS-4)
  - NOR Flash
  - 内嵌 256Kbits 存储空间
  - 32-bit 数据位宽
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85℃)
- 配置闪存资源
  - NOR Flash
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85℃)
- 支持多种 I/O 电平标准
  - LVCMOS33/25/18/15/12；LVTTL33，SSTL33/25/18 I，SSTL33/25/18 II，SSTL15；HSTL18 I，HSTL18 II，HSTL15 I；PCI，LVDS25，RSDS，LVDS25E，BLVDSE，MLVDSE，LVPECLE，RSDSE
  - 提供输入信号迟滞选项
  - 提供输出信号驱动电流选项
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
- GPIO 支持 MIPI D-PHY RX/TX
  - 支持 MIPI CSI-2 和 MIPI DSI，RX 和 TX 器件接口，传输速率单通道可达 1.2Gbps
  - 可选 3 种 IO 类型：TLVDS、ELVDS、MIPI IO
- 丰富的基本逻辑单元
  - 4 输入 LUT(LUT4)
  - 支持移位寄存器
- 支持多种模式的静态随机存储器
  - 支持双端口、单端口以及伪双端口模式
- 灵活的 PLL 资源
  - 实现时钟的倍频、分频和相移
  - 全局时钟网络资源
- 内置 Flash 编程
  - 瞬时启动
  - 支持安全位操作
  - 支持 AUTO BOOT 和 DUAL BOOT 编程模式
- 编程配置模式
  - 支持 JTAG 配置模式
  - 支持多种 GowinCONFIG 配置模式：AUTOBOOT、DUAL BOOT、SSPI、MSPI、CPU、SERIAL

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW1NS-4	GW1NS-4C
逻辑单元(LUT4)	4,608	4,608
寄存器(FF)	3,456	3,456
块状静态随机存储器 BSRAM(bits)	180K	180K
块状静态随机存储器数目 BSRAM(个)	10	10
乘法器 (18 x 18 Multiplier)	16	16
用户闪存(bits)	256K	-
锁相环(PLLs)	2	2
OSC	1，精度±5%	1，精度±5%
硬核处理器	-	Cortex-M3
I/O Bank 总数	4	4
最大 GPIO 数[1]	106	106
核电压	1.2V	1.2V

注！

[1]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 1-2。

1.3 封装信息列表

表 1-2 封装和最大用户 I/O 信息(LVDS 对数)

封装	间距 (mm)	尺寸 (mm)	GW1NS-4C	GW1NS-4
CS49	0.4	2.9 x 2.9	42(8)	42(8)
CS81X	0.4	3.6 x 3.6	67(5)	67(5)
LQ144	0.5	20 x 20	82(5)	-
MG64	0.5	4.2 x 4.2	55(8)	55(8)
QN32	0.5	5 x 5	-	23(1)
QN48	0.4	6 x 6	38(4)	38(4)

注！

- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 GPIO，但当 mode[2:0]=001 时，JTAGSEL_N 始终为 GPIO，此时可将 JTAGSEL_N 和 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）同时用作 GPIO。详细信息请参考 UG823, GW1NS 系列 FPGA 产品封装与管脚手册。
- 本手册中 GW1NS 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参见 4.1 器件命名。
- 详细信息请参见 UG824, GW1NS-4&4C 器件 Pinout。

2结构介绍

2.1 结构框图

图 2-1 GW1NS-4 器件结构示意图

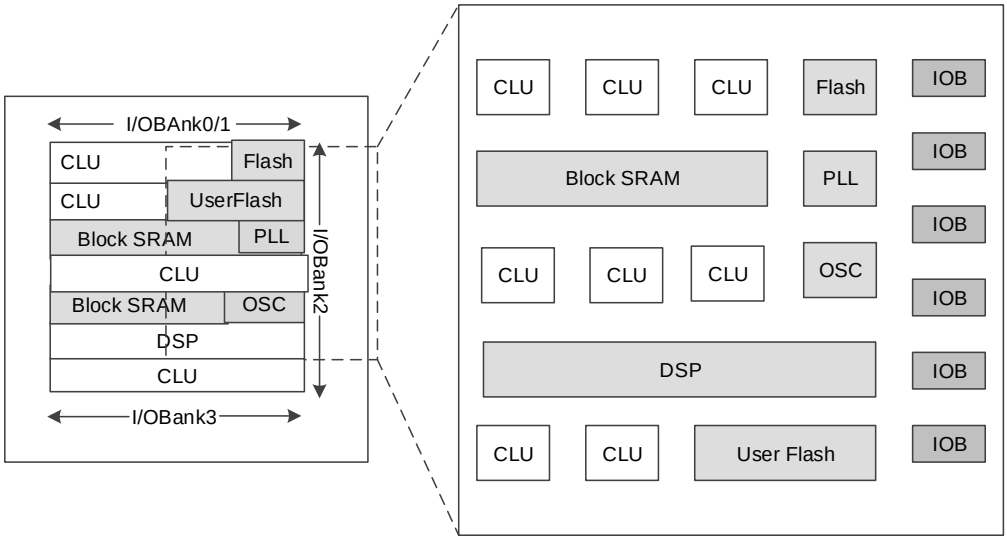
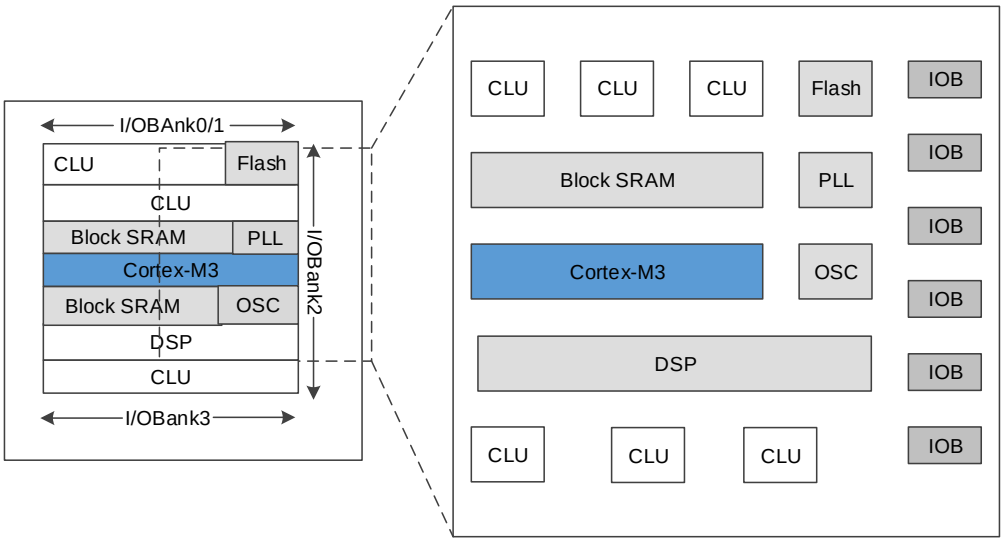


图 2-2 GW1NS-4C 器件结构示意图



GW1NS 系列 FPGA 器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了静态随机存储器（BSRAM）模块、数字信号处理模块 DSP、PLL 资源、片内晶振和闪存资源，支持瞬时启动功能。详细信息请参见表 1-1。

GW1NS 系列 FPGA 产品基本的组成部分为可配置逻辑单元(CLU，Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。详细资料请参见 2.2 可配置功能单元。

GW1NS 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细资料请参见 2.3 输入输出模块。

GW1NS 系列 FPGA 产品的块状静态随机存储器（BSRAM）在器件内部按照行排列，一个 BSRAM 在器件内部占用 3 个 CLU 的位置。BSRAM 提供两种使用方式：一是用作 Cortex-M3 处理器系统的 SRAM 资源，用于存储器数据的读写。高云半导体提供的云源软件支持用户配置 SRAM 使用资源，比如 2K-Byte/4K-Byte/8K-Byte 等，用作 Cortex-M3 的 SRAM 资源的一个 BSRAM 容量大小为 16Kbits(2K-Byte)，未使用的 BSRAM 可用作用户的存储资源。二是作为用户的存储资源，一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式，详细资料请参见 2.4 块状静态随机存储器。

GW1NS-4 内嵌了用户闪存资源，掉电数据不会丢失。详细信息请参见 2.5 用户闪存资源(GW1NS-4)。

GW1NS-4C/4 器件中内嵌了数字信号处理模块 DSP。每个 DSP 包含两个宏单元，每个宏单元包含两个预加器(pre-adders)，两个 18 位的乘法器(multipliers)和一个三输入的算术/逻辑运算单元(ALU54)。详细资料请参见 2.6 数字信号处理模块。

GW1NS 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率

调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振。详细资料请参见 2.9 时钟和 2.13 片内晶振。

GW1NS 系列 FPGA 产品内嵌的配置 Flash 资源用于内置 Flash 编程，支持瞬时启动和安全位操作，支持 AUTO BOOT 和 DUAL BOOT 编程模式。

GW1NS-4C 器件内嵌 Cortex-M3 的硬核处理器，系统启动时支持 30MHz 的程序加载，支持和“内存”之间更高速的数据/指令传输。通过 AHB 扩展总线方便与外部存储设备通信。通过 APB 总线方便与外部设备进行通信，如 UART 等。通过 GPIO 接口可以灵活方便的与外部接口通信，FPGA 编程实现不同接口/标准的控制器功能，如 SPI、I^2C、I3C 等。详细资料请参考 2.7 Cortex-M3。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU，Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。CLU 和 IOB 内部都分布着布线资源，连通了 CLU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW1NS 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料请参考 2.9 时钟、2.10 长线和 2.11 全局复置位。

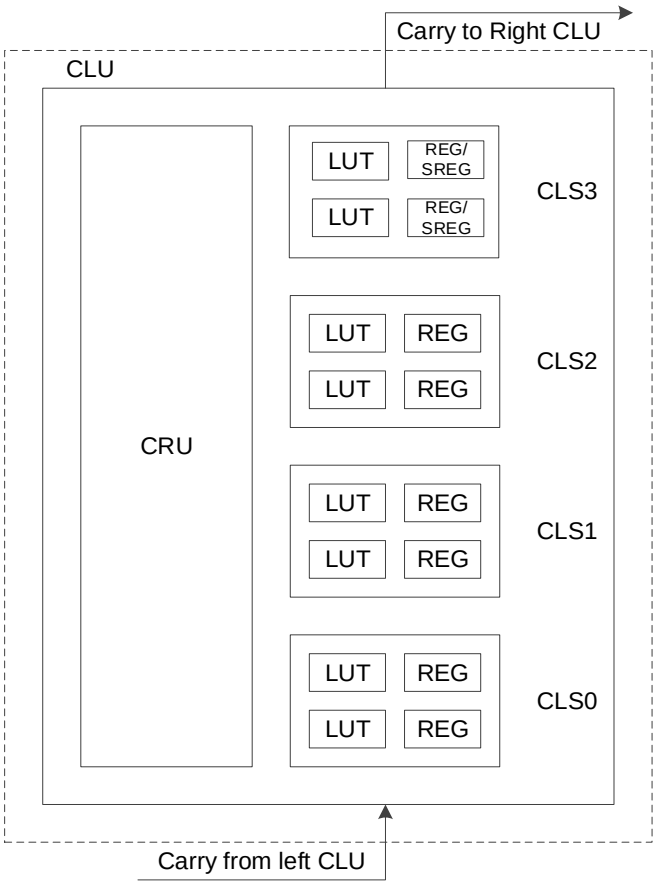
2.2 可配置功能单元

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体 FPGA 产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中三个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，另外一个可配置逻辑块只包含两个四输入查找表，如图 2-3 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU/CLU 的更多详细信息，请参考 UG288，Gowin 可配置功能单元(CFU)用户指南。

图 2-3 CLU 结构示意图



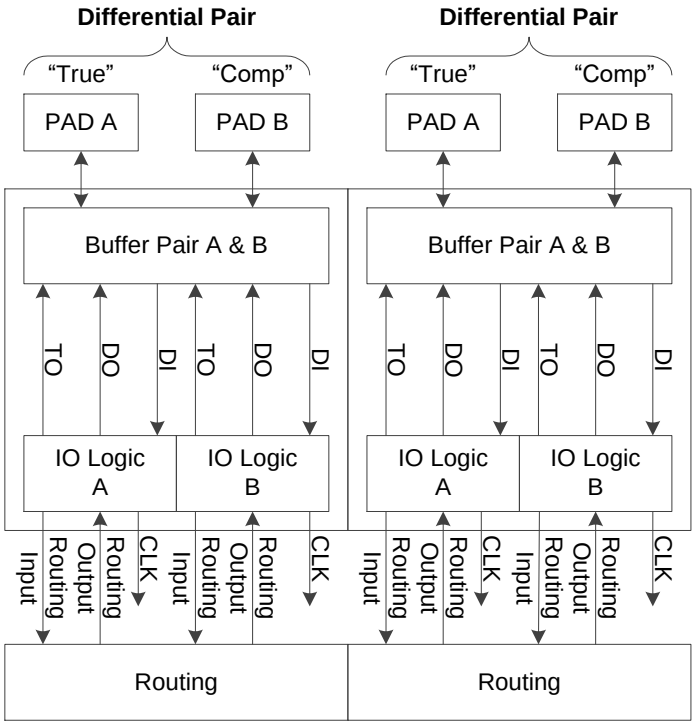
注！

SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。

2.3 输入输出模块

GW1NS 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。下图为两个 IOB 的结构示意图，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-4 IOB 结构示意图



GW1NS 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 V_{CCIO} 机制。
- 支持 LVCMOS、PCI、LVTTL、LVDS、SSTL 以及 HSTL 等多种电平标准，GW1NS-4C/4 的 Bank3 只支持单端 LVCMOS 输入/输出和 LVDS25E 差分输出。
- 提供输入信号迟滞选项。
- 提供输出信号驱动电流选项。
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项。
- 支持热插拔，GW1NS-4C/4 的 Bank3 除外。
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。
- GW1NS-4C/4 的 Bank0/Bank1 支持通过 MIPI IO 类型实现 MIPI 输入。
- GW1NS-4C/4 的 Bank2 支持通过 MIPI IO 类型实现 MIPI 输出。
- GW1NS-4C/4 的 Bank0/Bank1/Bank2 支持 I3C。

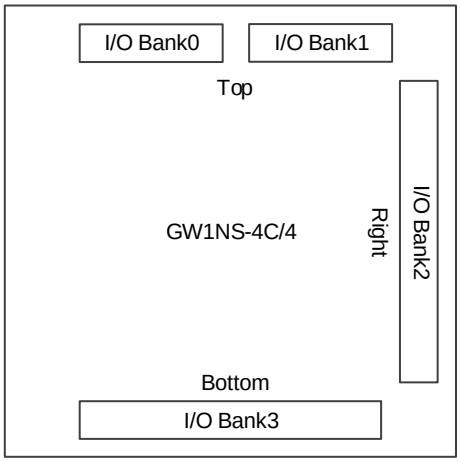
2.3.1 ~ 2.3.4 分别描述了 I/O 电平标准、真 LVDS 设计、I/O 逻辑、I/O 逻辑工作模式等信息，更多关于 I/O 模块的更多详细信息，请参考 UG289，Gowin 可编程通用管脚(GPIO)用户指南。

2.3.1 I/O 电平标准

GW1NS 系列 FPGA 产品的 I/O 包括 4 个 Bank，如图 2-5 所示，每个 Bank 有独立的 I/O 电源 V_{CCIO}。

为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 0.5*V_{CCIO})，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

图 2-5 GW1NS-4C/4 器件 I/O Bank 分布示意图



GW1NS-4C/4 系列 FPGA 产品只支持 LV 版本。

GW1NS 系列 FPGA 产品核电压 V_{CC} 为 1.2V.

LV 版本器件内部没有线性稳压器，辅助电压 V_{CCX} 支持 1.8V、2.5V 和 3.3V，I/O Bank 电压 V_{CCIO} 可根据需要在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。

注！

- GW1NS-4C/4 器件 Bank0/Bank1 用作 MIPI 输入时，V_{CCIO0}/V_{CCIO1} 需设置为 1.2V，Bank2 用作 MIPI 输出时 V_{CCIO2} 需设置为 1.2V；并且 V_{CCX} 设置为 1.8V 时 MIPI 的速度仅能达到 V_{CCX} 设置为 2.5V/3.3V 时 MIPI 速度的 60%；
- 配置过程中，器件所有 GPIO 均为高阻态、内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。

不同的 I/O 输出/输入标准对 V_{CCIO} 的要求如表 2-1 及表 2-2 所示。

表 2-1 GW1NS 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置

I/O 类型(输出)	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	典型应用
LVCMOS33/ LVTTL33	单端	3.3	4/8/12/16/24	通用接口
LVCMOS25	单端	2.5	4/8/12/16	通用接口
LVCMOS18	单端	1.8	4/8/12	通用接口
LVCMOS15	单端	1.5	4/8	通用接口
LVCMOS12	单端	1.2	4/8	通用接口
SSTL25_I	单端	2.5	8	存储接口
SSTL25_II	单端	2.5	8	存储接口
SSTL33_I	单端	3.3	8	存储接口
SSTL33_II	单端	3.3	8	存储接口

I/O 类型(输出)	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	典型应用
SSTL18_I	单端	1.8	8	存储接口
SSTL18_II	单端	1.8	8	存储接口
SSTL15	单端	1.5	8	存储接口
HSTL18_I	单端	1.8	8	存储接口
HSTL18_II	单端	1.8	8	存储接口
HSTL15_I	单端	1.5	8	存储接口
PCI33	单端	3.3	4/8	PC 和嵌入式系统
LVPECL33E	差分	3.3	16	高速数据传输
MLVDS25E	差分	2.5	16	LCD 时序驱动与列驱动器接口
BLVDS25E	差分	2.5	16	多点高速数据传输
RSDS25E	差分	2.5	8	点对点高速数据传输
LVDS25E	差分	2.5	8	点对点高速数据传输
MIPI	差分（MIPI）	1.2	3.5	移动行业处理器接口
LVDS25	差分（True LVDS）	2.5/3.3	2/2.5/3.5/6	点对点高速数据传输
RSDS	差分（True LVDS）	2.5/3.3	2	点对点高速数据传输
MINILVDS	差分（True LVDS）	2.5/3.3	2	LCD 时序驱动与列驱动器接口
PPLVDS	差分（True LVDS）	2.5/3.3	3.5	LCD 行/列驱动
SSTL15D	差分	1.5	8	存储接口
SSTL25D_I	差分	2.5	8	存储接口
SSTL25D_II	差分	2.5	8	存储接口
SSTL33D_I	差分	3.3	8	存储接口
SSTL33D_II	差分	3.3	8	存储接口
SSTL18D_I	差分	1.8	8	存储接口
SSTL18D_II	差分	1.8	8	存储接口
HSTL18D_I	差分	1.8	8	存储接口
HSTL18D_II	差分	1.8	8	存储接口
HSTL15D_I	差分	1.5	8	存储接口
LVCMOS12D	差分	1.2	4/8	通用接口
LVCMOS15D	差分	1.5	4/8	通用接口
LVCMOS18D	差分	1.8	4/8/12	通用接口
LVCMOS25D	差分	2.5	4/8/12/16	通用接口
LVCMOS33D	差分	3.3	4/8/12/16/24	通用接口

注！

GW1NS-4C/4 器件的 Bank3 只支持 LVCMOS 单端输出和 LVDS25E 差分输出。

表 2-2 GW1NS 系列 FPGA 产品支持的输入 I/O 类型及部分可选配置[1]

I/O 类型(输入)	单端/差分	Bank V_{CCIO}(V)	支持迟滞选项	是否需要 V_{REF}
LVCMOS12[2]	单端	1.2	是	否
LVCMOS12UD15[2],[3]	单端	1.5	否	否
LVCMOS12UD18[2],[3]	单端	1.8	否	否
LVCMOS12UD25[2],[3]	单端	2.5	否	否
LVCMOS12UD33[2],[3]	单端	3.3	否	否
LVCMOS15OD12[2],[3]	单端	1.2	否	否
LVCMOS15[2]	单端	1.5	是	否
LVCMOS15UD18[2],[3]	单端	1.8	否	否
LVCMOS15UD25[2],[3]	单端	2.5	否	否
LVCMOS15UD33[2],[3]	单端	3.3	否	否
LVCMOS18OD15[2],[3]	单端	1.5	否	否
LVCMOS18[2]	单端	1.8	是	否
LVCMOS18UD25[2],[3]	单端	2.5	否	否
LVCMOS18UD33[2],[3]	单端	3.3	否	否
LVCMOS25OD15[2],[3]	单端	1.5	否	否
LVCMOS25OD18[2],[3]	单端	1.8	否	否
LVCMOS25[2]	单端	2.5	是	否
LVCMOS25UD33[2],[3]	单端	3.3	否	否
LVCMOS33OD15[2],[3]	单端	1.5	否	否
LVCMOS33OD18[2],[3]	单端	1.8	否	否
LVCMOS33OD25[2],[3]	单端	2.5	否	否
LVCMOS33[2]	单端	3.3	是	否
LVTTL33	单端	3.3	是	否
SSTL15	单端	1.5	否	是
SSTL25_I	单端	2.5	否	是
SSTL25_II	单端	2.5	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
SSTL18_I	单端	1.8	否	是
SSTL18_II	单端	1.8	否	是
HSTL18_I	单端	1.8	否	是
HSTL18_II	单端	1.8	否	是
HSTL15_I	单端	1.5	否	是
PCI33	单端	3.3	是	否
VREF1_DRIVER	单端（Vref Input）	1.2/1.5/1.8/2.5/3.3	否	是
MIPI	差分（MIPI）	1.2	否	否
LVDS25	差分	2.5/3.3	否	否

I/O 类型(输入)	单端/差分	Bank V_{CCIO}(V)	支持迟滞选项	是否需要 V_{REF}
RSDS	差分	2.5/3.3	否	否
MINILVDS	差分	2.5/3.3	否	否
PPLVDS	差分	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
RSDS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
SSTL15D	差分	1.5	否	否
SSTL25D_I	差分	2.5	否	否
SSTL25D_II	差分	2.5	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
SSTL18D_I	差分	1.8	否	否
SSTL18D_II	差分	1.8	否	否
HSTL18D_I	差分	1.8	否	否
HSTL18D_II	差分	1.8	否	否
HSTL15D_I	差分	1.5	否	否
LVCMOS12D	差分	1.2	否	否
LVCMOS15D	差分	1.5	否	否
LVCMOS18D	差分	1.8	否	否
LVCMOS25D	差分	2.5	否	否
LVCMOS33D	差分	3.3	否	否

注！

- [1] GW1NS-4C/4 器件的 Bank3 只支持 LVCMOS 单端输入。
- [2] LVCMOS12 标准可以通过 LVCMOS12、LVCMOS12UD15、VCMOS12UD18、LVCMOS12UD25、以及 LVCMOS12UD33 等 I/O 类型来实现，它们支持不同的 V_{CCIO}。LVCMOS15/LVCMOS18/LVCMOS25/LVCMOS33 标准同理。
- [3] OD=over drive, UD=under drive。使用 OD/UD 类型时，需将对应 IO 的 Pull Mode 设置为 NONE，PCI Clamp 设置为 OFF。

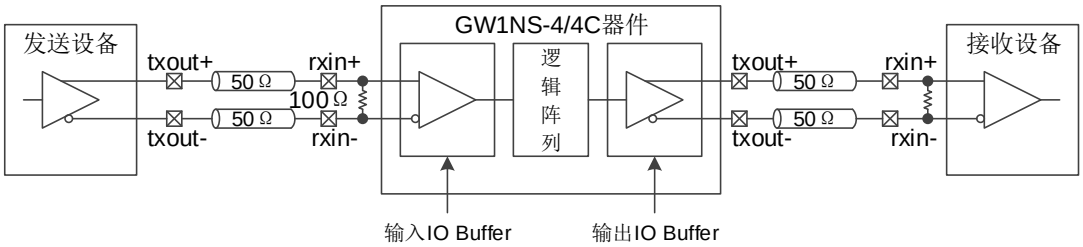
2.3.2 真 LVDS 设计

GW1NS-4/4C 器件的 Bank2 支持真 LVDS 输出。此外，GW1NS 系列 FPGA 产品还支持 LVDS25E、MLVDS25E、BLVDS25E 等电平类型。

真 LVDS 的分布详细资料请参见 UG824, GW1NS-4&4C 器件 Pinout。

LVDS 的输入端 IO 需要 100 欧姆终端电阻做匹配，设计参考如图 2-6 所示。GW1NS-4/4C 器件的 Bank0/1 支持片内可编程的 100 欧姆输入差分匹配电阻，详见 UG289, Gowin 可编程通用管脚（GPIO）用户指南。

图 2-6 真 LVDS 设计参考框图



LVDS25E、MLVDS25E、BLVDS25E 等差分 IO 终端匹配电阻网络请参见 UG289，Gowin 可编程通用管脚（GPIO）用户指南。

2.3.3 I/O 逻辑

图 2-7 为 GW1NS 系列 FPGA 产品的 I/O 逻辑的输入输出部分。

图 2-7 I/O 逻辑输入输出示意图

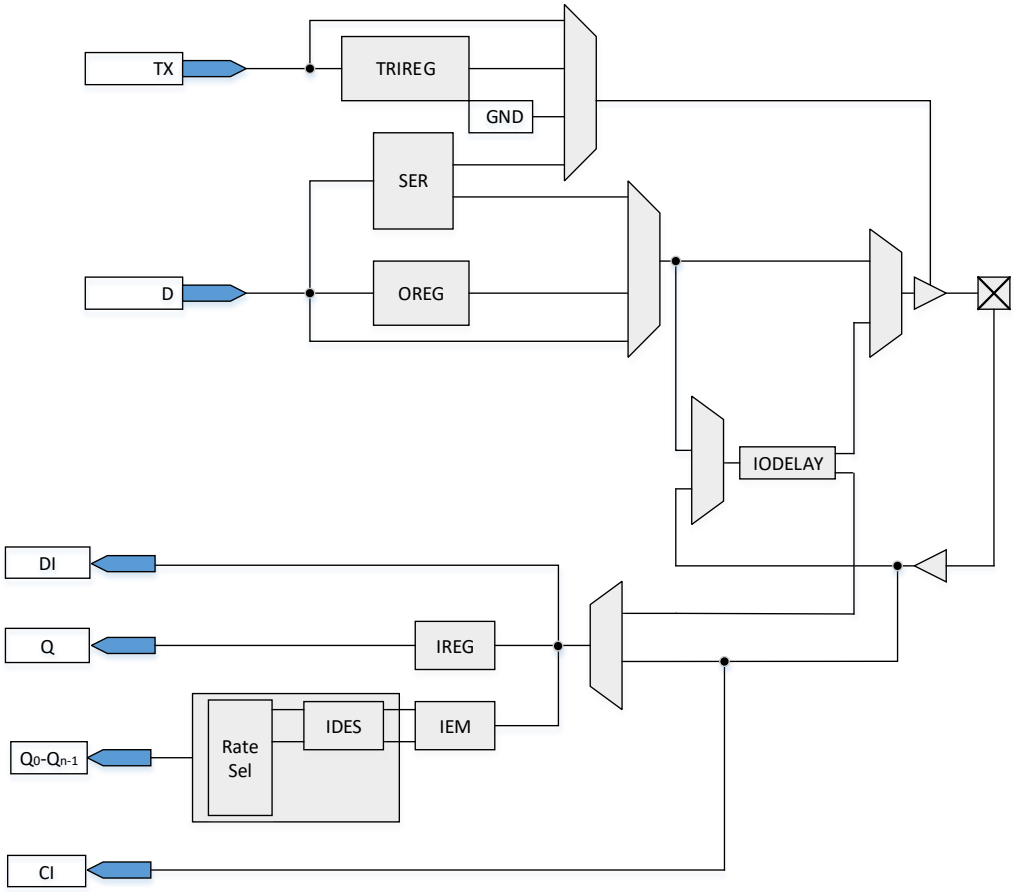


表 2-3 端口介绍

端口名	I/O	描述
CI[1]	Input	GCLK 输入信号。 GCLK 输入信号的数量请参考 UG824, GW1NS-4&4C 器件 Pinout。
DI	Input	IO 口低速输入信号，直接输入到 Fabric。
Q	Output	SDR 模块中 IREG 输出信号。
Q_0-Q_{n-1}	Output	DDR 模块中 IDES 输出信号。

注！

[1] 当 CI 作为 GCLK 输入使用时，DI、Q 及 Q_0-Q_{n-1} 不能作为 IO 输入输出使用。

GW1NS 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

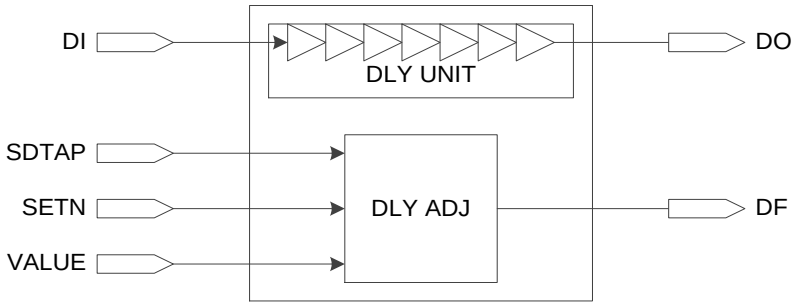
延迟模块

图 2-8 为延迟模块 IODELAY。GW1NS 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，用户可以通过该模块在 I/O 上增加额外的 delay 用于调整输入输出信号的延时。每一步的延迟时间为 $T_{dlyunit}$，总共可以提供的步数为 DLYSTEP。IODELAY 总延迟时间为：$T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$，总延迟参考时间如表 2-4 所示。

表 2-4 IODELAY 总延迟参考

	Min.	Typ.	Max.
$T_{dlyoffset}$	450ps	500ps	550ps
$T_{dlyunit}$	-	30ps	-
DLYSTEP	0	-	127

图 2-8 IODELAY 示意图



有两种控制延迟的方式：

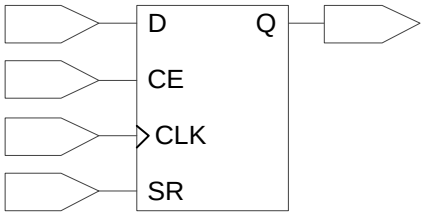
- 静态控制；
- 动态控制，可与 IEM 模块（取样模块）一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 2-9 为 GW1NS 系列 FPGA 产品的 I/O 寄存器模块。GW1NS 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG

和高阻控制寄存器 TRIREG。

图 2-9 I/O 寄存器示意图



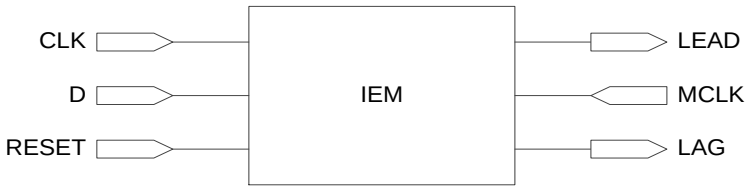
注！

- CE 可以编程为低电平有效(0：enable)或高电平有效(1：enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或锁存器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式，如图 2-10 所示。

图 2-10 IEM 示意图



解串器 DES 模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

2.3.4 I/O 逻辑工作模式

GW1NS 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

2.4 块状静态随机存储器

2.4.1 简介

GW1NS 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（BSRAM）。在 FPGA 阵列中每个 BSRAM 模块占用 3 个 CLU 的位置。

BSRAM 支持两种功能：

1. 用作 Cortex-M3 的 SRAM 资源，为 Cortex-M3 提供高速的数据读/写存储功能，保证系统的运行，此时，一个 BSRAM 有效容量为 16Kbits(2K-Byte)。高云半导体提供的云源软件支持用户配置 Cortex-M3 的 SRAM 容量，比如 2K-Byte/4K-Byte/8K-Byte 等。未使用的 BSRAM 仍可用作 FPGA 的存储资源。
2. 用作 FPGA 的数据存储，每个 BSRAM 可配置最高 18Kbits，提供的配置模式包括：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，只读存储器模式。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 190MHz
- 单端口模式(Single Port)
- 双端口模式(Dual Port)
- 伪双端口模式(Semi Dual Port)
- 提供校验位(Parity Bits)
- 提供只读存储器模式(ROM)
- 数据宽度从 1 位到 36 位
- 多时钟操作模式(Mixed Clock Mode)
- 多数据宽度模式(Mixed Data Width Mode)
- 异步复位，可同步释放
- 正常读写(Normal Read and Write)
- 先读后写(Read-before-write)
- 通写(Write-Through)

2.4.2 BSRAM 配置模式

GW1NS 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 2-5 所示。

表 2-5BSRAM 配置列表

单端口模式	双端口模式[1]	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4

单端口模式	双端口模式[1]	伪双端口模式	只读模式
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

注！

[1] GW1NS-4C/4 器件不支持双端口模式。

单端口模式

单端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 3 种写模式（Normal 模式、Write-Through 模式和 Read-before-Write 模式）。在单端口模式下，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中，被写入的数据会传到 BSRAM 的输出。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

双端口模式

双端口模式可支持 2 种读模式（bypass 模式和 pipeline 模式）和 2 种写模式（Normal 模式和 Write-Through 模式）。可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

注！

禁止对同一地址同时进行读写操作。

关于双端口模式的端口示意图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

伪双端口模式

伪双端口模式可支持 2 种读模式（bypass 模式和 pipeline 模式）和 1 种写模式（normal 模式）。伪双端口可支持同时的读和写操作。但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

注！

禁止对同一地址同时进行读写操作。

关于伪双端口模式的端口示意图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始

化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

2.4.3 存储器混合数据宽度配置

GW1NS 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 2-6 和表 2-7 的配置来应用。

表 2-6 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	Yes	Yes	Yes	Yes	Yes	N/A	N/A
8K x 2	Yes	Yes	Yes	Yes	Yes	N/A	N/A
4K x 4	Yes	Yes	Yes	Yes	Yes	N/A	N/A
2K x 8	Yes	Yes	Yes	Yes	Yes	N/A	N/A
1K x 16	Yes	Yes	Yes	Yes	Yes	N/A	N/A
2K x 9	N/A	N/A	N/A	N/A	N/A	Yes	Yes
1K x 18	N/A	N/A	N/A	N/A	N/A	Yes	Yes

注！

GW1NS-4C/4 器件不支持双端口模式。

表 2-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
8K x 2	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
4K x 4	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
2K x 8	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
1K x 16	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
512x32	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A
2K x 9	N/A	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes
1K x 18	N/A	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes

2.4.4 校验位功能配置

所有的块状静态随机存储器模块 BSRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位，也可以用来存储数据。

2.4.5 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入；

- 输出寄存器可用作流水线寄存器提高用户的设计性能；
- 输出寄存器可旁路。

2.4.6 BSRAM 操作模式

BSRAM 支持 5 种操作模式，包括 2 种读操作模式：旁路(Bypass)模式、流水线(Pipeline)模式；3 种写操作模式：正常写(Normal)模式、通写(Write-Through)模式、先读后写(Read-before-Write)模式。

读操作模式

可选择以通过输出寄存器的方式或不通过输出寄存器的方式从 BSRAM 读出数据。

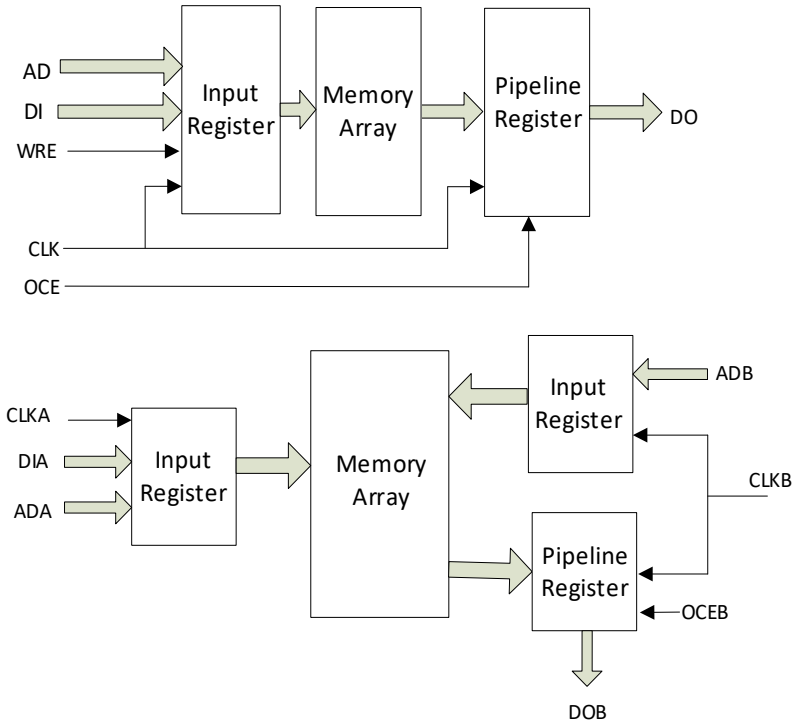
流水线模式

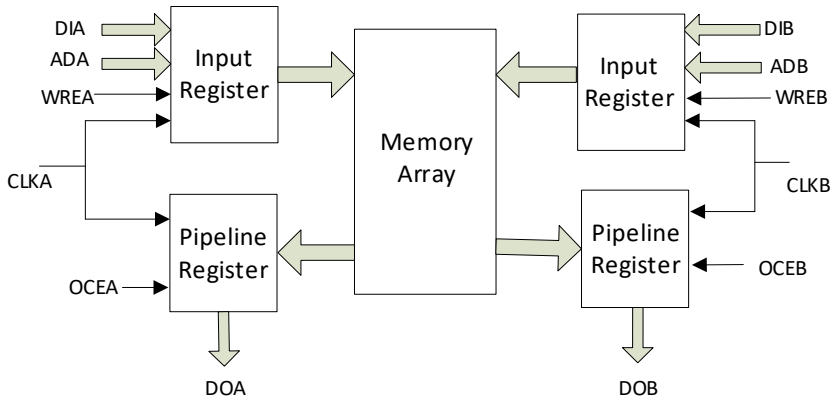
在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 2-11 单端口、伪双端口及双端口模式下的流水线模式





写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

2.4.7 时钟模式

表 2-8 中列出了不同 BSRAM 模式下可使用的时钟模式：

表 2-8 时钟模式配置列表

时钟模式	双端口模式[1]	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

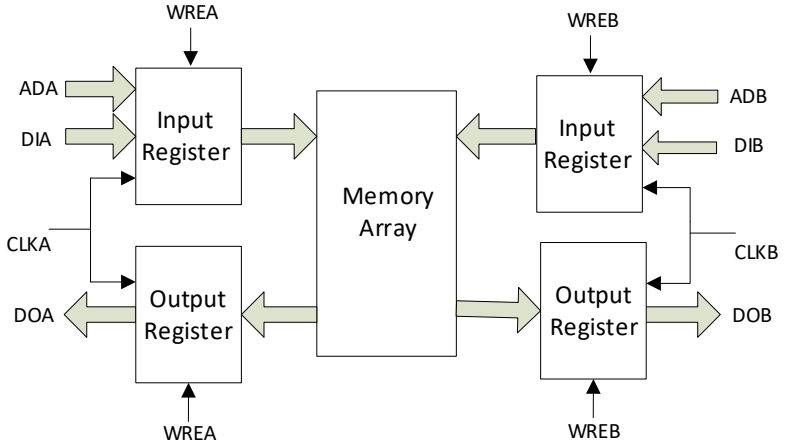
注！

[1] GW1NS-4C/4 器件不支持双端口模式。

独立时钟模式

图 2-12 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

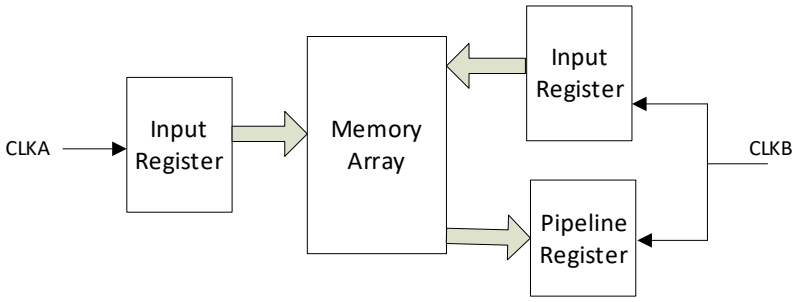
图 2-12 独立时钟模式



读写时钟模式

图 2-13 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

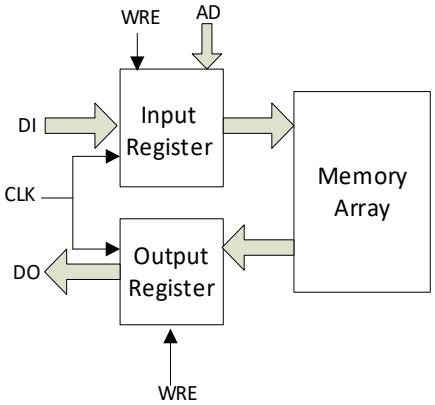
图 2-13 读写时钟模式



单端口时钟模式

图 2-14 显示了单端口时钟模式。

图 2-14 单端口时钟模式



2.5 用户闪存资源(GW1NS-4)

2.5.1 简介

GW1NS-4 器件内嵌 32KB 的用户闪存资源(User Flash)。用户闪存由行存储单元和列存储单元组成，一行由 64 个列存储单元组成，列存储单元的容量为 32bits，行存储单元的容量为 64*32=2048 bits。擦除操作支持页擦除，一页的容量为 2048 字节，即一页包含 8 行。特性如下所示：

- NOR Flash
- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85℃)
- 数据位宽：32
- 容量：128 行*64 列*32 = 256kbits
- 页擦除能力：2,048 字节
- 快速页擦除/字编程操作
- 时钟频率：40MHz
- 字编程时间：≤16μs
- 页擦除时间：≤120ms
- 电流
  - 读电流/持续时间：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
  - 编程/擦除操作：12/12mA(MAX)

注！

关于 GW1NS-4 器件内嵌的用户闪存资源详细信息请参考 UG295，Gowin 闪存资源(User Flash)用户指南，其中有关用户闪存资源原语与适用器件的对应关系，请参考该手册的表 3-1 适用器件。

2.6 数字信号处理模块

GW1NS-4C/4 器件中具有丰富的 DSP 模块资源。高云半导体的 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR、FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 支持下列功能：

- 3 种宽度乘法器（9-bit，18-bit，36-bit）
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel Shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 运算可以自动取正(Computing with options of rounding to positive number or prime number)
- 支持寄存器输出和旁路输出

2.6.1 宏单元

GW1NS 系列 FPGA 产品的 DSP 模块以行的形式分布在整个 FPGA 阵列中。每个 DSP 包含两个宏单元，每个宏单元包含两个预加器(pre-

adders)，两个 18 位的乘法器(multipliers)，和一个三输入的算术/逻辑运算单元(ALU54)。

预加器

DSP 宏单元包含两个预加器，实现预加、预减和移位功能。

预加器位于宏单元的最前端，有两个输入端：

- 并行 18-bit 输入 B 或 SBI。
- 并行 18-bit 输入 A 或 SIA。

注！

每个输入端都支持寄存器模式和旁路模式。

高云半导体 FPGA 产品的预加器可以作为功能模块单独使用，支持 9-bit 位宽和 18-bit 位宽。

乘法器

乘法器(multipliers)位于预加器之后，用来实现乘法运算。乘法器可以配置为 9 x 9、18 x 18、36 x 18 或 36 x 36，输入端和输出端均支持寄存器模式和旁路模式。一个宏单元支持的配置模式包括：

- 一个 18 x 36 乘法器
- 两个 18 x 18 乘法器
- 四个 9 x 9 乘法器

注！

两个宏单元可以配置成一个 36 x 36 乘法器。

算术运算单元

每个 DSP 宏单元包含一个 54 位 ALU54，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式。支持的功能包括：

- 乘法器输出数据/0、数据 A 和数据 B 的加法/减法运算。
- 乘法器输出数据/0、数据 B 和进位 C 的加法/减法运算。
- 数据 A、数据 B 和进位 C 的加法/减法运算。

2.6.2 DSP 操作模式配置

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

关于数字信号处理模块更多详细信息，请参考 UG287，Gowin 数字信号处理器(DSP)用户指南。

2.7 Cortex-M3

2.7.1 简介

GW1NS-4C 器件内嵌微处理器系统硬核、具有丰富的逻辑资源、内嵌用户 Flash 资源和 BSRAM 存储资源、内嵌 PLL 和 OSC 时钟资源。微处理

器硬核是 32-bit RISC 架构的 Cortex-M3，具有低功耗，低成本，高性能的特点，FPGA 提供可编程的外设和软核 IP，方便灵活的实现片上系统。

微处理器系统通过处理器模块和总线系统与外设通信，这里的外设指使用 FPGA 资源实现的外设或调用 FPGA 软核 IP 实现的外设。FPGA 内部有丰富的逻辑资源，用户可以灵活实现不同外设，高云云源软件提供了丰富的软核 IPs，方便用户调用，如 SPI、I^2C 等外设控制器。微处理器系统连接的是 FPGA 资源，除了 JTAG 接口，没有直接的 I/O 端口与外设端口连接。

总线系统由 AHB-Lite 总线、AHB2APB 桥接总线和两条 APB 总线组成。

微处理器系统通过 AHB 总线访问 FPGA 子内存系统，该系统包含一个控制器，实现了 32KB 的 Flash 资源的只读操作和最大 16KB 的 BSRAM 资源的读写操作。上电启动后，Cortex-M3 内核加载 Flash 中 ARM 程序的指令和数据，然后开始运行。

AHB 总线支持两个扩展端口 INTEXP0 和 TARGEXP0，每个扩展端口提供一个 128bits 的 AHB 总线，可以连接到 FPGA 中的任何高速外设或存储资源。AHB 总线支持 GPIO 接口连接到 FPGA，用来实现用户通用 I/O 功能的连接。

两条 APB 总线分别为 APB1 和 APB2，APB1 连接两个定时器（Timer0 和 Timer1），两个 UART（Uart0 和 Uart1）,以及一个看门狗（Watchdog）。两个 UART 直接连接到 FPGA，两个定时器和看门狗只在微处理器系统内部控制和使用，通过寄存器访问。APB2 总线直接连接到 FPGA 资源。

处理器模块由 Cortex-M3 内核、总线矩阵、NVIC、调试端口和时间戳组成。

Cortex-M3 内核通过总线矩阵来访问总线系统。

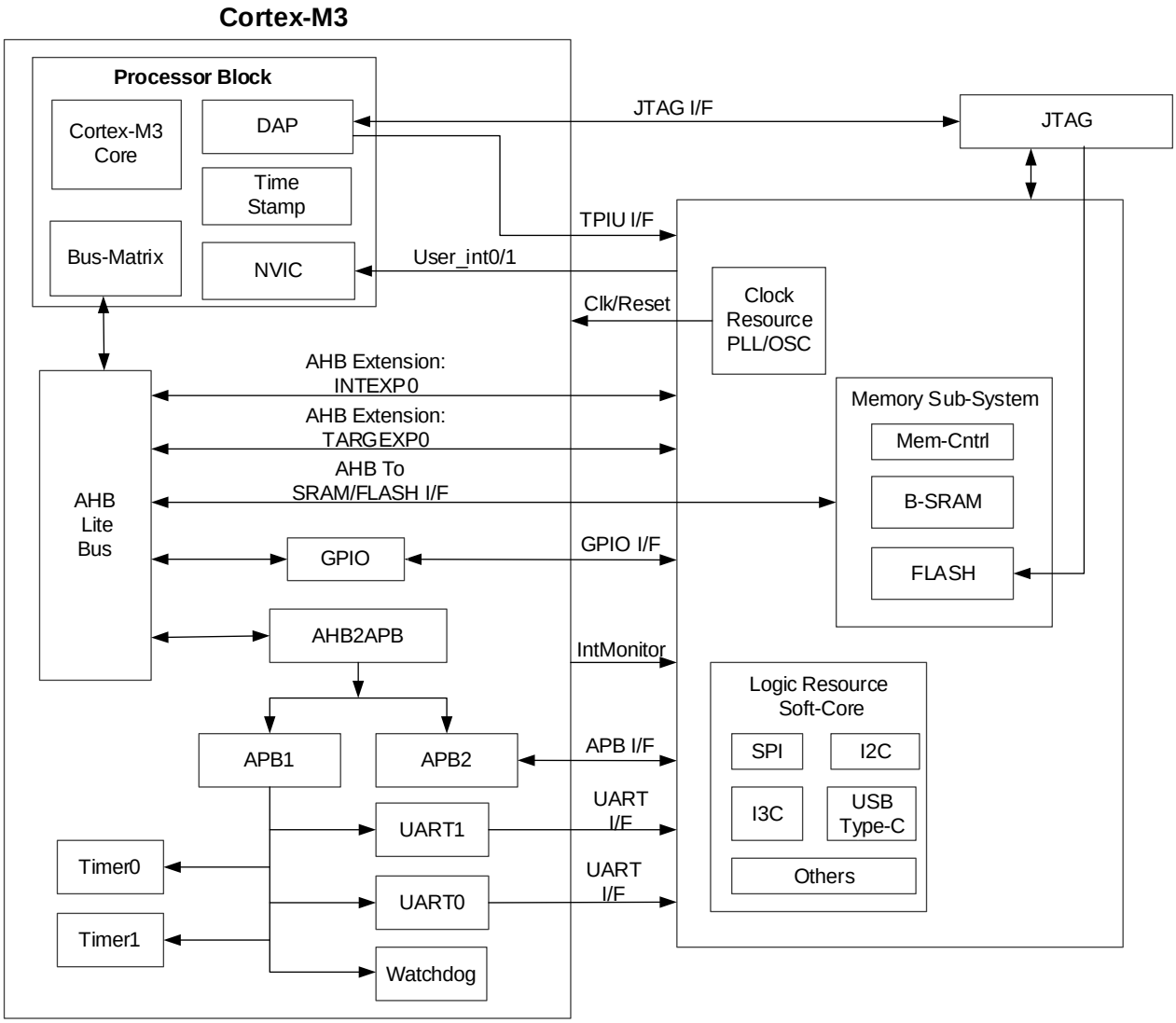
支持六个外部用户中断。调试端口包括 JTAG 调试端口和 TPIU。

此外，微处理器系统提供了一个中断监测信号 IntMonitor，该信号可以指示 GPIO 中断或 APB1 外设中断，包括 Timer0 / Timer1 / Uart0 / Uart1 / Watchdog。该中断监测信号反馈给 FPGA，用来报告微处理器系统当前运行的中断状态。

FPGA 内嵌 PLL 和 OSC，可以灵活方便的提供时钟资源，上电复位和系统复位。

Cortex-M3 的结构框图如图 2-15 所示。

图 2-15 Cortex-M3 结构框图



2.7.2 Cortex-M3

微处理器系统具有以下的特性：

- 紧凑型内核
- Thumb-2 指令集，支持 ARM 核高性能
- 支持 32bits 和 16bits，一般应用于几千字节的内存微控制器中
- 采用哈佛架构，独立的指令总线和数据总线，加载/存储数据的同时能够执行指令取指
- 异常中断处理，通过寄存器操作实现硬件中断处理
- 确定性，快速的中断处理
- 内存保护单元，提供特权模式来保护操作系统功能
- 从 ARM7™ 处理器升级而来，具有更高性能和更低功耗
- 功能丰富的调试解决方案
  - JTAG 调试端口
  - FPB 模块实现断点功能
  - DWT 模块实现检测，触发和系统分析功能

- ITM 模块支持调试打印
- TPIU 模块桥接跟踪分析

2.7.3 总线矩阵

总线矩阵用来将 Cortex-M3 处理器和调试接口与外部 AHB 总线相连。

总线矩阵与 AHB 总线的连接包括：

- ICode 总线：32bit AHBLite 总线，用于从代码空间取指令和向量；
- DCode 总线：32bit AHBLite 总线，用于对代码空间进行数据加载/存储以及调试访问；
- 系统总线：32bit AHBLite 总线，用于对系统空间执行取指令和向量，数据加载/存储以及调试访问；
- APB：32bit APB 总线，用于对外部设备空间进行数据加载/存储以及调试访问。

总线矩阵还对下面的功能进行控制：

- 非对齐访问：总线矩阵将非对齐的处理器访问转换为对齐访问；
- Bit-banding：总线矩阵将 Bit_band 别名访问转换为对 Bit_band 空间的访问；
- 写缓冲：总线矩阵包含一个写缓冲区，使得处理器内核不受总线延迟的影响。

2.7.4 NVIC

嵌套向量中断控制器（NVIC）与 Cortex-M3 内核紧密耦合实现了低延迟的异常和中断处理，具有以下特性：

- 支持多达 26 个中断
- 支持 6 个外部用户中断
- 每个中断支持 8 种可编程的优先级（0~7），7 表示最低级的优先级，0 表示最高级的优先级
- 支持中断信号电平和脉冲检测
- 支持动态配置中断优先级
- 处理器状态进入中断时自动保存，中断退出时自动恢复，不需要额外的指令

表 2-9 NVIC 中断向量表

地址	名称	类型	描述
0x00000000	_StackTop	只读	中断堆栈顶层
0x00000004	Reset_Handler	只读	复位中断
0x00000008	NMI_Handler	只读	NMI 中断
0x0000000C	HardFault_Handler	只读	硬件错误中断
0x00000010	MemMange_Handler	只读	MPU 错误中断
0x00000014	BusFault_Handler	读/写	总线错误中断
0x00000018	UsageFault_Handler	只读	使用错误中断
0x0000002C	SVC_Handler	读/写	SVCall 中断

地址	名称	类型	描述
0x00000030	DebugMon_Handler	只读	调试监测中断
0x00000038	PendSV_Handler	读 / 写 / 只读	挂起中断
0x0000003C	SysTick_Handler	读/写	系统定时器中断
外部中断			
0x00000040	UART0_Handler	读/写	UART0 接收和发送中断
0x00000044	USER_INT0_Handler	读/写	用户中断 0
0x00000048	UART1_Handler	读/写	UART1 接收和发送中断
0x0000004C	USER_INT1_Handler	读/写	用户中断 1
0x00000050	USER_INT2_Handler	读/写	用户中断 2
0x00000058	PORT0_COMB_Handler	读/写	GPIO0 中断
0x0000005C	USER_INT3_Handler	读/写	用户中断 3
0x00000060	TIMER0_Handler	读/写	TIMER0 中断
0x00000064	TIMER1_Handler	读/写	TIMER1 中断
0x0000006C	I2C_Handler	读/写	I2C 中断
0x00000070	UARTOVF_Handler	读/写	UART0/UART1 溢出中断
0x00000074	USER_INT4_Handler	读/写	用户中断 4
0x00000078	USER_INT5_Handler	读/写	用户中断 5
0x00000080	PORT0_0_Handler	读/写	GPIO0 管脚 0 中断
0x00000084	PORT0_1_Handler	读/写	GPIO0 管脚 1 中断
0x00000088	PORT0_2_Handler	读/写	GPIO0 管脚 2 中断
0x0000008C	PORT0_3_Handler	读/写	GPIO0 管脚 3 中断
0x00000090	PORT0_4_Handler	读/写	GPIO0 管脚 4 中断
0x00000094	PORT0_5_Handler	读/写	GPIO0 管脚 5 中断
0x00000098	PORT0_6_Handler	读/写	GPIO0 管脚 6 中断
0x0000009C	PORT0_7_Handler	读/写	GPIO0 管脚 7 中断
0x000000A0	PORT0_8_Handler	读/写	GPIO0 管脚 8 中断
0x000000A4	PORT0_9_Handler	读/写	GPIO0 管脚 9 中断
0x000000A8	PORT0_10_Handler	读/写	GPIO0 管脚 10 中断
0x000000AC	PORT0_11_Handler	读/写	GPIO0 管脚 11 中断
0x000000B0	PORT0_12_Handler	读/写	GPIO0 管脚 12 中断
0x000000B4	PORT0_13_Handler	读/写	GPIO0 管脚 13 中断
0x000000B8	PORT0_14_Handler	读/写	GPIO0 管脚 14 中断
0x000000BC	PORT0_15_Handler	读/写	GPIO0 管脚 15 中断

2.7.5 启动模式

程序加载模块从 ARM 程序内存中加载堆栈指针初始值，并且传送到复位中断处理程序中，复位向量在程序内存中指定。

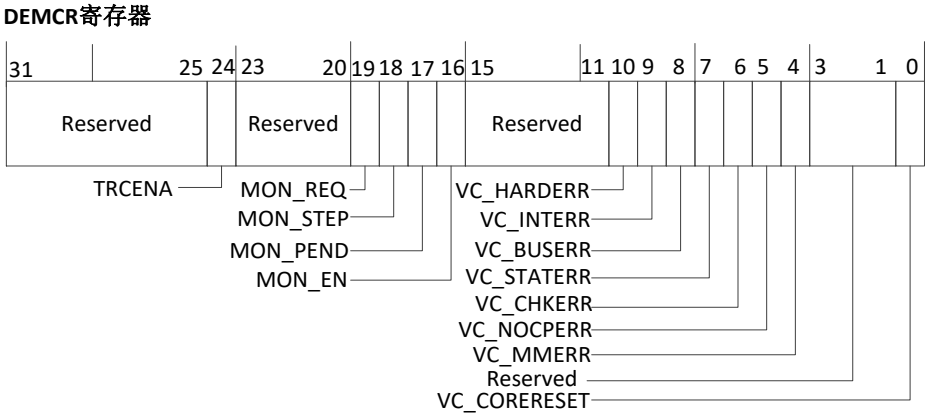
当前的程序加载是基于 UART 消息监测实现的，这种方式易与 PC 机进行通信。启动程序加载模块的例程如下所示：

- 上电复位，进入复位中断处理程序调用程序加载器；
- 设置 UART0 波特率和控制寄存器，为发送和接收设置合适的波特率；
- 启动 Flash 加载模块子程序执行，如内存测试，Timer0 测试，Timer1 测试等；
- 写入 0x4(EOP)来终止程序。

2.7.6 时间戳

48bits 的时间戳计数器包含在 ITM 中，由跟踪使能信号 TRCENA 进行门控和使能，TRCENA 是 DEMCR 寄存器中第 24 位，是 Cortex-M3 处理器的调试模块 DWT 和 ITM 的全局使能信号。时间戳应用在调试进程中用来设置断点和标记等。

图 2-16 DEMCR 寄存器



注！

TRCENA 为 DWT 和 ITM 的全局使能信号：

- 0：DWT 和 ITM 不使能；
- 1：DWT 和 ITM 使能。

2.7.7 定时器

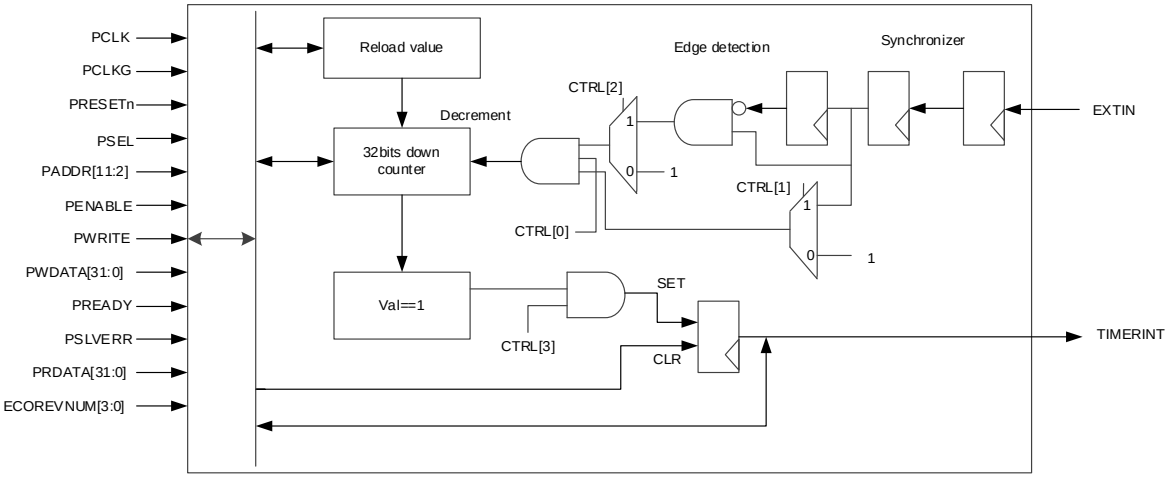
GW1NS-4C 器件内嵌了两个同步的标准定时器 Timer0 和 Timer1，可以通过 APB1 总线进行控制和访问。

Timer0 和 Timer1 是 32bits 递减计数器，特性如下：

- 当计数值为 0 的时候生成中断请求信号 TIMERINT 且在配置中断清除寄存器 INTCLEAR 前，中断请求信号一直保持有效；
- 可以使用外部信号 EXTIN 作为计数器的使能信号，当 EXTIN 由 0 变 1 的时候使能有效；
- 如果计数器计数到 0，并且同时软件在清除上一次的中断状态，那么中断状态被设置为 1；
- 当外部输入 EXTIN 作为时钟的时候，时钟频率必须低于主时钟的一半，因为 EXTIN 首先要经过两级寄存器采样，然后经过边沿检测逻辑；
- Timer0：EXTIN 硬连接到 GPIO[1]；

- Timer1：EXTIN 硬连接到 GPIO[6]。

图 2-17 Timer0/ Timer1 结构框图



Timer0/ Timer1 寄存器如下表所示，Timer0 基地址为 0x40000000，Timer1 基地址为 0x40001000。

表 2-10 Timer0/ Timer1 寄存器

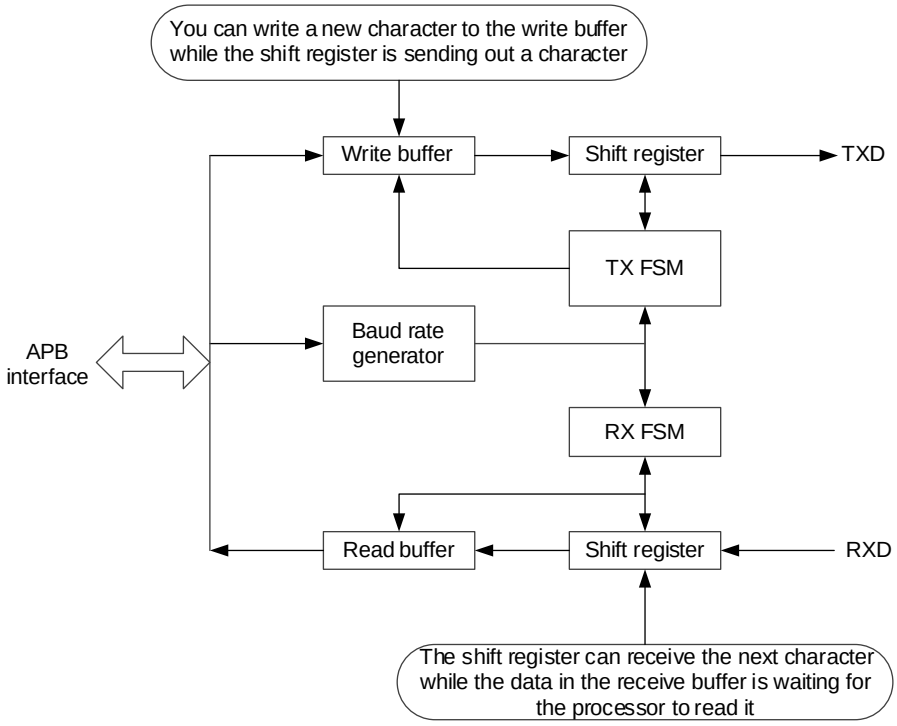
名称	基地址偏移	类型	位宽	复位值	描述
CTRL	0x000	读/写	4	0x0	[3]：定时器中断使能 [2]：外部输入作为时钟信号 [1]：外部输入作为使能信号 [0]：使能信号
VALUE	0x004	读/写	32	0x00000000	当前计数值
RELOAD	0x008	读/写	32	0x00000000	加载值，写入到这个寄存器的数值会加载到计数器的当前计数值寄存器中
INTSTATUS/ INTCLEAR	0x00C	读/写	1	0x0	[0]：定时器中断，写 1 清除中断
PID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
PID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
PID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
PID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
PID0	0XFE0	只读	8	0x22	外设 ID 寄存器 0
PID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
PID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
PID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
CID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
CID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
CID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
CID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

2.7.8 UART

GW1NS-4C 器件微处理器系统内嵌了两个 UART（UART0 和 UART1），可以通过 APB1 总线进行控制和访问，支持的最大波特率为 921.6Kbits/s。

UART0 和 UART1 支持 8 位数据位和 1 位停止位，不支持校验位。

图 2-18 APB UART Buffering



UART0 和 UART1 支持高速测试模式，当 CTRL[6]设置为 1 时，串行数据在每个时钟周期下传输一位，这样可以在较短的仿真时间内发送信息。当 APB 检测到 UART0 和 UART1 有数据发送时的同时，APB 接口总是会发送“OK”响应，不需要等待。在使能 UART 之前，需要首先配置波特率分频寄存器 BAUDDIV。

BAUDTICK 输出频率是波特率的 16 倍，可以使用这个外部信号在同步模式下采样 UART 数据。CTRL[0]为输出使能信号 TXEN，当 UART 传输使能时，可以用这个信号把双向 I/O 转换为 UART 数据输出。

状态寄存器 STATE 中的缓存溢出状态用于驱动溢出中断请求信号，因此，清除缓存溢出状态可以清除溢出中断请求，清除溢出中断请求也可以清除 STATE 中的缓存溢出状态。

下表是 UART0 和 UART1 的寄存器描述，UART0 基地址为 0X40004000，UART1 基地址为 0X40005000。

表 2-11 UART0/UART1 寄存器

名称	基地址偏移	类型	位宽	复位值	描述
DATA	0x000	读/写	8	0x--	8 位数据 接收模式下为接收数据

名称	基地址偏移	类型	位宽	复位值	描述
					发送模式下为发送数据
STATE	0x004	读/写	4	0x0	[3]：接收缓存溢出，写 1 清除 [2]：发送缓存溢出，写 1 清除 [1]：接收缓存满标志，只读 [0]：发送缓存满标志，只读
CTRL	0x008	读/写	7	0x00	[6]：高速测试模式，只在发送模式下支持 [5]：接收溢出中断使能信号 [4]：发送溢出中断使能信号 [3]：接收中断使能信号 [2]：发送中断使能信号 [1]：接收使能信号 [0]：发送使能信号
INTSTATUS/ INTCLEAR	0x00C	读/写	4	0x0	[3]：接收溢出中断，写 1 清除 [2]：发送溢出中断，写 1 清除 [1]：接收中断，写 1 清除 [0]：发送中断，写 1 清除
BAUDDIV	0x010	读/写	20	0x00000	[19:0]：波特率分频寄存器，最小值为 16
PID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
PID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
PID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
PID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
PID0	0XFE0	只读	8	0x21	外设 ID 寄存器 0
PID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
PID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
PID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
CID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
CID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
CID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
CID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

2.7.9 看门狗

GW1NS-4C 器件微处理器系统内嵌了一个 Watchdog，可以通过 APB1 总线进行控制和访问。

它是基于一个 32bits 的递减计数器，通过重装载寄存器 WDOGLOAD 进行初始化。

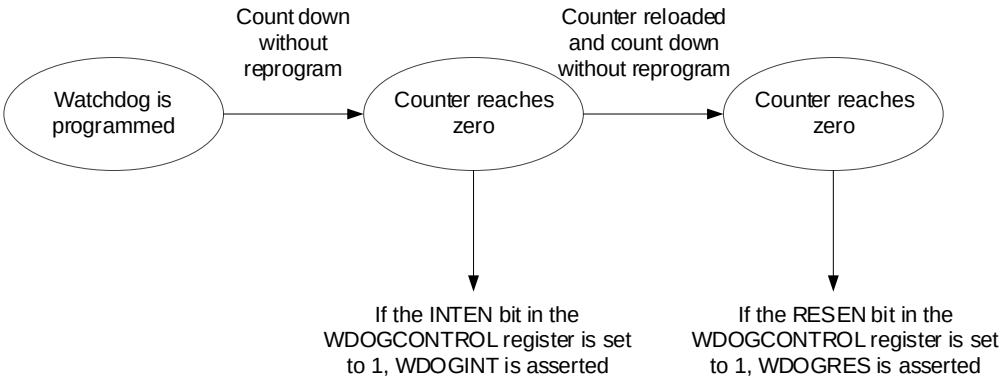
Watchdog 模块会产生中断信号 WDOGINT，和用户配置的计数值有关。当时钟使能信号 WDOGCLKEN 为高电平有效的时候，Watchdog 计数器在每个时钟的上升沿递减。Watchdog 监测中断信号，并且当计数值为 0 时产生中断请求信号 WDOGRES。在时钟 WDOGCLK 的下一个时钟周期，重装载寄存器 WDOGLOAD 的数值加载到计数器中，继续进行下一次

递减计数。

当系统发生错误时，Watchdog 用于产生系统复位信号，提供一种软件系统崩溃恢复的方法。比如，如果中断信号没有清除，此时计数器又一次计数到 0，那么 Watchdog 会重新置位复位信号，用于系统复位。

Watchdog 操作方式如下图所示：

图 2-19 Watchdog 操作方式



Watchdog 寄存器如下表所示，Watchdog 基地址为 0x40008000.

表 2-12 Watchdog 寄存器

名称	基地址偏移	类型	位宽	复位值	描述
WDOGLOAD	0x00	读/写	32	0xFFFFFFFF	Watchdog 加载寄存器
WDOGVALUE	0x04	只读	32	0xFFFFFFFF	Watchdog 计数值寄存器
WDOGCONTROL	0x08	读/写	2	0x0	Watchdog 控制寄存器 [1]： [0]：
WDOGINTCLR	0x0C	只写	-	0x-	Watchdog 中断清除寄存器
WDOGRIS	0x10	只读	1	0x0	Watchdog 上一次中断状态寄存器
WDOGMIS	0x14	只读	1	0x0	Watchdog 中断状态寄存器
WDOGLOCK	0xC00	读/写	32	0x0	Watchdog 锁存寄存器
WDOGTCR	0xF00	读/写	1	0x0	Watchdog 测试控制寄存器
WDOGTOP	0xF04	只写	2	0x0	Watchdog 测试输出设置寄存器
WDOGPERIPHID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
WDOGPERIPHID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
WDOGPERIPHID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
WDOGPERIPHID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
WDOGPERIPHID0	0XFE0	只读	8	0x24	外设 ID 寄存器 0
WDOGPERIPHID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
WDOGPERIPHID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
WDOGPERIPHID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
WDOGPCELLID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
WDOGPCELLID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1

名称	基地址偏移	类型	位宽	复位值	描述
WDOGPCELLID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
WDOGPCELLID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

2.7.10 GPIO

GW1NS-4C 器件微处理器系统通过 AHB 总线与 GPIO 模块通信，GPIO 模块连接到 FPGA。GPIO 支持 16bits 的通用 I/O 功能，具有以下特性：

- 可编程中断生成功能，可以配置 GPIO 的任一位用来产生中断；
- 位掩码支持使用地址值；
- 支持通过配置寄存器实现不同的功能
- 独立的寄存器配置和明确的控制寄存器地址保证了线程安全

GPIO 寄存器如下表所示，GPIO 基地址为 0x40010000。

表 2-13 GPIO 寄存器

名称	基地址偏移	类型	位宽	复位值	描述
DATA	0x0000	读/写	16	0x----	[15:0]：数据寄存器
DATAOUT	0x0004	读/写	16	0x0000	[15:0]：数据输出寄存器
OUTENSET	0x0010	读/写	16	0x0000	[15:0]：输出使能设置 写 1：输出使能有效 写 0：输出使能无效 读 1：信号为输出 读 0：信号为输入
OUTENCLR	0x0014	读/写	16	0x0000	[15:0]：清除输出使能
ALTFUNCSET	0x0018	读/写	16	0x0000	[15:0]：可选择功能设置 写 1：设置 ALTFUNC 写 0：不设置 ALTFUNC 读 0：GPIO 作为 I/O 读 1：ALTFUNC 功能
ALTFUNCCLR	0x001C	读/写	16	0x0000	[15:0]：可选择功能清除
INTENSET	0x0020	读/写	16	0x0000	[15:0]：中断使能设置 写 1：设置中断使能 写 0：不设置中断使能 读 0：不使能中断 读 1：中断使能
INTENCLR	0x0024	读/写	16	0x0000	[15:0]：中断使能清除 写 1：清除中断使能 写 0：不清除中断使能 读 0：中断使能不清除 读 1：中断使能清除
INTTYPESET	0x0028	读/写	16	0x0000	[15:0]：中断类型设置
INTTYPECLR	0x002C	读/写	16	0x0000	[15:0]：中断类型清除
INTPOLSET	0x0030	读/写	16	0x0000	[15:0]：中断极性设置
INTPOLCLR	0x0034	读/写	16	0x0000	[15:0]：中断极性清除
INTSTATUS/ INTCLEAR	0x0038	读/写	16	0x0000	读中断状态寄存器

名称	基地址偏移	类型	位宽	复位值	描述
					写 1 清除中断请求
MASKLOWBYTE	0x0400-0x07FC	读/写	16	0x0000	-
MASKHIGHBYTE	0x0800-0x0BFC	读/写	16	0x0000	-
Reserved	0x0C00-0x0FCF	-	-	-	Reserved
PID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
PID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
PID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
PID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
PID0	0XFE0	只读	8	0x20	外设 ID 寄存器 0
PID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
PID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
PID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
CID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
CID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
CID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
CID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

2.7.11 调试端口

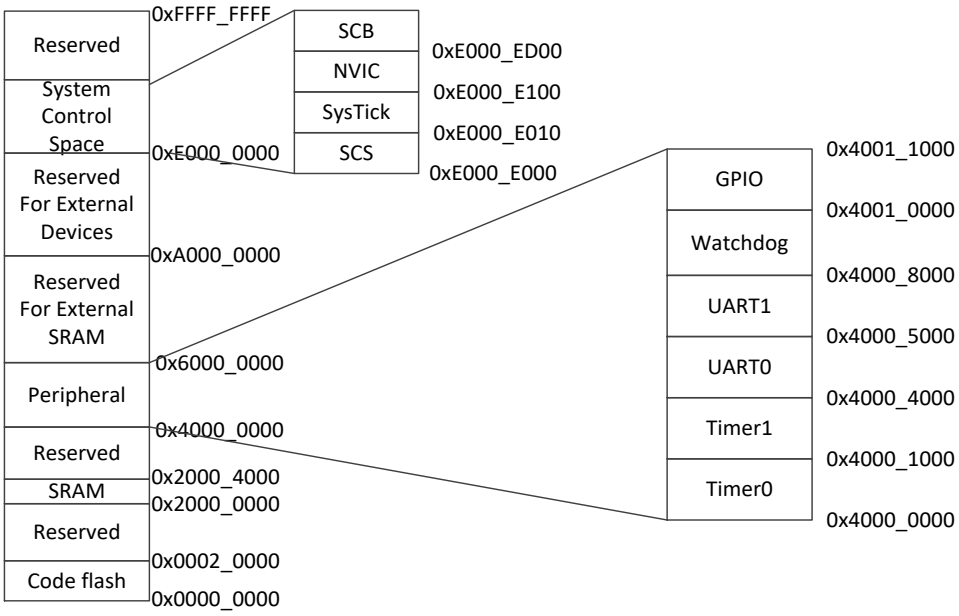
Cortex-M3 处理器包含一个调试访问接口，包括 JTAG 接口和 TPIU 接口，这两个接口都连接到 FPGA。JTAG 调试访问接口符合 IEEE1149.1 测试访问端口以及边界扫描结构标准。

JTAG-DP 的功能实现主要由三部分组成：

- JTAG-DP 状态机
- 指令寄存器（IR）和相关的 IR 扫描链，用来控制 JTAG 和当前所选的寄存器的行为
- 数据寄存器和相关的 DR 扫描链，他们与 JTAG-DP 中的寄存器连接。

2.7.12 内存映射

图 2-20 内存映射



2.7.13 应用

高云半导体提供的云源软件支持 Cortex-M3 的 IP 调用，详细信息请参考 IPUG932,Gowin_EMPU(GW1NS-4C)硬件设计参考手册。

2.8 MIPI D-PHY

2.8.1 GPIO 支持 MIPI D-PHY RX/TX

用 GPIO 实现软核 MIPI D-PHY RX/TX 时，可选 3 种 IO 类型：TLVDS、ELVDS、MIPI IO。

所有 GW1NS FPGA 都支持 TLVDS/ELVDS 类型。用 TLVDS/ELVDS 类型实现 MIPI D-PHY 时，需通过 LVDS25(E)+LVCMOS12 的方式来模拟 MIPI HS 和 MIPI LP，并需要搭配外部电阻网络。

部分 GW1NS FPGA 支持 MIPI IO 类型。MIPI IO 内部集成了电阻网络，支持 HS 和 LP 的自动切换。MIPI IO 类型支持情况如表 2-14 所示。

具体的 IO 选取和片外端接方式，可以参考 IPUG948，Gowin MIPI D-PHY RX TX Advance 用户指南的“4 功能描述”。

表 2-14 GW1N 系列 FPGA 产品的 MIPI IO 类型支持列表

MIPI 输入/输出	GW1NS-4	GW1NS-4C
MIPI 输入	Bank0/Bank1	Bank0/Bank1
MIPI 输出	Bank2	Bank2

软核 MIPI D-PHY RX/TX 主要特性如下：

- 支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2

- 支持高速 RX 和 TX 器件接口，传输速率最高可达 4.8 Gbps
- 支持最多四个数据通道和一个时钟通道
- 支持多 PHY (IO 允许的情况下)
- 支持双向低功耗(LP，Low-power)操作模式
- 支持 MIPI DSI 和 MIPI CSI-2 链路层
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式
- 支持 ELVDS、TLVDS、和 MIPI IO 等 IO Type
- GW1NS-4C/4 的 Bank0/Bank1/Bank2 支持 I3C

更多详细信息请参考 IPUG948，Gowin MIPI D-PHY RX TX Advance 用户指南。

2.9 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW1NS 系列 FPGA 产品提供了专用全局时钟(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了高速时钟 HCLK 资源、锁相环(PLL)等时钟资源。

关于全局时钟、高速时钟及锁相环的更多详细信息，可参考 UG286，Gowin 时钟资源(Clock)用户指南。

2.9.1 全局时钟

GCLK 在 GW1NS 系列 FPGA 产品中按象限分布，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

2.9.2 锁相环

锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-locked Loop）。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

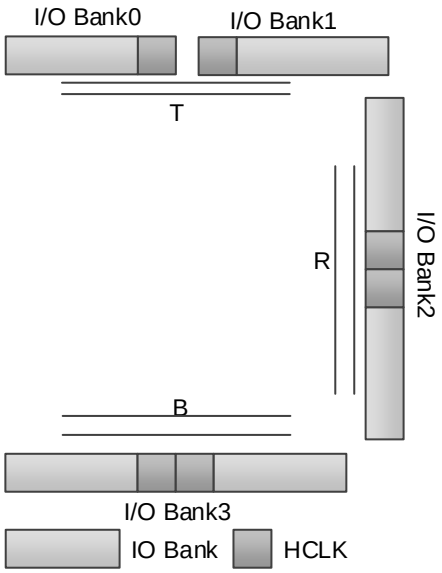
GW1NS 系列 FPGA 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

2.9.3 高速时钟

GW1NS 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的。GW1NS-

4C/4 的每条边提供 2 个 HCLK，如图 2-21 所示。

图 2-21 GW1NS-4C/4 HCLK 示意图



2.10 长线

作为对 CRU 的有效补充，GW1NS 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

2.11 全局复置位

GW1NS 系列 FPGA 产品包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CLU 和 I/O 中的寄存器均可以独立配置。

2.12 编程配置

GW1NS 系列 FPGA 产品支持 SRAM 编程和 Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。

GW1NS 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式，支持多达 6 种模式：AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL 和 CPU。所有 GW1NS 器件均支持 JTAG 和 AUTO BOOT 模式。用户可配置 Mode 值选择需要的编程配置模式，详细资料请参见 UG290，Gowin 系列 FPGA 产品编程配置手册。

2.12.1 SRAM 编程

GW1NS 系列 FPGA 产品的 SRAM 编程，每次上电后需要重新下载配置数据。

2.12.2 Flash 编程

Flash 编程的配置数据存放在片内 Flash 单元。上电后，配置数据从片内 Flash 单元传送到 SRAM 配置单元。在上电后的几个毫秒内就可以完成

数据的配置，这种配置方式也称为“快速启动/瞬时启动”。

GW1NS 系列 FPGA 产品还支持外部 Flash 编程模式和双启动模式，详细资料请参见 UG290，Gowin 系列 FPGA 产品编程配置手册。

GW1NS 系列 FPGA 产品支持 JTAG 背景升级的特性[1]，即器件支持在不影响现有工作状态的情况下通过 JTAG 接口编程内嵌 Flash 或外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，低电平触发 RECONFIG_N[2]即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

注！

- [1]对于 GW1NS-4C 器件，若使用了其内嵌的 Cortex-M3，则无法实现 JTAG 背景升级。
- [2] RECONFIG_N 作为配置管脚时，类型为输入，具有内部弱上拉，但作为 GPIO 时，只能用作 output 类型。更多详细信息，请参见 UG290，Gowin 系列 FPGA 产品编程配置手册。

2.13 片内晶振

GW1NS 系列 FPGA 产品内嵌了一个片内晶振，片内晶振提供可编程的用户时钟，时钟精度可达±5%，配置过程中为 MSPI 配置模式提供时钟源。

GW1NS-4C/4 器件的片内晶振支持用户可配置省电模式。

片内晶振也可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。

GW1NS-4C/4 器件的片内晶振输出时钟频率计算公式为：

$$f_{out}=f_{osc}/Param$$

注！

对于 C7/I6 速度等级器件，f_{osc} 为 260MHz；对于其他速度等级器件，f_{osc} 为 250MHz。除数 Param 为配置参数，范围为 2~128，只支持偶数。

表 2-15 列举了 f_{osc} 为 250MHz 时的片内晶振的部分频率，如默认频率、最大频率和某些参数的输出小数的频率。

表 2-15 GW1NS-4C/4 器件片内晶振的部分输出频率选项

模式[3]	频率	模式	频率	模式	频率
0	2.5MHz[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz[2]

注！

- [1]默认输出频率
- [2]最大输出频率，不适用于 MSPI 配置模式
- [3]此处的模式不是参数，仅是个标注。

3 电气特性

注！

建议在推荐的工作条件及工作范围内使用高云半导体器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
V_{CC}	核电压	-0.5V	1.32V
V_{CCIOx}	I/O Bank 电压	-0.5V	3.75V
V_{CCX}	LV 版本器件辅助电压	-0.5V	3.75V
-	I/O 电压[1]	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

注！

[1]允许-2V 至（V_{IHMAX} + 2）V 的过冲和下冲，持续时间<20 ns。

3.1.2 推荐工作范围

表 3-2 推荐工作范围

名称	描述	最小值	最大值
V_{CC}	核电压	1.14V	1.26V
V_{CCIOx}	LV 版本器件 I/O Bank 电压	1.14V	3.6V
V_{CCX}	LV 版本器件辅助电压	1.71V	3.6V
T_{JCOM}	结温(商业级)	0℃	+85℃
T_{JIND}	结温(工业级)	-40℃	+100℃

注！

- 不同封装的电压供电信息请参考 UG824, GW1NS-4&4C 器件 Pinout。
- V_{CC}、V_{CCIO}、V_{CCX} 的允许纹波范围分别为 3%、5%、5%。1).对于直接用 V_{CC} 给 PLL 供电的器件，V_{CC} 上的纹波会影响 PLL 输出时钟的抖动特性；2). V_{CCIO} 上的纹波，最终可能会传递到 IO Buffer 的输出波形上。

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V_{CC} Ramp	V_{CC} 上升斜率	0.6mV/μs	-	6mV/μs
V_{CCX} Ramp	V_{CCX} 上升斜率	0.6mV/μs	-	10mV/μs
V_{CCIO} Ramp	V_{CCIO} 上升斜率	0.1mV/μs	-	10mV/μs

注！

- 所有电源的上升斜率必须单调。
- 在设备开始配置前，所有的电源都需要在表 3-2 中定义的工作范围内。不在工作范围内的电源需要调整到更快的斜率，否则用户必须推迟配置。

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入或 IO 漏电流(Input or I/O leakage current)	$0<V_{IN}<V_{IH}$(MAX)	I/O	150uA
I_{HS}	输入或 IO 漏电流(Input or I/O leakage current)	$0<V_{IN}<V_{IH}$(MAX)	TDI,TDO, TMS,TCK	120uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	器件	名称	值
V_{POR_UP}	Power on reset ramp up trip point	GW1NS-4	V_{CC}	0.95V
			V_{CCX}	1.5V
			V_{CCIO}	0.95V

名称	描述	器件	名称	值
		GW1NS-4C	V_{CC}	TBD
			V_{CCX}	TBD
			V_{CCIO}	TBD
V_{POR_DOWN}	Power on reset ramp down trip point	GW1NS-4	V_{CC}	0.75V
			V_{CCX}	1.25V
			V_{CCIO}	0.7V
		GW1NS-4C	V_{CC}	TBD
			V_{CCX}	TBD
			V_{CCIO}	TBD

3.2 ESD 性能

表 3-6 GW1NS ESD – HBM

器件	GW1NS-4C	GW1NS-4
CS49	HBM>1,000V	HBM>1,000V
CS81X	HBM>1,000V	HBM>1,000V
LQ144	HBM>1,000V	-
MG64	HBM>1,000V	HBM>1,000V
QN32	-	HBM>1,000V
QN48	HBM>1,000V	HBM>1,000V

表 3-7 GW1NS ESD – CDM

器件	GW1NS-4C	GW1NS-4
CS49	CDM>500V	CDM>500V
CS81X	CDM>500V	CDM>500V
LQ144	CDM>500V	-
MG64	CDM>500V	CDM>500V
QN32	-	CDM>500V
QN48	CDM>500V	CDM>500V

3.3 DC 电气特性

3.3.1 推荐工作范围 DC 电气特性

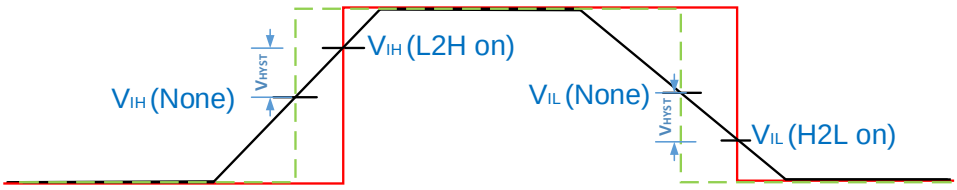
表 3-8 推荐工作范围内 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL},I_{IH}	输入或 IO 漏电流(Input or I/O leakage)	$V_{CCIO}<V_{IN}<V_{IH}$(MAX)	-	-	210μA
		$0<V_{IN}<V_{CCIO}$	-	-	10μA
I_{PU}	I/O 上拉电流(I/O Active Pull-up Current)	$0<V_{IN}<0.7V_{CCIO}$	-30μA	-	-150μA
I_{PD}	I/O 下拉电流(I/O Active Pull-down Current)	V_{IL}(MAX)$<V_{IN}<V_{CCIO}$	30μA	-	150μA
I_{BHLS}	总线保持低电平时持续电流(Bus Hold Low Sustaining Current)	$V_{IN}=V_{IL}$(MAX)	30μA	-	-
I_{BHHS}	总线保持高电平时持续电流(Bus Hold High Sustaining Current)	$V_{IN}=0.7V_{CCIO}$	-30μA	-	-
I_{BHLO}	总线保持低电平时过载电流(Bus Hold Low Overdrive Current)	$0\leqslant V_{IN}\leqslant V_{CCIO}$	-	-	150μA
I_{BHHO}	总线保持高电平时过载电流(Bus Hold High Overdrive Current)	$0\leqslant V_{IN}\leqslant V_{CCIO}$	-	-	-150μA
V_{BHT}	总线保持触发点时电压(Bus hold trip points)		V_{IL}(MAX)	-	V_{IH}(MIN)
C1	I/O 电容(I/O Capacitance)			5pF	8pF
V_{HYST}	输入迟滞(Hysteresis for Schmitt Trigger inputs)	V_{CCIO}=3.3V, Hysteresis=L2H[1]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis= L2H	-	125mV	-
		V_{CCIO}=1.8V, Hysteresis= L2H	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis= L2H	-	40mV	-
		V_{CCIO}=1.2V, Hysteresis= L2H	-	20mV	-
		V_{CCIO}=3.3V, Hysteresis= H2L[1]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis= H2L	-	125mV	-
		V_{CCIO}=1.8V, Hysteresis= H2L	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis= H2L	-	40mV	-
		V_{CCIO}=1.2V, Hysteresis= H2L	-	20mV	-
		V_{CCIO}=3.3V, Hysteresis= HIGH[1],[2]	-	400mV	-
		V_{CCIO}=2.5V, Hysteresis= HIGH	-	250mV	-

名称	描述	条件	最小值	典型值	最大值
		V_{CCIO}=1.8V, Hysteresis= HIGH	-	120mV	-
		V_{CCIO}=1.5V, Hysteresis= HIGH	-	80mV	-
		V_{CCIO}=1.2V, Hysteresis= HIGH	-	40mV	-

注！

- [1] Hysteresis="NONE", "L2H", "H2L", "HIGH"表示在 EDA 的 FloorPlanner 工具内设置 I/O Constraints 时的 Hysteresis 选项，设置方法详见 SUG935，Gowin 设计物理约束指南。
- [2]开启 L2H(low to high)选项表示 V_{IH} 被提高 V_{HYST}；开启 H2L(high to low)选项表示 V_{IL} 被降低 V_{HYST}；HIGH 表示同时开启 L2H 和 H2L 选项，即 V_{HYST}(HIGH)= V_{HYST}(L2H) + V_{HYST}(H2L)。其示意图如下所示：



3.3.2 静态电流

表 3-9 静态电流

名称	描述	器件类型	器件	C7/I6	C6/I5	C5/I4
I_{CC}	Core 电源电流(V_{CC}=1.2V)	LV 版本	GW1NS-4/4C	12mA	2.8mA	2.8mA
I_{CCX}	V_{CCX} 电源电流(V_{CCX}=2.5V)	LV 版本	GW1NS-4/4C	-	1.2mA	1.2mA
	V_{CCX} 电源电流(V_{CCX}=3.3V)	LV 版本	GW1NS-4/4C	3mA	-	-
I_{CCIO}	I/O Bank 电源电流(V_{CCIO}=2.5V)	LV 版本	GW1NS-4/4C	1mA	0.7mA	0.7mA

注！

- 表中静态电流值为温度 25℃时的典型值。

3.3.3 I/O 推荐工作条件

表 3-10 I/O 推荐工作条件

名称	输出对应的 V_{CCIO}(V)			输入对应的 V_{REF}(V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.6	-	-	-
LVCMOS33	3.135	3.3	3.6	-	-	-
LVCMOS25	2.375	2.5	2.625	-	-	-
LVCMOS18	1.71	1.8	1.89	-	-	-
LVCMOS15	1.425	1.5	1.575	-	-	-
LVCMOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969

名称	输出对应的 V_{CCIO}(V)			输入对应的 V_{REF}(V)		
	最小值	典型值	最大值	最小值	典型值	最大值
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.4 单端 I/O DC 电气特性

表 3-11 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	Min	Max	Min	Max				
							16	-16
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V_{CCIO}	0.65*V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35*V_{CCIO}	0.65*V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V_{CCIO}	0.65*V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V_{CCIO}	0.5*V_{CCIO}	3.6V	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V_{REF}-0.2V	V_{REF}+0.2V	3.6V	0.7	V_{CCIO}-1.1V	8	-8
SSTL25_I	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	0.54V	V_{CCIO}-0.62V	8	-8
SSTL25_II	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
SSTL15	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL15_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA

注！

[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink)：同一个 Bank 所有 IO 的总电流不能大于 n*8mA，n 表示该 Bank 被引出的 IO 数量。

3.3.5 差分 I/O DC 电气特性

表 3-12 差分 I/O DC 电气特性(LVDS)

名称	描述	测试条件	最小	典型	最大	单位
V_{INA},V_{INB}	输入电压(Input Voltage)		0	-	2.15	V
V_{CM}	共模输入电压(Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.1	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	±100	-	±600	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	±20	μA
V_{OH}	输出高电平(Output High Voltage for V_{OP} or V_{OM})	R_T = 100Ω	-	-	1.60	V

名称	描述	测试条件	最小	典型	最大	单位
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	R_T = 100Ω	0.9	-	-	V
V_{OD}	差模输出电压(Output Voltage Differential)	(V_{OP} - V_{OM}), R_T=100Ω	250	350	450	mV
ΔV_{OD}	差模输出电压的变化(Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	共模输出电压(Output Voltage Offset)	(V_{OP} + V_{OM})/2, R_T=100Ω	1.125	1.20	1.375	V
ΔV_{OS}	共模输出电压的变化(Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短路电流	V_{OD} = 0V 两路输出短接	-	-	15	mA

3.4 开关特性

3.4.1 CLU 开关特性

表 3-13 CLU 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{LUT4_CLU}	LUT4 延迟(LUT4 delay)	-	0.674	ns
t_{SR_CLU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	1.86	ns
t_{CO_CLU}	时钟到寄存器输出时间(Clock to Register output)	-	0.76	ns

3.4.2 时钟和 I/O 开关特性

表 3-14 外部开关特性

名称	C5/I4		C6/I5		单位
	Min	Max	Min	Max	
HCLK Tree delay	0.8	1.4	0.5	1.2	ns
PCLK Tree delay(GCLK0~5)	1.4	2.6	1.0	2.2	ns
PCLK Tree delay(GCLK6~7)	1.8	3.2	1.4	2.9	ns
Pin-LUT-Pin Delay	3.4	5	3	4.5	ns

3.4.3 Gearbox 开关特性

表 3-15 Gearbox 时序参数

名称	描述	典型值	单位
$FMAX_{IDDR}$	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
$FMAX_{IDES4}$	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
$FMAX_{IDES7}$	1:7 Gearbox 输入 IO 最大串行速率	1000	Mbps
$FMAX_{IDESx}$	1:8/1:10/1:16 Gearbox 输入 IO 最大串行速率	1100	Mbps
$FMAX_{ODDR}$	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
$FMAX_{OSER4}$	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps

名称	描述	典型值	单位
$FMAX_{OSER7}$	7:1 Gearbox 输出 IO 最大串行速率	1000	Mbps
$FMAX_{OSERx}$	8:1/10:1/16:1 Gearbox 输出 IO 最大串行速率	1100	Mbps

表 3-16 单端 IO Fmax

名称	Fmax	
	最小值(MHz)	
	Drive Strength = 4mA	Drive Strength > 4mA
LVTTL33	150	300
LVCMOS33	150	300
LVCMOS25	150	300
LVCMOS18	150	300
LVCMOS15	150	200
LVCMOS12	150	150

注！

测试负载为 30pF 电容。

3.4.4 BSRAM 开关特性

表 3-17 BSRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COAD_BSRAM}	BSRAM 读地址/数据的时钟到输出延时 (Clock to output time of read address/data)	-	5.10	ns
t_{COOR_BSRAM}	BSRAM 输出寄存器的时钟到输出延时 (Clock to output time of output register)	-	0.56	ns

3.4.5 DSP 开关特性

表 3-18 DSP 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COIR_DSP}	输入寄存器的时钟到输出延时(Clock to output time of input register)	-	4.80	ns
t_{COPR_DSP}	流水寄存器的时钟到输出延时(Clock to output time of pipeline register)	-	2.40	ns
t_{COOR_DSP}	输出寄存器的时钟到输出延时(Clock to output time of output register)	-	0.84	ns

3.4.6 片内晶振开关特性

表 3-19 片内晶振特性参数

名称	说明		最小值	典型值	最大值
f_{MAX}	晶振输出频率 (0 ~ +85℃)	GW1NS-4	118.75MHz	125MHz	131.25MHz
	晶振输出频率 (-40 ~ +100℃)	GW1NS-4	112.5MHz	125MHz	137.5MHz

名称	说明	最小值	典型值	最大值
t_{DT}	输出时钟占空比	43%	50%	57%
t_{OPJIT}	输出时钟抖动	0.01UIPP	0.012UIPP	0.02UIPP

3.4.7 锁相环开关特性

表 3-20 锁相环特性参数

器件	速度等级	名称	最小值	最大值
GW1NS-4/GW1NS-4C	C7/I6 C6/I5	CLKIN	3MHz	400MHz
		PFD	3MHz	400MHz
		VCO	400MHz	1200MHz
		CLKOUT	3.125MHz	600MHz
	C5/I4	CLKIN	3MHz	320MHz
		PFD	3MHz	320MHz
		VCO	320MHz	960MHz
		CLKOUT	2.5MHz	480MHz

3.5 Cortex-M3 电气特性

3.5.1 DC 电气特性

表 3-21 电流特性

符号	描述	规格		单位
		最小值	最大值	
I_{VCC}	VCC 最大电流	-	100	mA
I_{VSS}	VSS 最大电流	-	-100	mA
I_{INJ}	漏电流	-	+/-5	mA

3.5.2 AC 电气特性

表 3-22 时钟参数

符号	描述	器件	规格		单位
			最小值	最大值	
f_{HCLK}	AHB 时钟频率	GW1NS-4C	0	80	MHz
f_{PCLK}	APB 时钟频率	GW1NS-4C	0	80	MHz

3.6 用户闪存电气特性(GW1NS-4)

3.6.1 DC 电气特性

表 3-23 GW1NS-4 器件用户闪存 DC 电气特性[1]

名称	参数	最大值		单位	Wake-up 时间	条件
		V_{CC}[3]	V_{CCX}			
读模式 (w/l 25ns)	I_{CC1}[2]	2.19	0.5	mA	NA	最小时钟周期，占空比 100%，VIN = “1/0”
写模式		0.1	12	mA	NA	-
擦除模式		0.1	12	mA	NA	-
页擦除模式		0.1	12	mA	NA	-
读模式静态电流 (25-50ns 之间)	I_{CC2}	980	25	μA	NA	XE=YE=SE=“1”，在 T=T_{acc} 到 T=50ns 之间，I/O 的电流为 0mA。T=50ns 之后，内部定时器关闭读模式，I/O 的电流为待机模式电流
待机模式	I_{SB}	5.2	20	μA	0	V_{SS}、V_{CCX} 和 V_{CC}

注！

- [1]这些数值为直流平均电流值，峰值电流值会高于该平均电流值；
- [2] I_{CC1} 在 T_{new} 不同的时钟周期计算；
  - 不允许 T_{new}< T_{acc}
  - T_{new} = T_{acc}：见上表
  - T_{acc}<T_{new} - 50ns：I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}
  - T_{new}>50ns：I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50ns*I_{CC2}/T_{new} + I_{SB}
  - t > 50ns：I_{CC2} = I_{SB}
- [3]从 wake-up time 的零时刻开始 V_{CC} 必须大于 1.08V。

3.6.2 AC 电气特性

表 3-24 GW1NS-4 器件用户闪存时序参数[1], [4], [5]

用户模式	参数	符号	最小值	最大值	单位
访问时间	WC1	T_{acc}[2]	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
编程/擦除到数据存储建立时间		T_{nvs}	5	-	μs
数据存储保持时间		T_{nvh}	5	-	μs
数据存储保持时间(整体擦除)		T_{nvh1}	100	-	μs
数据存储到编程建立时间		T_{pgs}	10	-	μs
编程保持时间		T_{pgh}	20	-	ns
编程时间		T_{prog}	8	16	μs

用户模式	参数	符号	最小值	最大值	单位
写准备时间		T_{wpr}	>0	-	ns
写保持时间		T_{whd}	>0	-	ns
控制信号到写/擦除建立时间		T_{cps}	-10	-	ns
SE 到读操作建立时间		T_{as}	0.1	-	ns
SE 脉冲的高电平时间		T_{pws}	5	-	ns
地址/数据建立时间		T_{ads}	20	-	ns
地址/数据保持时间		T_{adh}	20	-	ns
数据保持时间		T_{dh}	0.5	-	ns
读模式地址保持时间	WC1	T_{ah}	25	-	ns
	TC	-	22	-	ns
	BC	-	21	-	ns
	LT	-	21	-	ns
	WC	-	25	-	ns
SE 脉冲低电平时间		T_{nws}	2	-	ns
恢复时间		T_{rcv}	10	-	μs
数据存储时间		T_{hv}[3]	-	6	ms
擦除时间		T_{erase}	100	120	ms
整体擦除时间		T_{me}	100	120	ms
掉电到待机模式的 Wake-up 时间		T_{wk_pd}	7	-	μs
待机保持时间		T_{sbh}	100	-	ns
V_{CC} 建立时间		T_{ps}	0	-	ns
V_{CCX} 保持时间		T_{ph}	0	-	ns

注！

- [1]这些数值为仿真数据，在实际器件中会有改变。
- [2]在信号 XADR、YADR、XE 和 YE 信号有效后，T_{acc} 的开始时间为 SE 信号的上升沿。读取的数据 DOUT 被保存直到在下一次有效的读操作开始。
- [3]T_{hv} 时间为写操作开始到数据下一次擦除操作之前的累积时间，同一个地址在下一次擦除之前不能被写入两次；同一个存储单元在下一次擦除之前不能被写入两次。这种限制是基于安全考虑的。
- [4]所有的波形都有 1ns 的上升沿时间和 1ns 的下降沿时间。
- [5]控制信号 X、YADR、XE 和 YE 信号需要至少保持 T_{acc} 的时间，T_{acc} 从 SE 的上升沿处开始。

3.6.3 操作时序图

图 3-1 读操作时序

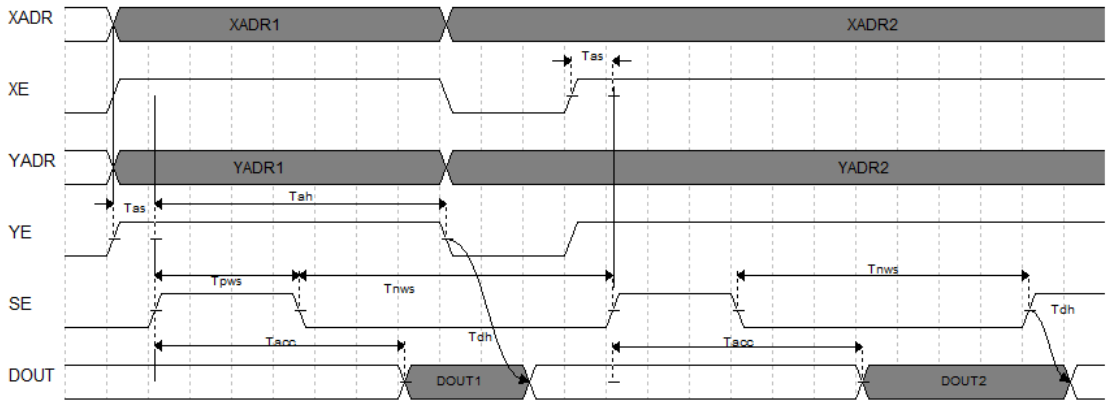


图 3-2 编程操作时序

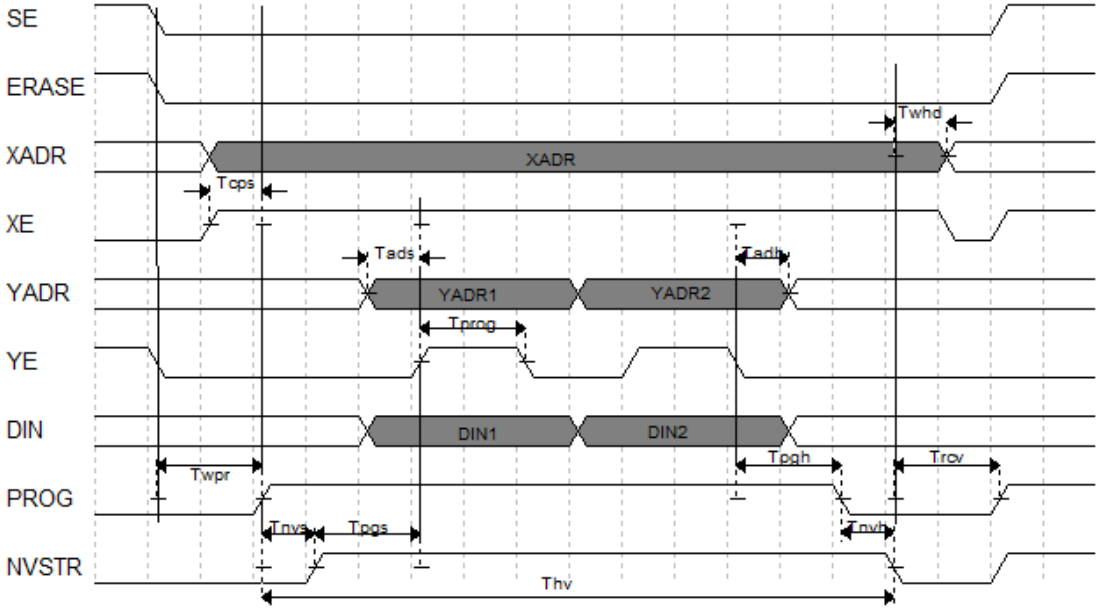
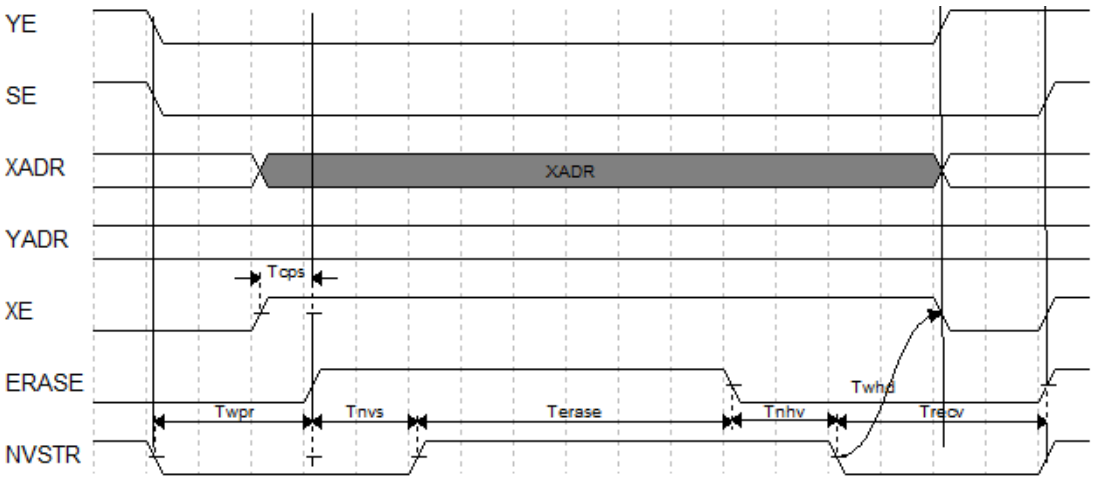


图 3-3 擦除操作时序



3.7 编程接口时序标准

GW1NS 系列 FPGA 产品 GowinCONFIG 配置模式支持多达 6 种，包括自启动模式、双启动模式、MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式，用户可配置 Mode 值选择需要的编程配置模式，详细资料请参见 UG290，Gowin FPGA 产品编程配置手册。

4 器件订货信息

4.1 器件命名

注！

- 关于封装类型及管脚数量的详细信息，请参考 1.2 产品信息列表及 1.3 封装信息列表。
- 相同速度等级的小蜜蜂(LittleBee)家族器件和晨熙家族器件速度不同。
- 高云器件速度等级采用双标标识，如 C7/C6 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足满足工业应用(I)和商业应用(C)。工业级最高温度 100℃，商业级最高温度 85℃，所以同一芯片如在商业级应用中满足速度等级 8，在工业级应用中速度等级则为 7。

图 4-1 器件命名方法示例－ES

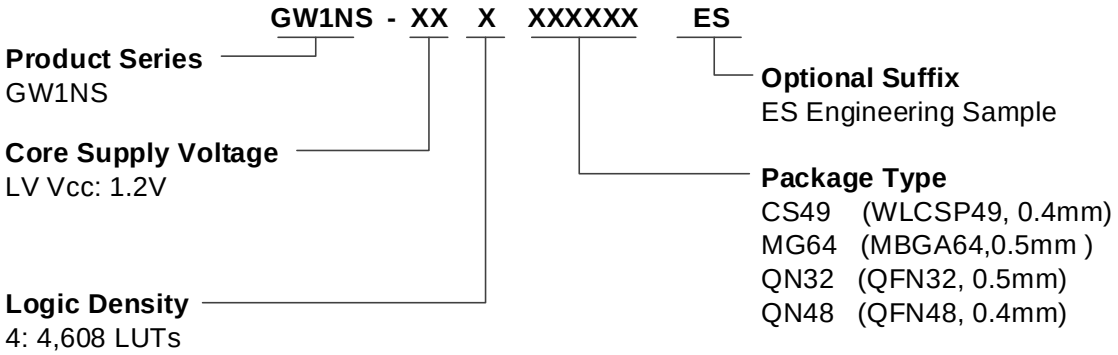


图 4-2 含 Cortex-M3 器件命名方法示例 – ES

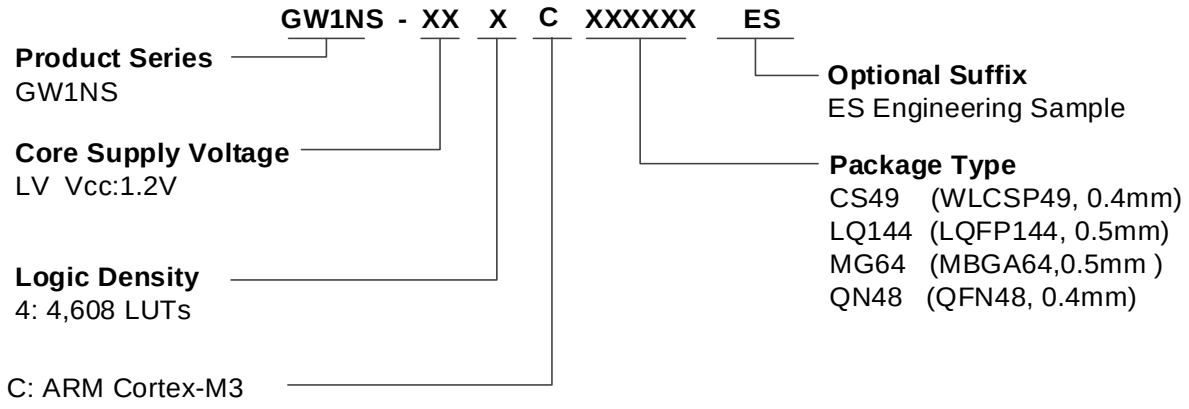


图 4-3 器件命名方法示例 – Production

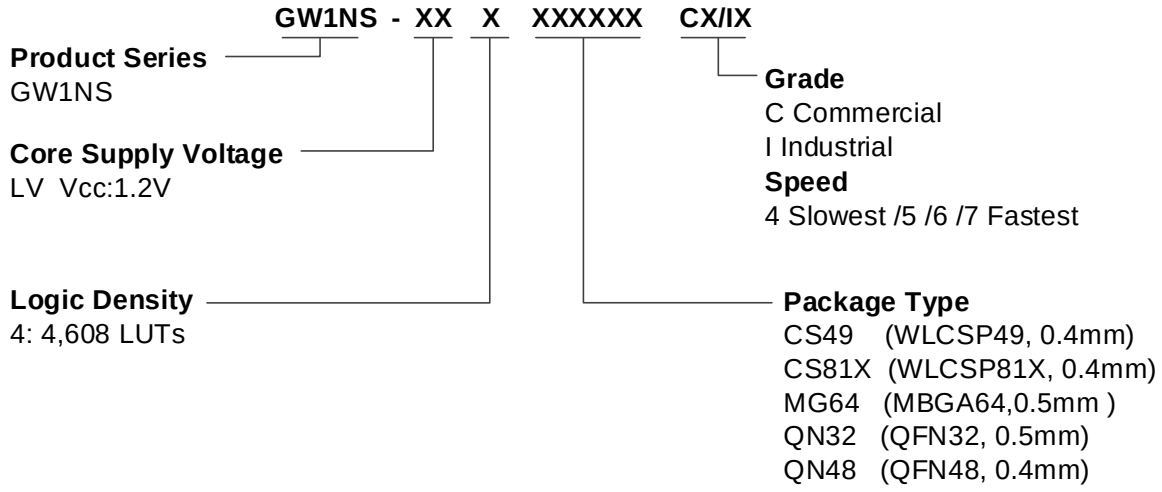
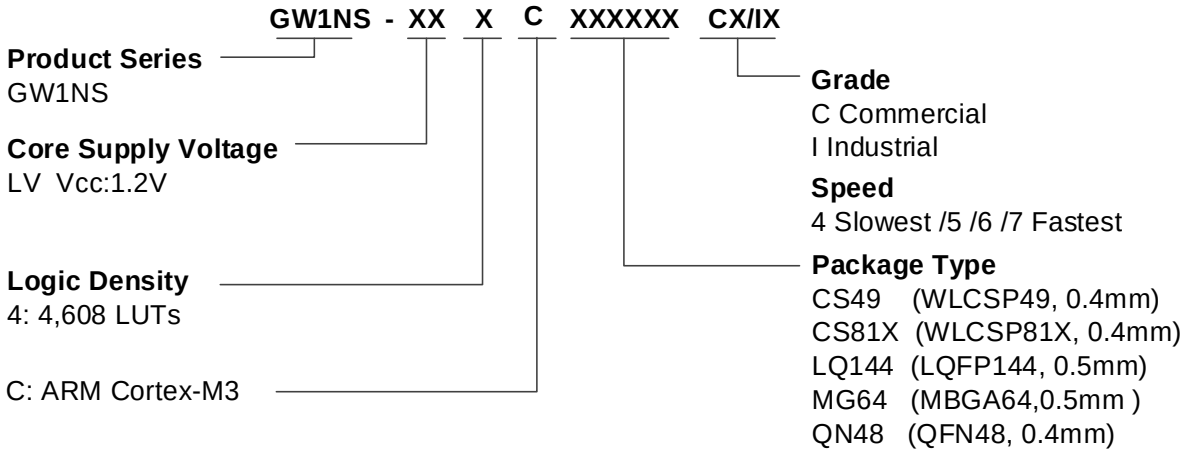


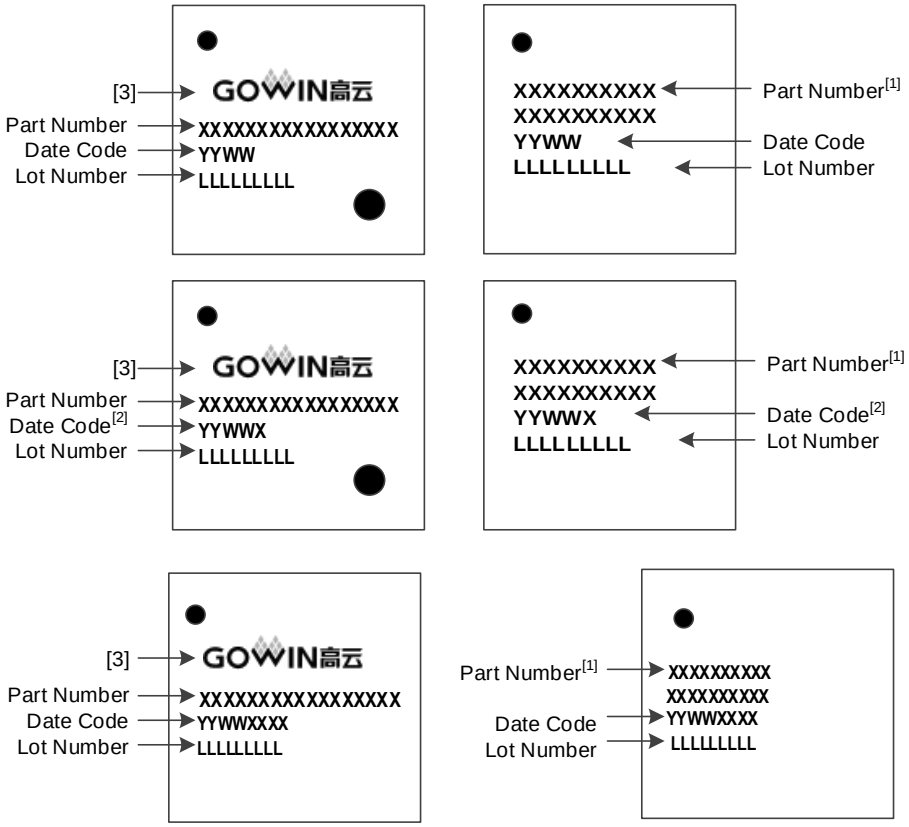
图 4-4 含 Cortex-M3 器件命名方法示例 – Production



4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 4-5 所示。

图 4-5 器件封装标识示例



注！

- [1]上图右图中第一行与第二行均为“Part Number”。
- [2] X 版本器件的 Date Code 后增加一位版本标识“X”。
- [3]具体器件的封装标识是否带高云 Logo 与封装形式、封装尺寸及 Part Number 长度有关，上图仅为封装标识的示例。

5 关于本手册

5.1 手册内容

GW1NS 系列 FPGA 产品数据手册主要包括高云半导体 GW1NS 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1NS 系列 FPGA 产品以及特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- UG290, Gowin FPGA 产品编程配置手册
- UG823, GW1NS 系列 FPGA 产品封装与管脚手册
- UG824, GW1NS-4&4C 器件 Pinout 手册

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
AHB	Advanced High performance Bus	AHB 系统总线
ALU	Arithmetic Logic Unit	算术逻辑单元
APB	Advanced Peripheral Bus	APB 外围总线
ARM	Advanced RISC Machine	高级精简指令集计算机
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置逻辑片
CRU	Configurable Routing Unit	可编程布线单元
CS	WLCSP	WLCSP 封装
DAP	Debug Access Port	调试访问端口
DCS	Dynamic Clock Selector	动态时钟选择器
DNL	Differential Nonlinearity	非线性微分
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DWT	Data Watchpoint Trace	数据监测点跟踪
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
INL	Integral Nonlinearity	非线性积分
IOB	Input/Output Block	输入输出模块
ITM	Instrumentation Trace Module	仪器跟踪模块
LQ	LQFP	LQFP 封装
LSB	Least Significant Bit	最低有效位
LUT4	4-input Look-up Table	4 输入查找表
MG	MBGA	MBGA 封装
NVIC	Nested Vector Interrupt Controller	嵌套式向量中断控制器
PG	PBGA	PBGA 封装
PHY	Physical Layer	物理层
PLL	Phase-locked Loop	锁相环
QN	QFN	QFN 封装
REG	Register	寄存器
SAR	Successive Approximation Register	逐次逼近型
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SFDR	Spurious-freeDynamic Range	无杂散动态范围
SINAD	Signal to Noise And Distortion	信号与噪声失真比

术语、缩略语	全称	含义
SoC	System on Chip	片上系统
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用
Timer	Timer	定时器
TimeStamp	TimeStamp	时间戳
TPIU	Trace Port Interface Unit	跟踪端口接口单元
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
UG	UBGA	UBGA 封装
USB	Universal Serial Bus	通用串行总线
Watchdog	Watchdog	看门狗

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

GOWIN高云

智慧逻辑 定制未来