GW1NZ 系列 FPGA 产品

数据手册

DS841-2.7, 2025-04-25

版本信息

日期	版本	说明
2019/01/23	1.0	初始版本。
2019/02/12	1.1	修改器件命名图示。
2019/04/03	1.2	● 更新 I/O BANK 框图； ● 增加 I3C 和 SPMI 模块描述，增加片内晶振精度的描述； ● 电气特性中的环境温度更新为结温。
2019/09/25	1.3	● 增加注释：GW1NZ-1 只支持差分输出，不支持差分输入； ● 修改电源上升斜率。
2019/11/06	1.4	更新最大 I/O 数。
2020/01/06	1.5	● 增加 ZV 器件静态电流信息。 ● 增加用户闪存低功耗描述； ● 更新电气特性章节架构。 ● 更新用户闪存 XADDR 位宽
2020/06/30	1.6	增加 GW1NZ-1 FN32F 封装信息。
2020/12/12	1.7	新增 GW1NZ-2 器件信息。
2021/01/19	1.7.1	更新 I/O 电平标准。
2021/01/27	1.7.2	增加 GW1NZ-2 QN48 及 QN48M 封装信息。
2021/02/26	1.8	删除 GW1NZ-2 器件信息。
2021/11/26	1.8.1	完善 I/O 逻辑等信息。
2022/11/18	1.9	● 增加关于 DC 电流限制的注释。 ● 更新图 2-1 GW1NZ-1 器件结构概念示意图。 ● 更新表 2-1 GW1NZ-1 支持的输出 I/O 类型及部分可选配置。 ● 更新表 3-3 电源上升斜率。 ● 更新表 3-5 POR 电压参数。 ● 更新表 3-8 推荐工作范围内 DC 电气特性。 ● 更新表 3-12 I/O 推荐工作条件。 ● 删除 3.6.4 字节使能功能配置。 ● 新增配置闪存资源的描述。
2023/02/27	2.0	● 更新表 3-1 绝对最大范围。 ● 更新表 3-23 用户闪存时序参数。 ● 更新表 3-8 推荐工作范围内 DC 电气特性。 ● 删除 Slew Rate 的相关描述。 ● 新增说明到 2.7 用户闪存资源(GW1NZ-1)。
2023/07/20	2.1	● 修改 GPIO 默认状态的相关注释。 ● 将 I/O 逻辑输出示意图和 I/O 逻辑输入示意图合并为图 2-8 I/O 逻辑输入输出示意图。 ● 更新 Flash 资源的相关描述。 ● 更新 2.6.2BSRAM 配置模式。

日期	版本	说明
		● 更新表 3-3 电源上升斜率。 ● 更新表 3-9 静态电流(LV 版本)。 ● 更新图 4-3 器件封装标识。 ● 新增 GW1NZ-2 器件信息。
2023/08/18	2.2	● 更新表 1-1 产品信息列表。 ● 更新表 1-2 产品封装和最大用户 I/O 信息(True LVDS 对数)及其注释。 ● 修改表 3-8 推荐工作范围内 DC 电气特性的注释。 ● 更新表 3-23 用户闪存时序参数[1], [4], [5]及其注释。 ● 更新图 4-3 器件封装标识。 ● 优化 GPIO 默认状态的相关注释。 ● 调整文档结构。
2023/09/08	2.3	● 新增 GW1NZ-1 FN24/CG25 封装。 ● 删除 2.6.7 上电情况。
2023/11/30	2.4	● 新增 GW1NZ-2 CS42 封装。 ● 更新表 1-1 产品信息列表。 ● 添加注释到表 2-3 GW1NZ-2 支持的输出 I/O 类型及部分可选配置和表 3-13 单端 I/O DC 电气特性。 ● 更新表 3-2 推荐工作范围[1]。
2023/12/28	2.4.1	● 更新表 1-1 产品信息列表。 ● 更新表 1-2 产品封装和最大用户 I/O 信息(True LVDS 对数)。 ● 更新表 3-2 推荐工作范围[1]。 ● 更新图 2-6 GW1NZ 的 I/O Bank 分布示意图(GW1NZ-2)。 ● 更新闪存资源的相关描述。
2024/07/12	2.5	● 更新“表 3-3 电源上升斜率”：修改 V_{CC} 上升斜率。 ● 修改 LV 版本 V_{CC} 的推荐工作范围。 ● 更新“表 3-1 绝对最大范围”和“表 3-2 推荐工作范围[1]”：添加硬核 MIPI D-PHY 电压信息。 ● 新增“图 2-6 GW1NZ 的 I/O Bank 分布示意图(GW1NZ-2)”中 Bank6 的说明。 ● 新增最大 GPIO 数的相关注释到“表 1-1 产品信息列表”。 ● 更新 IODELAY 模块的描述。 ● 更新“表 3-13 单端 I/O DC 电气特性”：修改 LVCMOS12 电平标准的 I_{OL} 和 I_{OH}。 ● 修改双端口和伪双端口 BSRAM 功能描述的注释。
2025/02/28	2.6	● 更新“表 3-16 Gearbox 时序参数”和“表 3-17 外部开关特性”。 ● 更新“表 1-2 产品封装和最大用户 I/O 信息(True LVDS 对数)”：修正 GW1NZ-2 器件 CS100H 封装的最大用户 I/O 数。 ● 更新“表 3-13 单端 I/O DC 电气特性”：修改 LVCMOS12 电平标准的 I_{OL} 和 I_{OH}。

日期	版本	说明
		● 完善 MIPI IO 的描述。 ● 新增 GW1NZ-2 CG56 封装。
2025/04/25	2.7	● 更新“表 2-1 GW1NZ-1 支持的输出 I/O 类型及部分可选配置”和“表 2-3 GW1NZ-2 支持的输出 I/O 类型及部分可选配置”：修正部分 I/O 类型的驱动能力值。 ● 更新“表 2-2 GW1NZ-1 支持的输入 I/O 类型及部分可选配置”和“表 2-4 GW1NZ-2 支持的输入 I/O 类型及部分可选配置”：修改部分 I/O 类型的 V_{CCIO} 值。 ● 新增“3.3.5 差分 I/O DC 电气特性”。

目录

图目录

表目录

1 产品概述

高云半导体 GW1NZ 系列 FPGA 产品是高云半导体小蜜蜂(LittleBee)家族第一代低功耗产品，具有低功耗、低成本、瞬时启动、非易失性、高安全性、封装类型丰富、使用方便灵活等特点，可广泛应用于通信、工业控制、消费类、视频监控等领域。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NZ 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 零功耗
  - 55nm 嵌入式闪存工艺
  - LV 版本：支持 1.1V/1.2V 核电压
  - ZV 版本：支持 0.9V/1.0V 核电压，静态电流值请参考表 3-10。
  - 支持时钟动态打开/关闭
  - 支持动态打开/关闭用户闪存
- 电源管理模块（GW1NZ-1）
  - SPMI：系统电源管理接口
  - 器件内部 VCC 和 VCCM 各自独立
- 用户闪存资源（GW1NZ-1）
  - NOR Flash
  - 支持动态打开或关闭
  - 存储容量：64K bits
  - 数据位宽：32
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85℃)
  - 支持页擦除：一页 2048 字节
  - 读时间：最大 25ns
  - 电流

    读操作：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX}) (Max)

    编程操作/擦除操作：12/12mA (Max)
  - 快速页擦除/字编程操作
  - 时钟频率：40MHz
  - 字编程操作时间：≤16μs
  - 页擦除时间：≤120ms
- 用户闪存资源（GW1NZ-2）
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85℃)
  - 数据位宽：32
  - 存储容量：96K bits
  - 页擦除能力：2,048-Byte
  - 字编程时间：≤16μs
  - 页擦除时间：≤120ms
- 配置闪存资源（GW1NZ-1）
  - NOR Flash
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85℃)
- 配置闪存资源（GW1NZ-2）
  - NOR Flash
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85℃)
- MIPI D-PHY RX 硬核（GW1NZ-2）
  - 支持 MIPI CSI-2 和 DSI，RX 器件接口

  - IO Bank6 支持 MIPI D-PHY RX
  - MIPI 传输速率单通道可达 2Gbps
  - 支持最多四个数据通道和一个时钟通道
- GPIO 支持 MIPI D-PHY RX/TX
  - 支持 MIPI CSI-2 和 MIPI DSI，RX 和 TX 器件接口，传输速率单通道可达 1.2Gbps
  - 可选 3 种 IO 类型：TLVDS、ELVDS、MIPI IO。其中 GW1NZ-1 仅支持 ELVDS 输出。详见 2.9.2 GPIO 支持 MIPI D-PHY RX/TX
- 支持多种 I/O 电平标准
  - GW1NZ-1：LVCMOS33/25/18/15/12；LVTTL33，PCI，LVDS25E，BLVDSE，MLVDSE，LVPECLE，RSDSE
  - GW1NZ-2：LVCMOS33/25/18/15/12；LVTTL33，SSTL33/25/18 I，SSTL33/25/18 II，SSTL15；HSTL18 I，HSTL18 II，HSTL15 I；PCI，LVDS25，RSDS，LVDS25E，BLVDSE，MLVDSE，LVPECLE，RSDSE
  - 提供输入信号迟滞选项
  - 提供输出信号驱动电流选项
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
  - I3C 硬核，支持 SDR 模式
- 丰富的基本逻辑单元
  - 4 输入 LUT(LUT4)
  - 支持移位寄存器和分布式存储器
- 支持多种模式的静态随机存储器
  - 支持双端口、单端口以及伪双端口模式
  - 支持字节写使能
- 灵活的 PLL 资源
  - 实现时钟的倍频、分频和相移
  - 全局时钟网络资源
- 内置 Flash 编程
  - 瞬时启动
  - 支持安全位操作
  - 支持 AUTO BOOT 和 DUAL BOOT 编程模式
- 编程配置模式
  - 支持 JTAG 配置模式[1]

    注：

    [1] GW1NZ-1 CG25/ FN24 封装不支持 JTAG 配置模式。
  - 支持多达 6 种 GowinCONFIG 配置模式：AUTOBOOT、SSPI、MSPI、CPU、SERIAL、DUAL BOOT

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW1NZ-1	GW1NZ-2
逻辑单元(LUT4)	1,152	2,304
寄存器	864	2,016
分布式静态随机存储器 SSRAM(bits)	4K	18K
块状静态随机存储器 BSRAM(bits)	72K	72K
锁相环(PLLs)	1	1
用户闪存(bits)	64K	96K
最大 GPIO 数[1]	48	125
核电压典型值（LV 版本）	1.1V/1.2V	1.1V/1.2V
核电压典型值（ZV 版本）	0.9V/1.0V	0.9V/1.0V

注！

[1]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 1-2。

1.3 封装信息列表

表 1-2 产品封装和最大用户 I/O 信息(True LVDS 对数)

封装	间距(mm)	尺寸(mm)	GW1NZ-1	GW1NZ-2
CG25	0.35	1.8 x 1.8	20	-
CG56	0.35	2.4 x 2.9	-	46 (14)
CS100H	0.4	4 x 4	-	79 (21)
CS16	0.4	1.8 x 1.8	11	-
CS42	0.4	2.4 x 2.9	-	35 (11)
FN24	0.4	3 x 3	18	-
FN32	0.4	4 x 4	25	-
FN32F	0.4	4 x 4	25	-
QN48	0.4	6 x 6	41	41 (12)

注！

- 本手册中 GW1NZ 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 4.1 器件命名。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。当 mode[2:0]=001 时，JTAGSEL_N 始终为 GPIO，此时可将 JTAGSEL_N 和 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）同时用作 GPIO。

2 结构介绍

2.1 结构框图

图 2-1 GW1NZ-1 器件结构概念示意图

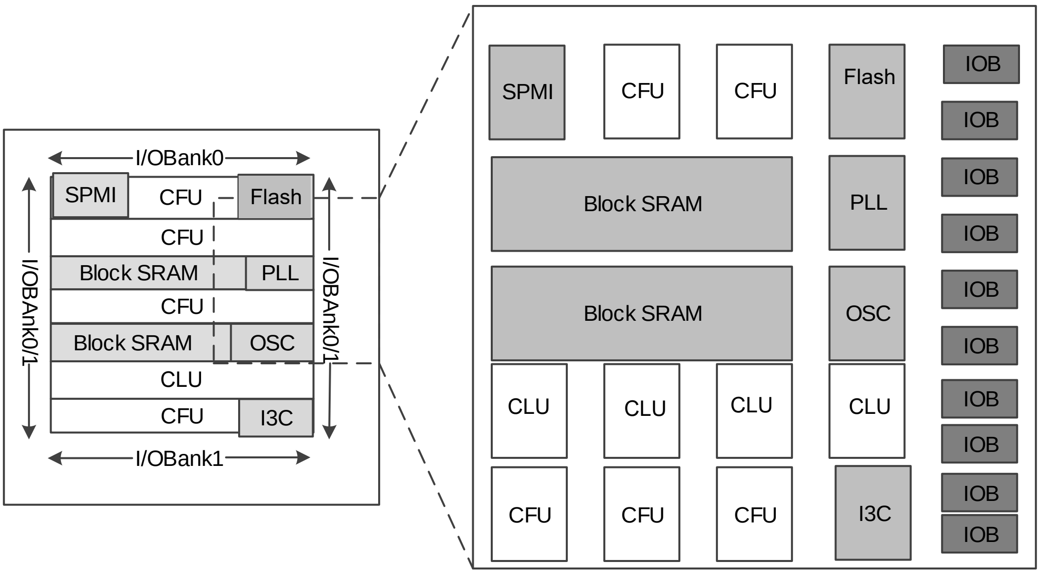


图 2-2 GW1NZ-2 器件结构概念示意图

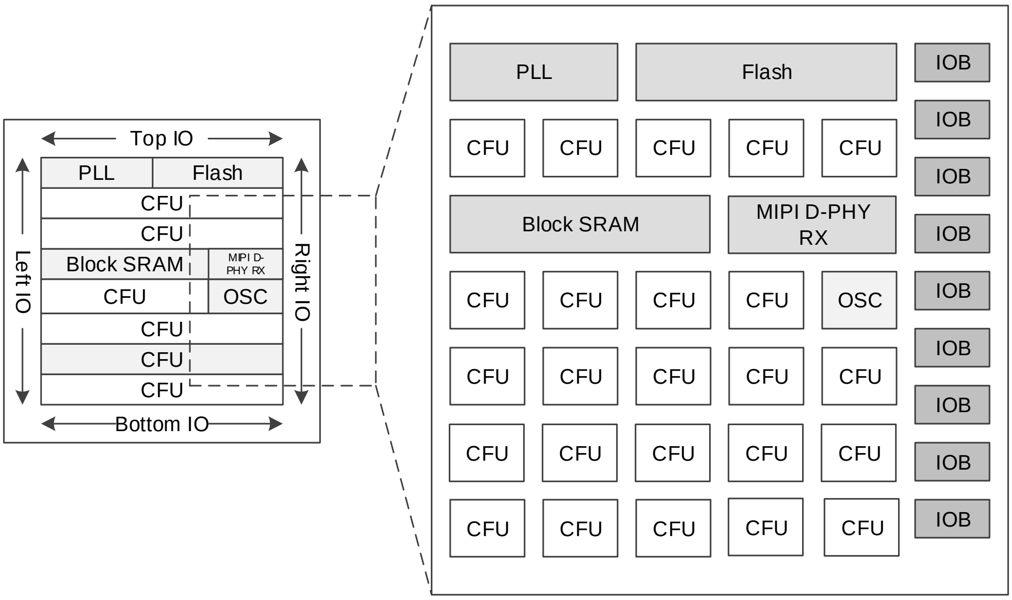


图 2-1 和图 2-2 为 GW1NZ 系列产品结构示意图，GW1NZ 系列产品内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，产品内嵌了块状静态随机存储器（BSRAM）模块、PLL 资源、片内晶振和闪存资源，支持瞬时启动功能，此外，GW1NZ-1 内嵌了 SPMI 模块和 I3C 模块。内部资源数量详细信息请参考表 1-1。

GW1NZ 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU)和/或可配置逻辑单元(CLU)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元（CFU）可以配置成查找表（LUT4）模式、算术逻辑模式和存储器模式。详细信息请参考 2.2 可配置功能单元。

GW1NZ 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细信息请参考 2.3 输入输出模块。

GW1NZ 系列 FPGA 产品的块状静态随机存储器（BSRAM）在器件内部按照行排列。一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细信息请参考 2.6 块状静态随机存储器模块。

GW1NZ 系列 FPGA 产品内嵌了 1 Mbits 的闪存资源，包括配置闪存资源和用户闪存资源。配置闪存资源用于内置 Flash 编程，详细资料请参考 2.13 编程配置。用户闪存资源用于用户存储，详细信息请参考 2.7 用户闪存资源(GW1NZ-1)和 2.8 用户闪存资源(GW1NZ-2)。

GW1NZ-2 器件包含硬核 MIPI D-PHY RX，详细信息请参考 2.9 MIPI D-PHY(GW1NZ-2)。

GW1NZ 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振。详细信息请参考 2.10 时钟及 2.14 片内晶振。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU，Configurable

Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元（CFU）和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW1NZ 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细信息请参考 2.10 时钟、2.11 长线、2.12 全局复置位。

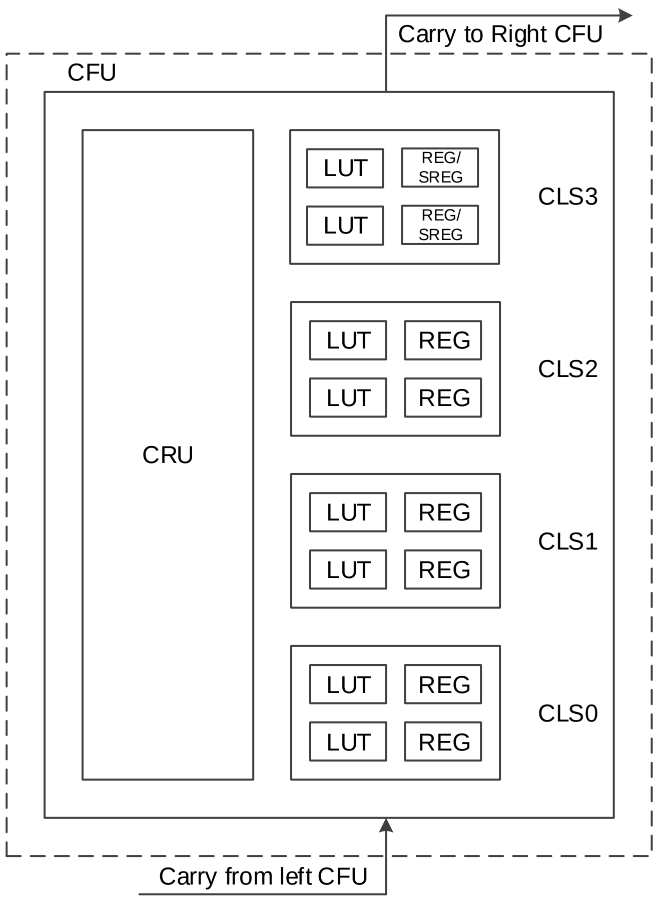
2.2 可配置功能单元

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体 FPGA 产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中三个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，另外一个可配置逻辑块只包含两个四输入查找表，如图 2-3 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU 的更多详细信息，请参考 UG288，Gowin 可配置功能单元(CFU)用户指南。

图 2-3 CFU 结构示意图



注！

- SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。
- 目前，仅 GW1NZ-2 器件支持 CLS3 的 REG，且 CLS3 与 CLS2 的 CLK/CE/SR 同源。

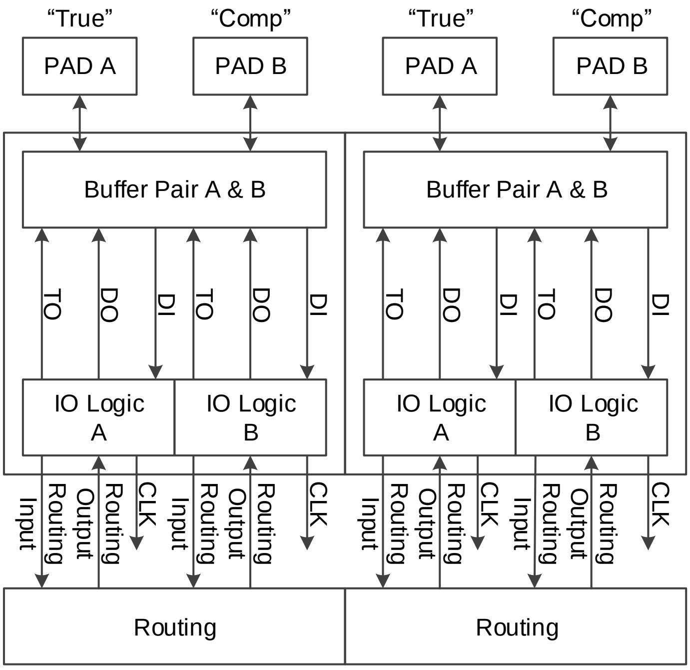
2.3 输入输出模块

GW1NZ 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。下图为两个 IOB 的结构示意图，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

注！

GW1NZ-1 器件 IO 只支持差分输出，不支持差分输入。

图 2-4 IOB 结构示意图



GW1NZ 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 V_{CCIO} 机制
- 支持 LVCMOS、PCI、LVTTL、LVDS、SSTL 以及 HSTL 等多种电平标准
- 提供输入信号迟滞选项
- 提供输出信号驱动电流选项
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
- 支持热插拔
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式
- GW1NZ-1 内嵌 I3C 硬核，支持 SDR 模式

2.3.1 I/O 电平标准

GW1NZ-1 包括 2 个 I/O Bank，如图 2-5 所示。GW1NZ-2 包括 6 个 I/O Bank，其中 GW1NZ-2 CS100H 封装包括 7 个 I/O Bank，Bank6[1]为 MIPI 专用 Bank，用于 MIPI D-PHY RX，如图 2-6 所示。每个 Bank 有独立的 I/O 电源 V_{CCIO}。V_{CCIO} 可以设置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。

注！

[1] 若不使用 MIPI 功能，可以将 Bank6 的管脚保持悬空。也可通过旁路内部 MIPI 逻辑的方式将 Bank6 用于差分输入(共模电压≤0.5V)。

图 2-5 GW1NZ 的 I/O Bank 分布示意图(GW1NZ-1)

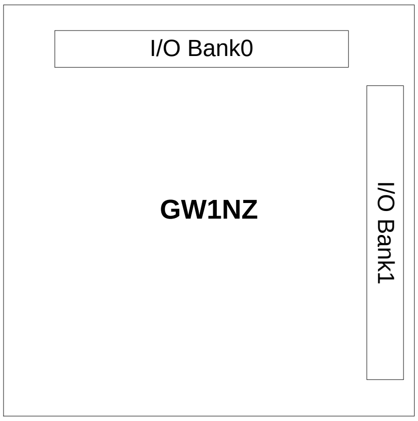
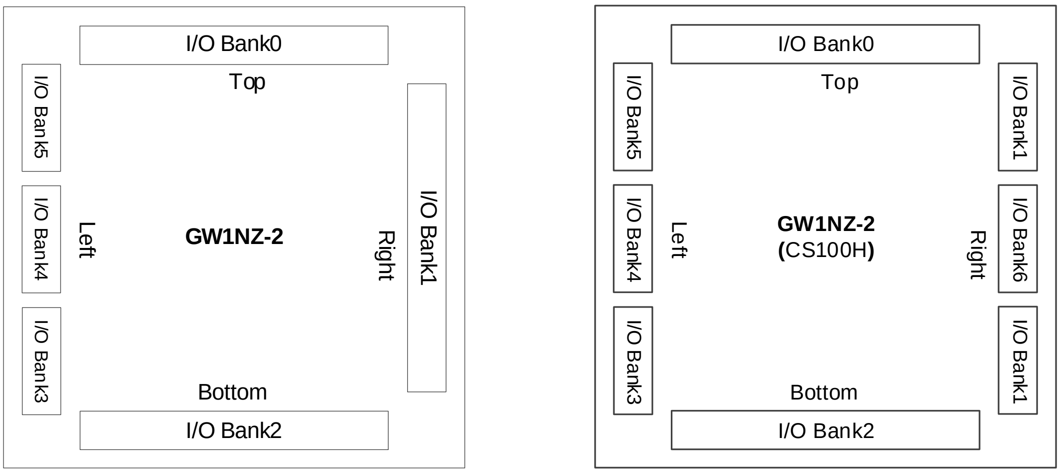


图 2-6 GW1NZ 的 I/O Bank 分布示意图(GW1NZ-2)



GW1NZ 系列 FPGA 产品支持 LV 版本和 ZV 版本，LV 版本器件支持 1.1V/1.2V 核供电电压，可以满足用户低功耗的需求，ZV 版本器件支持 0.9V/1.0V 核供电电压，可以实现零功耗。I/O Bank 供电电压 V_{CCIO} 根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。 辅助电压 V_{CCX} 支持 1.8V、2.5V 和 3.3V。

注！

配置过程中，器件所有 GPIO 均为高阻态、内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。

不同的 I/O 输出及输入标准对 V_{CCIO} 的要求如表 2-1~表 2-4 所示。

表 2-1 GW1NZ-1 支持的输出 I/O 类型及部分可选配置

I/O 类型(输出)	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	应用
LVCMOS33/LVTTL33	单端	3.3	4/8/12/16/24	通用接口
LVCMOS25	单端	2.5	4/8/12/16	通用接口
LVCMOS18	单端	1.8	4/8/12	通用接口
LVCMOS15	单端	1.5	4/8	通用接口
LVCMOS12	单端	1.2	4/8	通用接口
PCI33	单端	3.3	4/8	PC 和嵌入式系统
LVCMOS33D	差分	3.3	4/8/12/16/24	通用接口
LVCMOS25D	差分	2.5	4/8/12/16	通用接口
LVCMOS18D	差分	1.8	4/8/12	通用接口
LVCMOS15D	差分	1.5	4/8	通用接口
LVCMOS12D	差分	1.2	4/8	通用接口

表 2-2 GW1NZ-1 支持的输入 I/O 类型及部分可选配置

I/O 类型(输入)	单端/差分	Bank V_{CCIO}(V)	HYSTERESIS（支持迟滞选项）	是否需要 V_{REF}
LVCMOS33/LVTTL33	单端	3.3	是	否
LVCMOS25	单端	2.5	是	否
LVCMOS18	单端	1.8	是	否
LVCMOS15	单端	1.5	是	否
LVCMOS12	单端	1.2	是	否
PCI33	单端	3.3	是	否
LVCMOS33OD25	单端	2.5	是	否
LVCMOS33OD18	单端	1.8	是	否
LVCMOS33OD15	单端	1.5	是	否
LVCMOS25OD18	单端	1.8	是	否
LVCMOS25OD15	单端	1.5	是	否
LVCMOS18OD15	单端	1.5	是	否
LVCMOS15OD12	单端	1.2	是	否
LVCMOS25UD33	单端	3.3	是	否

I/O 类型(输入)	单端/差分	Bank V_{CCIO}(V)	HYSTERESIS（支持迟滞选项）	是否需要 V_{REF}
LVCMOS18UD25	单端	2.5	是	否
LVCMOS18UD33	单端	3.3	是	否
LVCMOS15UD18	单端	1.8	是	否
LVCMOS15UD25	单端	2.5	是	否
LVCMOS15UD33	单端	3.3	是	否
LVCMOS12UD15	单端	1.5	是	否
LVCMOS12UD18	单端	1.8	是	否
LVCMOS12UD25	单端	2.5	是	否
LVCMOS12UD33	单端	3.3	是	否

表 2-3 GW1NZ-2 支持的输出 I/O 类型及部分可选配置

I/O 类型(输出)	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	应用
MIPI[1]	差分（TLVDS）	1.2	3.5	移动行业处理器接口
LVDS25	差分（TLVDS）	2.5/3.3	2.5/3.5/4.5/6	点对点高速数据传输
RSDS	差分（TLVDS）	2.5/3.3	2.5	点对点高速数据传输
MINILVDS	差分（TLVDS）	2.5/3.3	2.5	LCD 时序驱动与列驱动器接口
PPLVDS	差分（TLVDS）	2.5/3.3	3.5	LCD 行/列驱动
LVDS25E	差分	2.5	8	点对点高速数据传输
BLVDS25E	差分	2.5	16	多点高速数据传输
MLVDS25E	差分	2.5	16	LCD 时序驱动与列驱动器接口
RSDS25E	差分	2.5	8	点对点高速数据传输
LVPECL33E	差分	3.3	16	通用接口
HSTL18D_I	差分	1.8	8	存储接口
HSTL18D_II	差分	1.8	8	存储接口
HSTL15D_I	差分	1.5	8	存储接口
SSTL15D	差分	1.5	8	存储接口
SSTL18D_I	差分	1.8	8	存储接口
SSTL18D_II	差分	1.8	8	存储接口
SSTL25D_I	差分	2.5	8	存储接口
SSTL25D_II	差分	2.5	8	存储接口
SSTL33D_I	差分	3.3	8	存储接口
SSTL33D_II	差分	3.3	8	存储接口

I/O 类型(输出)	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	应用
LVCMOS12D	差分	1.2	2/6	通用接口
LVCMOS15D	差分	1.5	4/8	通用接口
LVCMOS18D	差分	1.8	4/8/12	通用接口
LVCMOS25D	差分	2.5	4/8/12/16	通用接口
LVCMOS33D	差分	3.3	4/8/12/16	通用接口
HSTL15_I	单端	1.5	8	存储接口
HSTL18_I	单端	1.8	8	存储接口
HSTL18_II	单端	1.8	8	存储接口
SSTL15	单端	1.5	8	存储接口
SSTL18_I	单端	1.8	8	存储接口
SSTL18_II	单端	1.8	8	存储接口
SSTL25_I	单端	2.5	8	存储接口
SSTL25_II	单端	2.5	8	存储接口
SSTL33_I	单端	3.3	8	存储接口
SSTL33_II	单端	3.3	8	存储接口
LVCMOS12	单端	1.2	2/6	通用接口
LVCMOS15	单端	1.5	4/8	通用接口
LVCMOS18	单端	1.8	4/8/12	通用接口
LVCMOS25	单端	2.5	4/8/12/16	通用接口
LVCMOS33/ LVTTL33	单端	3.3	4/8/12/16	通用接口
PCI33	单端	3.3	4/8	PC 和嵌入式系统

Note!

- [1] GW1NZ-2 器件的 Bank0/Bank3/Bank4/Bank5 支持以 MIPI IO 类型实现 MIPI 输出。

表 2-4 GW1NZ-2 支持的输入 I/O 类型及部分可选配置

I/O 类型(输入)	单端/差分	Bank V_{CCIO}(V)	HYSTERESIS（支持迟滞选项）	是否需要 V_{REF}
MIPI[1]	差分（TLVDS）	1.2	否	否
LVDS25	差分（TLVDS）	2.5/3.3	否	否
RSDS	差分（TLVDS）	2.5/3.3	否	否
MINILVDS	差分（TLVDS）	2.5/3.3	否	否
PPLVDS	差分（TLVDS）	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
RSDS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
HSTL18D_I	差分	1.8	否	否
HSTL18D_II	差分	1.8	否	否
HSTL15D_I	差分	1.5	否	否
SSTL15D	差分	1.5	否	否
SSTL18D_I	差分	1.8	否	否
SSTL18D_II	差分	1.8	否	否
SSTL25D_I	差分	2.5	否	否
SSTL25D_II	差分	2.5	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
LVCMOS12D	差分	1.2	否	否
LVCMOS15D	差分	1.5	否	否
LVCMOS18D	差分	1.8	否	否
LVCMOS25D	差分	2.5	否	否
LVCMOS33D	差分	3.3	否	否
HSTL15_I	单端	1.5	否	是
HSTL18_I	单端	1.8	否	是
HSTL18_II	单端	1.8	否	是
SSTL15	单端	1.5	否	是
SSTL18_I	单端	1.8	否	是
SSTL18_II	单端	1.8	否	是
SSTL25_I	单端	2.5	否	是
SSTL25_II	单端	2.5	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
LVCMOS12	单端	1.2	是	否
LVCMOS15	单端	1.5	是	否

I/O 类型(输入)	单端/差分	Bank V_{CCIO}(V)	HYSTERESIS（支持迟滞选项）	是否需要 V_{REF}
LVCMOS18	单端	1.8	是	否
LVCMOS25	单端	2.5	是	否
LVCMOS33/ LVTTL33	单端	3.3	是	否
PCI33	单端	3.3	是	否
LVCMOS33OD25	单端	2.5	否	否
LVCMOS33OD18	单端	1.8	否	否
LVCMOS33OD15	单端	1.5	否	否
LVCMOS25OD18	单端	1.8	否	否
LVCMOS25OD15	单端	1.5	否	否
LVCMOS18OD15	单端	1.5	否	否
LVCMOS15OD12	单端	1.2	否	否
LVCMOS25UD33	单端	3.3	否	否
LVCMOS18UD25	单端	2.5	否	否
LVCMOS18UD33	单端	3.3	否	否
LVCMOS15UD18	单端	1.8	否	否
LVCMOS15UD25	单端	2.5	否	否
LVCMOS15UD33	单端	3.3	否	否
LVCMOS12UD15	单端	1.5	否	否
LVCMOS12UD18	单端	1.8	否	否
LVCMOS12UD25	单端	2.5	否	否
LVCMOS12UD33	单端	3.3	否	否

Note!

- [1] GW1NZ-2 Bank6（硬核）及 GW1NZ-2 Bank2 支持 MIPI I/O 输入。

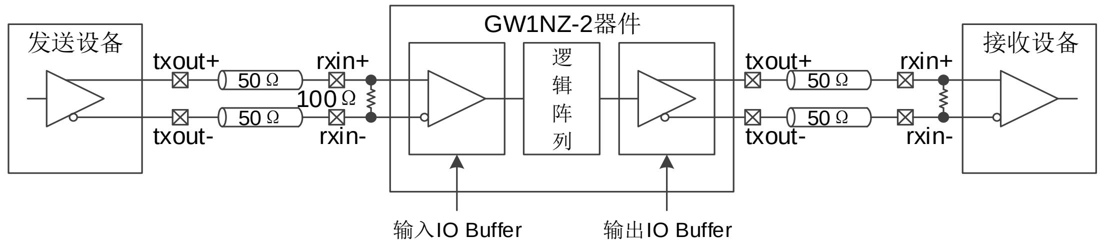
2.3.2 真 LVDS 设计(GW1NZ-2)

GW1NZ-2 支持真 LVDS 输出，此外，GW1NZ-2 还支持 LVDS25E、MLVDS25E、BLVDS25E 等电平类型。

真 LVDS 的分布详细资料请参见 *UG847, GW1NZ-2 器件 Pinout 手册。*

LVDS 的输入端 I/O 需要 100 欧姆终端电阻做匹配，设计参考如图 2-7 所示。GW1NZ-2 的 Bank2 支持片内可编程的 100 欧姆输入差分匹配电阻，详见 *UG289, Gowin 可编程通用管脚（GPIO）用户指南*。

图 2-7 真 LVDS 设计参考框图



LVDS25E、MLVDS25E、BLVDS25E 等差分 I/O 终端匹配电阻网络请参见 UG289, *Gowin 可编程通用管脚（GPIO）用户指南*。

2.3.3 I/O 逻辑

图 2-8 为 GW1NZ 系列 FPGA 产品的 I/O 逻辑的输入输出部分。

图 2-8 I/O 逻辑输入输出示意图

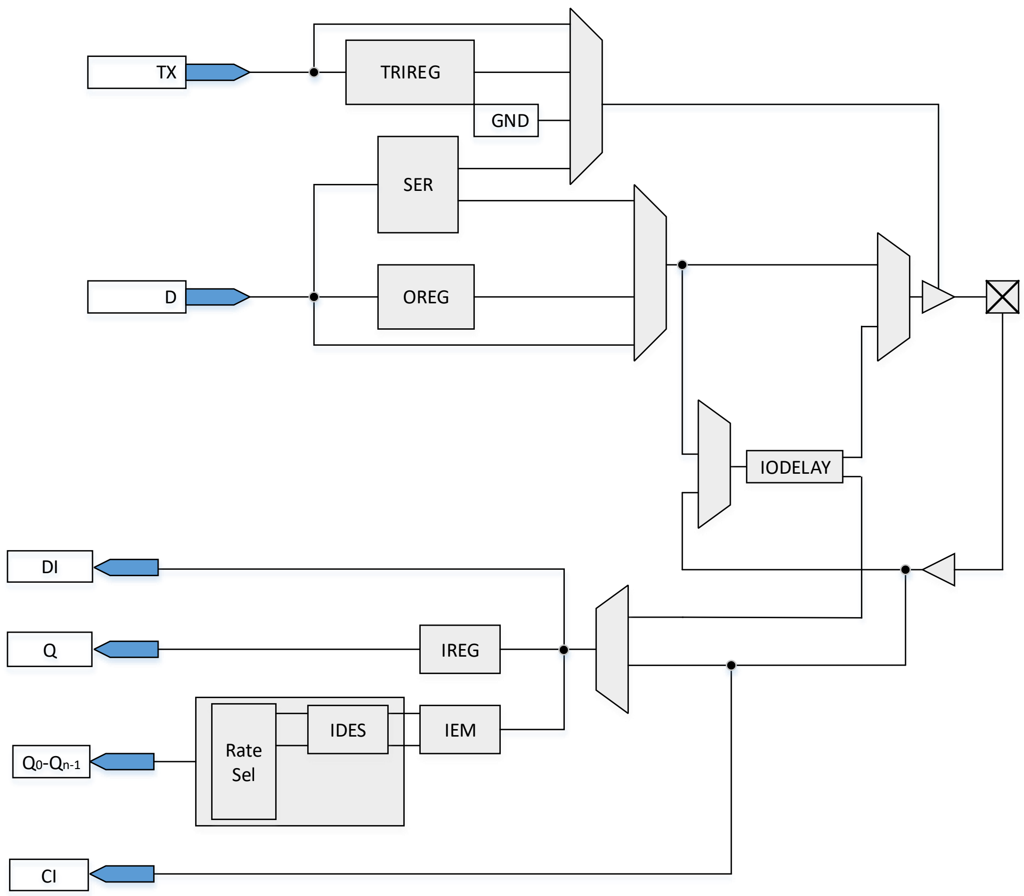


表 2-5 端口介绍

端口名	I/O	描述
CI[1]	Input	GCLK 输入信号。 GCLK 输入信号的数量请参考 *UG842, GW1NZ-1 器件 Pinout 手册，UG847, GW1NZ-2 器件 Pinout 手册*。
DI	Input	IO 口低速输入信号，直接输入到 Fabric。
Q	Output	SDR 模块中 IREG 输出信号。
Q_0-Q_{n-1}	Output	DDR 模块中 IDES 输出信号。

注！

[1]当 CI 作为 GCLK 输入使用时，DI、Q 及 Q_0-Q_{n-1} 不能作为 IO 输入输出使用。

GW1NZ 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

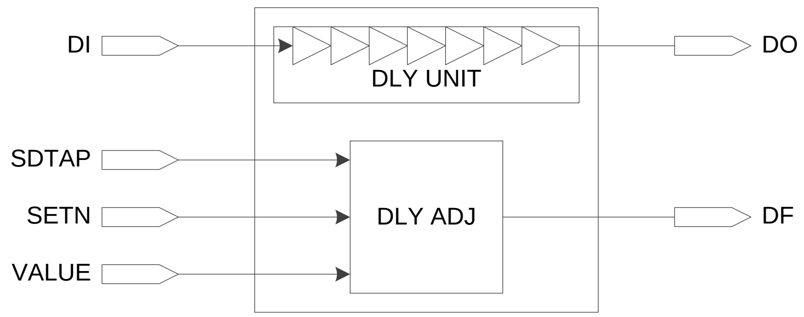
延迟模块

图 2-9 为延迟模块 IODELAY。GW1NZ 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，用户可以通过该模块在 I/O 上增加额外的 delay 用于调整输入输出信号的延时。每一步的延迟时间为 $T_{dlyunit}$，总共可以提供的延迟步数为 DLYSTEP。IODELAY 总延迟时间为：$T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$，总延迟参考时间如表 2-6 所示。

表 2-6 IODELAY 总延迟参考

	Min.	Typ.	Max.
$T_{dlyoffset}$	450ps	500ps	550ps
$T_{dlyunit}$	-	30ps	-
DLYSTEP	0	-	127

图 2-9 IODELAY 示意图



有两种控制延迟的方式：

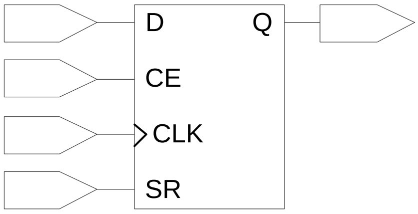
- 静态控制
- 动态控制，可与 IEM 模块（取样模块）一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 2-10 为 GW1NZ 系列 FPGA 产品的 I/O 寄存器模块。GW1NZ 系列

FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TRIREG。

图 2-10 GW1NZ 的 I/O 寄存器示意图



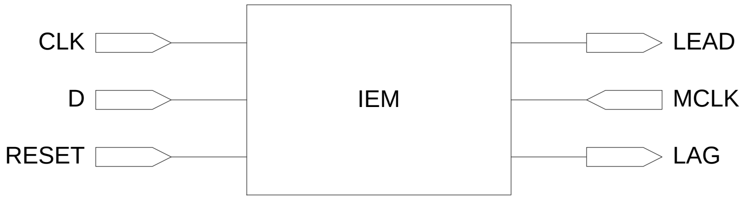
注！

- CE 可以编程为低电平有效(0：enable)或高电平有效(1：enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或锁存器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式，如图 2-11 所示。

图 2-11 GW1NZ 的 IEM 示意图



解串器 DES

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

2.3.4 I/O 逻辑工作模式

GW1NZ 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

GW1NZ-1 的管脚 IOR6(A,B,C….J)不支持 IO 逻辑。

关于 GW1NZ 的逻辑工作模式，请参考 UG289，Gowin 可编程通用管脚(GPIO)用户指南。

2.4 I3C 总线模块（GW1NZ-1）

2.4.1 概述

GW1NZ 系列 FPGA 器件内嵌 I3C 总线控制器硬核资源，支持 SDR 模式。I3C 总线资源兼具 I^2C 特性，同时具有低功耗，高速率，可扩展性等特性。GW1NZ 系列 FPGA 器件内嵌的 I3C 总线遵循 MIPI 联盟 I3C 总线协议，采用寄存器接口，支持 I3C SDR Master 和 I3C SDR Slave 工作模式。

2.4.2 特性

I3C SDR Master

- 符合 MIPI I3C 协议；
- 支持 I3C 地址仲裁检测；
- 支持 Single Data Rate（SDR）通信模式；
- 最高数据传输速率可达 12.5Mbps；
- 产生起始、终止、重复起始和应答信息；
- 支持起始、终止和重复起始检测；
- 支持 SETDASA 或 ENTDAA 方式进行动态地址分配；
- 支持接收/发送数据功能；
- 支持线载中断（In-band Interrupts）；
- 支持热接入（Hot-Join）；
- 支持热接入时动态地址分配；
- 支持 CCC’s 命令；
- 支持动态调整 SCL 频率；
- 兼容 I^2C Slave；
- 采用寄存器接口。

I3C SDR Slave

- 符合 MIPI I3C 协议；
- 产生起始和应答信息；
- 支持起始、终止和重复起始检测；
- 支持 SETDASA 或 ENTDAA 方式进行动态地址分配；
- 接收/发送数据功能；
- 发起 IBI 或 Hot-join 申请，若多个 Slave 发起 IBI 或 Hot-join 申请，地址最小的获得此次仲裁；
- 配置 Slave 静态地址；
- 采用寄存器接口。

2.4.3 端口描述

I3C 模块的端口信号，工作原理，应用举例及操作时序等详细信息请参考 *IPUG508, Gowin I3C SDR IP 用户指南*。

表 2-7 I3C 端口信号

端口名称	方向	描述
AAC	Input	清除 ACK 响应设置，单脉冲信号
AAO	Output	输出 ACK 信号
AAS	Input	设置 ACK 响应，单脉冲信号
ACC	Input	清除连续操作模式设置，单脉冲信号
ACKHS	Input	设置 ACK 高电平时间
ACKLS	Input	设置 ACK 低电平时间
ACO	Output	连续操作模式输出
ACS	Input	设置连续操作模式，单脉冲信号
ADDRS	Input	设置 slave 地址
CE	Input	时钟使能信号
CLK	Input	时钟输入
CMC	Input	清除设备进入 Master，单脉冲信号
CMO	Output	设备 Master 输出
CMS	Input	设置设备进入 Master，单脉冲信号
DI[7:0]	Input	数据输入
DO[7:0]	Output	数据输出
DOBUF[7:0]	Output	缓存数据输出
LGYC	Input	清除当前通讯对象是 I2C 设置，单脉冲信号
LGYO	Output	输出当前通讯对象为 I2C
LGYS	Input	设置当前通讯对象为 I2C，单脉冲信号
PARITYERROR	Output	校验位错误指示信号
RECVDHS	Input	设置接收数据高电平时间
RECVDLS	Input	设置接收数据低电平时间
RESET	Input	异步复位，高电平有效
SCLI	Input	I3C 串行时钟输入
SCLO	Output	I3C 串行时钟输出
SCLOEN	Output	I3C 串行时钟输出使能
SCLPULLO	Output	I3C 串行时钟上拉输出
SCLPULLOEN	Output	I3C 串行时钟上拉输出使能
SDAI	Input	I3C 串行数据输入
SDAO	Output	I3C 串行数据输出
SDAOEN	Output	I3C 串行数据输出使能
SDAPULLO	Output	I3C 串行数据上拉输出
SDAPULLOEN	Output	I3C 串行数据上拉输出使能
SENDAHS	Input	设置发送地址高电平时间
SENDALS	Input	设置发送地址低电平时间
SENDDHS	Input	设置发送数据高电平时间
SENDDLS	Input	设置发送数据低电平时间

端口名称	方向	描述
SIC	Input	设置系统中断清除信号
SIO	Output	输出系统中断信号
STRTC	Input	清除 START 命令设置，单脉冲信号
STRTO	Output	输出 START 命令
STRTS	Input	设置 START 命令，单脉冲信号
STATE	Output	输出内部状态
STRTHDS	Input	设置 START 命令保持时间
STOPC	Input	清除 STOP 命令设置，单脉冲信号
STOPO	Output	输出 STOP 命令
STOPS	Input	设置 STOP 命令，单脉冲信号
STOPSUS	Input	设置 STOP 命令建立时间
STOPHDS	Input	设置 STOP 命令保持时间

2.5 SPMI 模块（GW1NZ-1)

2.5.1 概述

GW1NZ-1 产品内嵌了 SPMI 接口模块，同时提供 SPMI 控制器 IP，支持作为 Master 通过 SPMI 接口控制外部的 Slave 器件进行电源管理，同时也支持作为 Slave 控制 FPGA 的电源管理。

GW1NZ-1 支持以下方式控制主电源：通过 Master 发送 shut down 命令的方式关断主电源，可以通过 Master 发送 reset / sleep / wakeup 命令恢复 FPGA 主电源，也可以通过 SPMI_EN 信号低脉冲方式恢复 FPGA 主电源。

SPMI 控制器操作模式，通信模式，支持的命令，时序操作等详细信息请参考 *IPUG529, Gowin SPMI 用户指南*。

2.5.2 端口描述

表 2-8 SPMI 接口信号

端口名称	方向	描述
SPMI_EN	Input	SPMI 使能信号
SPMI_CLK	Input	系统时钟信号
SPMI_SCLK	Input/Output	SPMI 串行时钟信号
SPMI_SDATA	Input/Output	SPMI 串行数据信号

2.6 块状静态随机存储器模块

2.6.1 简介

GW1NZ 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（BSRAM）。每个 BSRAM 可配置最高

18,432bits(18Kbits)。提供的配置模式包括：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，只读存储器模式。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 170MHz(在 Read-before-Write 模式下 100MHz)
- 单端口模式(Single Port)
- 双端口模式(Dual Port)
- 伪双端口模式(Semi Dual Port)
- 提供校验位(Parity Bits)
- 提供只读存储器模式(ROM)
- 数据宽度从 1 位到 36 位
- 可混合时钟操作(Mixed clock mode)
- 可混合数据宽度(Mixed data width mode)
- 在双字节以上的数据宽度支持字节使能功能(Byte Enable)
- 正常读写(Normal read and write)
- 先读后写(Read-before-Write)
- 通写(Write-Through)

2.6.2 BSRAM 配置模式

GW1NZ 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 2-9 所示。

表 2-9 存储器配置列表

单端口模式	双端口模式[1]	伪双端口模式
16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32
2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36

注！

[1]GW1NZ-1 器件不支持双端口模式。

单端口模式

单端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 3 种写模式（Normal 模式、Write-Through 模式和 Read-before-Write 模式）。在单端口模式下，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中，被写入的数据会传到 BSRAM 的输出。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

双端口模式

双端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 2 种写模式（Normal 模式和 Write-Through 模式）。可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

注！

禁止对同一地址同时进行读写操作。

关于双端口模式的端口示意图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

伪双端口模式

伪双端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 1 种写模式（Normal 模式）。伪双端口可支持同时的读和写操作，但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

注！

禁止对同一地址同时进行读写操作。

关于伪双端口模式的端口示意图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

2.6.3 存储器混合数据宽度配置

GW1NZ 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 2-10 和表 2-11 的配置来应用。

表 2-10 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

标注为“*”的表示支持的模式。

表 2-11 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512 x 32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“*”的表示支持的模式。

2.6.4 字节使能功能配置

BSRAM 支持字节使能（byte-enable）功能。可以遮蔽输入数据，只让被选择到的字节写入。而被遮蔽的数据能继续保留。读/写使能信号(WREA, WREB)，及 byte-enable 参数选项用于控制 BSRAM 的写操作。

注！

GW1NZ 系列中，仅 GW1NZ-2 支持字节使能功能。

2.6.5 校验位功能配置

所有的块状静态随机存储器模块 BSRAM 内置了校验位的配置。每个字

节的第 9 位可用来做校验位，用来检测数据传输的正确性，也可以用来存储数据。

2.6.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路。

2.6.7 BSRAM 操作模式

BSRAM 支持 5 种操作模式，包括 2 种读操作模式：旁路(Bypass)模式、流水线(Pipeline)模式；3 种写操作模式：正常写(Normal)模式、通写(Write-Through)模式、先读后写(Read-before-Write)模式。

读操作模式

可选择以通过输出寄存器的方式或不通过输出寄存器的方式从 BSRAM 读出数据。

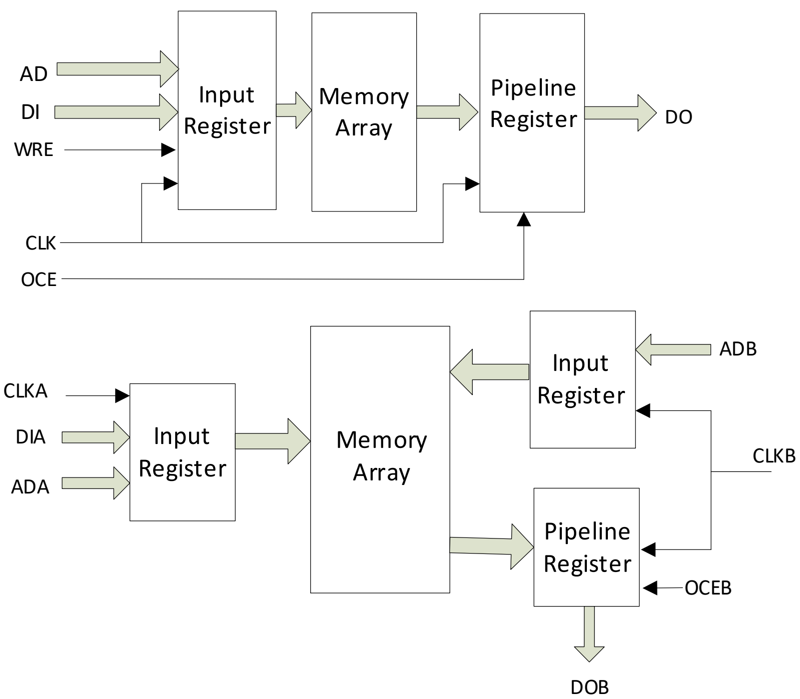
流水线模式

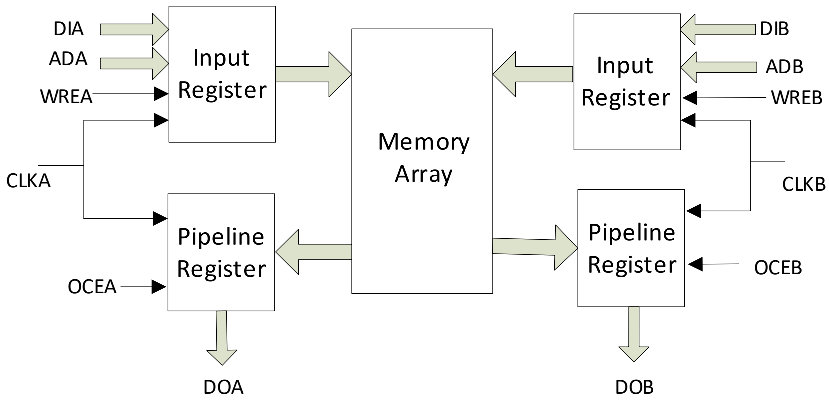
在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 2-12 单端口、伪双端口及双端口模式下的流水线模式





写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

2.6.8 时钟模式

表 2-12 中列出了不同 BSRAM 模式下可使用的时钟模式：

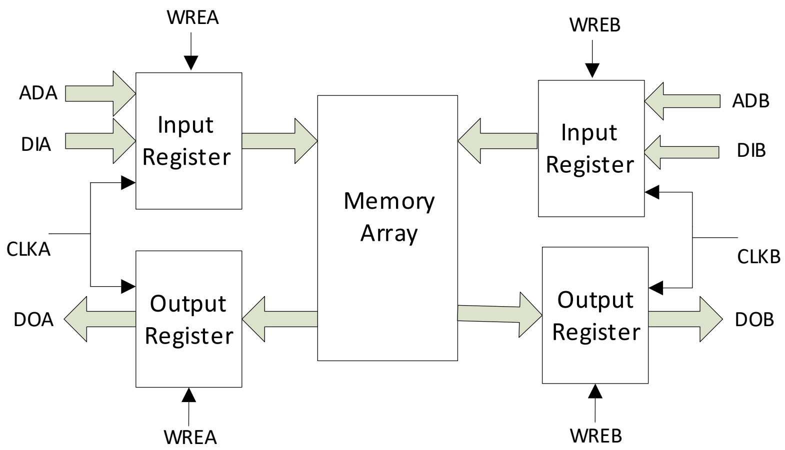
表 2-12 时钟模式配置列表

时钟模式	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 2-13 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

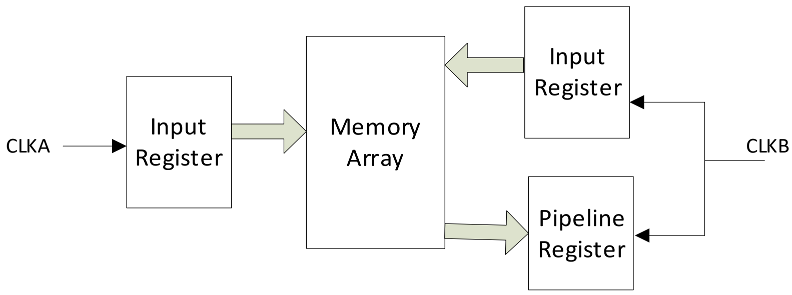
图 2-13 独立时钟模式



读写时钟模式

图 2-14 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

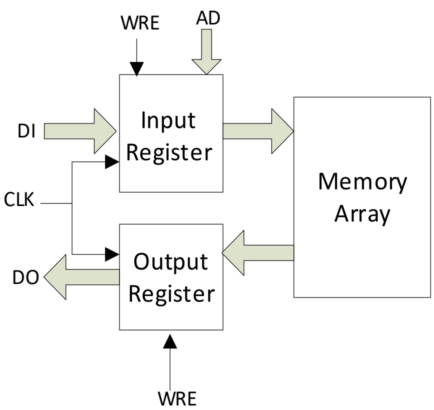
图 2-14 读写时钟模式



单端口时钟模式

图 2-15 显示了单端口时钟模式。

图 2-15 单端口时钟模式



2.7 用户闪存资源(GW1NZ-1)

2.7.1 特性

- NOR Flash
- 10,000 次写寿命周期
- 容量：64K bits
- 超过 10 年的数据保存能力(+85℃)
- 支持页擦除：2,048 字节
- 快速页擦除/字编程操作
- 时钟频率：40MHz
- 字编程操作时间：≤16μs
- 页擦除时间：≤120ms
- 电流
  - 读操作：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
  - 编程操作/擦除操作：12/12mA（最大）

2.7.2 模式

GW1NZ-1 提供通用模式闪存和低功耗模式闪存。

- 通用模式用户闪存默认状态为打开，器件上电后可进行正常操作，如擦除/读/写操作。通用模式用户闪存不支持切换到关闭状态。
- 低功耗模式用户闪存默认状态为关闭，可有效的降低功耗，用户通过控制 SLEEP 管脚可以动态切换状态，打开/关闭。低功耗用户闪存切换到打开状态时，和通用模式的用户闪存一样，可进行擦除/读/写操作。

不同的器件版本和速度等级的用户闪存的模式不同，详细信息请参考表 2-13。

表 2-13 器件支持的用户闪存模式

工作模式	默认状态	状态切换	器件版本	速度等级
通用模式	打开	不支持	LV 版本	C6/I5
				C5/I4
			ZV 版本	C5/I4
低功耗模式	关闭	动态切换	ZV 版本	I2
				I3

关于 GW1NZ-1 器件用户闪存资源的更多详细信息，请参考 UG295，Gowin 闪存资源(User Flash)用户指南，其中有关用户闪存资源原语与适用器件的对应关系，请参考该手册的表 3-1 适用器件。

2.8 用户闪存资源(GW1NZ-2)

2.8.1 简介

GW1NZ-2 器件提供用户闪存资源(User Flash)，GW1NZ-2 的用户闪存资源容量为 96Kbits 用户闪存资源由行存储和列存储单元组成，一行由 64 个列存储单元组成，列存储单元的容量为 32bits，行存储单元的容量为

64*32=2048 bits。擦除操作支持页擦除，一页的容量为 2048 字节，即一页包含 8 行。特性如下所示：

- NOR Flash
- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85℃)
- 数据位宽：32
- 容量：48 行*64 列*32 = 96Kbits
- 页擦除能力：2,048 字节
- 快速页擦除/字编程操作
- 时钟频率：40MHz
- 字编程时间：≤16μs
- 页擦除时间：≤120ms
- 电流
  - 读电流/持续时间：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
  - 编程/擦除操作：12/12mA(MAX)

关于 GW1NZ-2 器件用户闪存资源的更多详细信息，请参考 UG295，Gowin 闪存资源(User Flash)用户指南，其中有关用户闪存资源原语与适用器件的对应关系，请参考该手册的表 3-1 适用器件。

2.9 MIPI D-PHY(GW1NZ-2)

2.9.1 硬核 MIPI D-PHY RX(GW1NZ-2)

GW1NZ-2 器件包含硬核 MIPI D-PHY RX，支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 2.1。该 D-PHY 适用于串行显示接口（Display Serial Interface，DSI）和串行摄像头接口（Camera Serial Interface，CSI-2）。

MIPI D-PHY RX 主要特性如下：

- 支持单向高速(HS，High-speed)模式，传输速率最高可达 8 Gbps (四个数据通道)。
- 支持最多四个数据通道和一个时钟通道。
- 支持双向低功耗(LP，Low-power)操作模式，数据传输速率为 10Mbps。
- 支持高速同步、位和通道对齐。
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式。
- 支持 MIPI DSI 和 MIPI CSI-2 链路层。
- IO Bank6 支持 MIPI D-PHY RX。

更多详细信息请参考 IPUG778, Gowin GW1N-2 Hardened MIPI D-PHY RX 用户指南。

2.9.2 GPIO 支持 MIPI D-PHY RX/TX

用 GPIO 实现软核 MIPI D-PHY RX/TX 时，可选 3 种 IO 类型：TLVDS、ELVDS、MIPI IO。

其中，GW1NZ-1 仅支持 ELVDS 类型(输出)，GW1NZ-2 支持

TLVDS/ELVDS 类型。用 TLVDS/ELVDS 类型实现 MIPI D-PHY 时，需通过 LVDS25(E)+LVCMOS12 的方式来模拟 MIPI HS 和 MIPI LP，并需要搭配外部电阻网络。

此外，GW1NZ-2 还支持 MIPI IO 类型。MIPI IO 内部集成了电阻网络，支持 HS 和 LP 的自动切换。MIPI IO 类型支持情况如表 2-14 所示。

具体的 IO 选取和片外端接方式，可以参考 IPUG948，Gowin MIPI D-PHY RX TX Advance 用户指南的“4 功能描述”。

表 2-14 GW1NZ 系列 FPGA 产品的 MIPI IO 类型支持列表

MIPI 输入/输出	GW1NZ-2
MIPI 输入	Bank2
MIPI 输出	Bank0/3/4/5

软核 MIPI D-PHY RX/TX 主要特性如下：

- 支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2
- 支持高速 RX 和 TX 器件接口，传输速率最高可达 4.8 Gbps
- 支持最多四个数据通道和一个时钟通道
- 支持多 PHY (IO 允许的情况下)
- 支持双向低功耗(LP，Low-power)操作模式
- 支持 MIPI DSI 和 MIPI CSI-2 链路层
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式
- 支持 ELVDS、TLVDS、和 MIPI IO 等 IO Type

更多详细信息请参考 IPUG948，Gowin MIPI D-PHY RX TX Advance IP 用户指南。

2.10 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW1NZ 系列 FPGA 产品提供了专用全局时钟(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了高速时钟 HCLK 资源、锁相环(PLL)等时钟资源。

关于全局时钟、高速时钟及锁相环的更多详细信息，请参考 UG286，Gowin 时钟资源(Clock)用户指南。

2.10.1 全局时钟

GCLK 在器件中按象限分布，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

2.10.2 锁相环

锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-Locked Loop）。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW1NZ 系列 FPGA 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

2.10.3 高速时钟

GW1NZ 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，如图 2-16 和图 2-17 所示。HCLK 资源可用于整个 IO Bank。

图 2-16 GW1NZ-1 HCLK 示意图

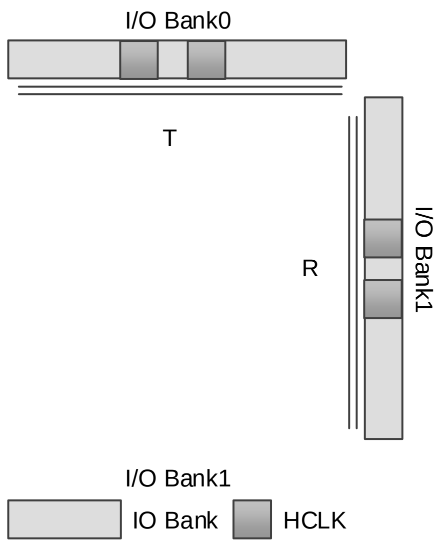
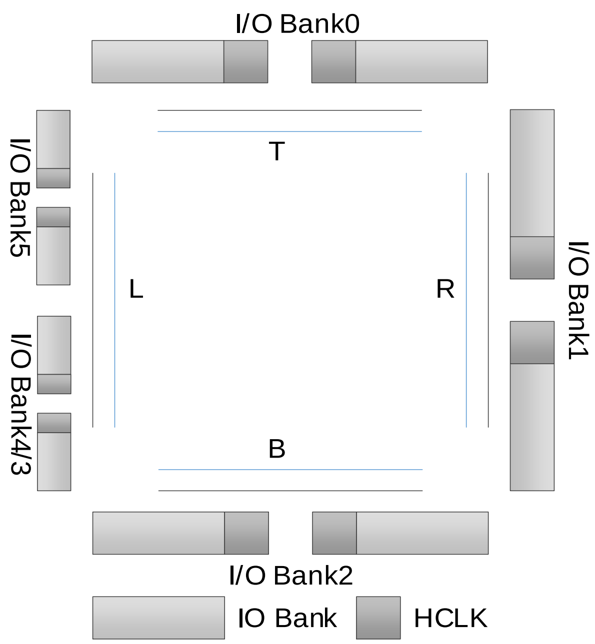


图 2-17 GW1NZ-2 HCLK 示意图



2.11 长线

作为对 CRU 的有效补充，GW1NZ 系列 FPGA 产品提供了灵活丰富的

长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

2.12 全局复置位

GW1NZ 系列 FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CFU 和 I/O 中的寄存器均可以独立配置。

2.13 编程配置

GW1NZ 系列 FPGA 产品支持 SRAM 编程和 Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。GW1NZ 器件支持 DUAL BOOT 模式，为用户提供了一种备份选择，用户可以根据自身需要将配置数据备份在外部 Flash 中。

GW1NZ 系列 FPGA 产品除了支持业界通用的 JTAG[1]配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式，支持多达 6 种模式：AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL 和 CPU。详细信息请参考 *UG290, Gowin FPGA 产品编程配置手册*。

注！

[1] GW1NZ-1 CG25/FN24 封装不支持 JTAG 配置模式。

2.13.1 SRAM 编程

GW1NZ 系列 FPGA 产品的 SRAM 编程，每次上电后需要重新下载配置数据。

2.13.2 Flash 编程

Flash 编程的配置数据存放在片内 Flash 单元。上电后，配置数据从片内 Flash 单元传送到 SRAM 配置单元。在上电后的几个毫秒内就可以完成数据的配置，这种配置方式也称为“快速启动/瞬时启动”。

GW1NZ 系列 FPGA 产品支持 JTAG[1]背景升级的特性，即器件支持在不影响现有工作状态的情况下通过 JTAG 接口编程内嵌 Flash 或外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，重新上电或低电平触发 RECONFIG_N 即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

注！

[1]目前，GW1NZ-1 CG25/FN24 需通过使用 goConfig IP 来实现背景升级。第一步:先通过 serial 模式配置 goConfig IP 到 SRAM（serial 模式 mode[2:0]=101）；第二步：使用 goConfig IP 烧录片内 Flash（烧录完成后重设置 mode[2:0]=000）。

GW1NZ 系列 FPGA 产品还支持外部 Flash 编程模式和双启动模式，详细资料请参考 *UG290, Gowin FPGA 产品编程配置手册*。

2.14 片内晶振

GW1NZ 系列 FPGA 产品内嵌了一个片内晶振，片内晶振提供可编程的用户时钟，时钟精度可达±5%，配置过程中为 MSPI 配置模式提供时钟源，

输出频率数据如表 2-15 所示。

表 2-15 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.5MHz[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz[2]

注！

- [1]片内晶振默认输出频率为 2.5MHz。
- [2]125MHz 不适用于 MSPI 配置模式。

片内晶振还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

f_{out}=250MHz /Param。

其中除数 Param 为配置参数，范围为 2~128，只支持偶数。

3 电气特性

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
V_{CC}	核电压	-0.5V	1.32V
V_{CCIO}	I/O Bank 电压	-0.5V	3.75V
V_{CCX}	辅助电压	-0.5V	3.75V
V_{CCD}	硬核 MIPI D-PHY 核电压(GW1NZ-2)	-0.5V	1.32V
V_{CCIOD}	硬核 MIPI D-PHY I/O 电压(GW1NZ-2)	-0.5V	1.32V
-	I/O 电压[1]	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

注！

- [1]允许-2V 至（V_{IHMAX} + 2）V 的过冲和下冲，持续时间<20 ns。

3.1.2 推荐工作范围

表 3-2 推荐工作范围[1]

名称	描述	最小值	最大值
V_{CC}[3]	LV 版本核电压	1.07V	1.26V
	ZV 版本核电压	0.88V	1.05V
V_{CCIO}[3]	I/O Bank 电压	1.14V	3.6V
V_{CCX}[3]	辅助电压	1.71V	3.6V[2]
V_{CCD}[4]	硬核 MIPI D-PHY 核电压(GW1NZ-2)	1.14V	1.26V
V_{CCIOD}[4]	硬核 MIPI D-PHY I/O 电压(GW1NZ-2)	1.14V	1.26V
T_{JCOM}	结温(商业级)	0℃	+85℃
T_{JIND}	结温(工业级)	-40℃	+100℃

注！

- [1]不同封装的器件供电电压信息请参考 *UG842, GW1NZ-1 器件 Pinout 手册，UG847, GW1NZ-2 器件 Pinout 手册。*
- [2] GW1NZ-2 的低功耗模式要求 V_{CCX}≤2.5V。
- [3] V_{CC}、V_{CCIO}、V_{CCX} 的允许纹波范围分别为 3%、5%、5%。1).对于直接用 V_{CC} 给 PLL 供电的器件，V_{CC} 上的纹波会影响 PLL 输出时钟的抖动特性；2). V_{CCIO} 上的纹波，最终可能会传递到 IO Buffer 的输出波形上。
- [4]若不使用硬核 MIPI D-PHY，用户可以保持 V_{CCD} 和 V_{CCIOD} 管脚悬空，或将它们连接到 1.2V 电源。

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V_{CC} Ramp	V_{CC} 上升斜率	0.6mV/μs	-	6mV/μs
V_{CCX} Ramp	V_{CCX} 上升斜率	0.6mV/μs	-	10mV/us
V_{CCIO} Ramp	V_{CCIO} 上升斜率	0.1mV/μs	-	10mV/us

注！

- 所有电源的上升斜率必须单调。
- 在设备开始配置前，所有的电源都需要在表 3-2 中定义的工作范围内。不在工作范围内的电源需要调整到更快的斜率，否则用户必须推迟配置。

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入或 IO 漏电流(Input or I/O leakage current)	$0<V_{IN}<V_{IH}(MAX)$	I/O	150uA
I_{HS}	输入或 IO 漏电流(Input or I/O leakage current)	$0<V_{IN}<V_{IH}(MAX)$	TDI,TDO, TMS,TCK	120uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	器件	名称	值
V_{POR_UP}	Power on reset ramp up trip point	GW1NZ-1	V_{CC}	0.8V
			V_{CCX}	1.5V
			V_{CCIO}	0.9V
V_{POR_DOWN}	Power on reset ramp down trip point		V_{CC}	0.65V
			V_{CCX}	1.4V
			V_{CCIO}	0.7V
V_{POR_UP}	Power on reset ramp up trip point	GW1NZ-2	V_{CC}	0.8V
			V_{CCX}	1.5V
			V_{CCIO}	0.95V
V_{POR_DOWN}	Power on reset ramp down trip point		V_{CC}	0.65V
			V_{CCX}	1.3V
			V_{CCIO}	0.75V

3.2 ESD 性能

表 3-6 GW1NZ ESD - HBM

器件	GW1NZ-1	GW1NZ-2
CG25	HBM>1,000V	-
CG56	-	HBM>1,000V
CS100H	-	HBM>1,000V
CS16	HBM>1,000V	-
CS42	-	HBM>1,000V
FN24	HBM>1,000V	-
FN32	HBM>1,000V	-
FN32F	HBM>1,000V	-
QN48	HBM>1,000V	HBM>1,000V

表 3-7 GW1NZ ESD - CDM

器件	GW1NZ-1	GW1NZ-2
CG25	CDM>500V	-
CG56	-	CDM>500V
CS100H	-	CDM>500V
CS16	CDM>500V	-
CS42	-	CDM>500V
FN24	CDM>500V	-
FN32	CDM>500V	-
FN32F	CDM>500V	-
QN48	CDM>500V	CDM>500V

3.3 DC 电气特性

3.3.1 推荐工作范围 DC 电气特性

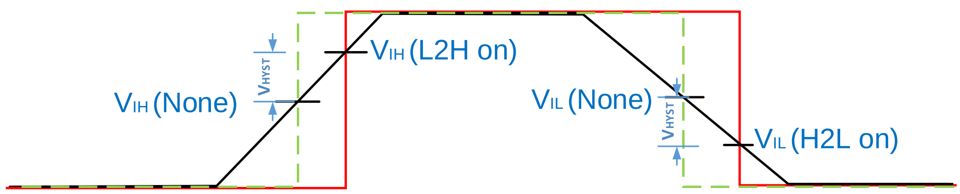
表 3-8 推荐工作范围内 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
IIL,IIH	输入或 IO 漏电流（Input or I/O leakage）	V_{CCIO}<V_{IN}<V_{IH}(MAX)	-	-	210μA
		0<V_{IN}<V_{CCIO}	-	-	10μA
IPU	I/O 上拉电流（I/O Active Pull-up Current)	0<V_{IN}<0.7V_{CCIO}	-30μA	-	-150μA
IPD	I/O 下拉电流(I/O Active Pull-down Current)	V_{IL}(MAX)<V_{IN}<V_{CCIO}	30μA	-	150μA
IBHLS	总线保持低电平时持续电流(Bus Hold Low Sustaining Current)	V_{IN}=V_{IL}(MAX)	30μA	-	-
IBHHS	总线保持高电平时持续电流(Bus Hold High Sustaining Current)	V_{IN}=0.7V_{CCIO}	-30μA	-	-
IBHLO	总线保持低电平时过载电流(Bus Hold Low Overdrive Current)	0≤V_{IN}≤V_{CCIO}	-	-	150μA
IBHHO	总线保持高电平时过载电流(Bus Hold High Overdrive Current)	0≤V_{IN}≤V_{CCIO}	-	-	-150μA
VBHT	总线保持触发点(Bus hold trip points)		VIL(MAX)	-	VIH(MIN)
C1	I/O 电容（I/O Capacitance)			5pF	8pF
VHYST	输入迟滞(Hysteresis for Schmitt Trigger inputs)	V_{CCIO}=3.3V, Hysteresis=L2H[1],[2]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis= L2H	-	125mV	-
		V_{CCIO}=1.8V, Hysteresis= L2H	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis= L2H	-	40mV	-
		V_{CCIO}=1.2V, Hysteresis= L2H	-	20mV	-
		V_{CCIO}=3.3V, Hysteresis= H2L[1],[2]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis= H2L	-	125mV	-
		V_{CCIO}=1.8V, Hysteresis= H2L	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis= H2L	-	40mV	-

名称	描述	条件	最小值	典型值	最大值
		V_{CCIO}=1.2V, Hysteresis= H2L	-	20mV	-
		V_{CCIO}=3.3V, Hysteresis= HIGH[1],[2]	-	400mV	-
		V_{CCIO}=2.5V, Hysteresis= HIGH	-	250mV	-
		V_{CCIO}=1.8V, Hysteresis= HIGH	-	120mV	-
		V_{CCIO}=1.5V, Hysteresis= HIGH	-	80mV	-
		V_{CCIO}=1.2V, Hysteresis= HIGH	-	40mV	-

注！

- [1] Hysteresis="NONE", "L2H", "H2L", "HIGH"表示在 EDA 的 FloorPlanner 工具内设置 I/O Constraints 时的 Hysteresis 选项，设置方法详见 *SUG935，Gowin 设计物理约束指南*。
- [2]开启 L2H(low to high)选项表示 V_{IH} 被提高 V_{HYST}；开启 H2L(high to low)选项表示 V_{IL} 被降低 V_{HYST}；HIGH 表示同时开启 L2H 和 H2L 选项，即 V_{HYST}(HIGH)= V_{HYST}(L2H) + V_{HYST}(H2L)。其示意图如下所示：



3.3.2 静态电流

表 3-9 静态电流(LV 版本)

名称	描述	器件	典型值
I_{CC}	Core 电源电流（V_{CC}=1.2V）	GW1NZ-1	3mA
I_{CCX}	V_{CCX} 电源电流（V_{CCX}=3.3V）	GW1NZ-1	0.5mA
	V_{CCX} 电源电流（V_{CCX}=2.5V）	GW1NZ-1	0.5mA
I_{CCIO}	I/O Bank 电源电流(V_{CCIO}=2.5V)	GW1NZ-1	0.5mA

表 3-10 静态电流(GW1NZ-1, ZV 版本)

名称	描述	器件	典型值
I_{CC}	Core 电源电流(Vcc=0.9V)	GW1NZ-ZV1FN32C5/I4 GW1NZ-ZV1CS16C5/I4	50uA
		GW1NZ-ZV1FN32I3 GW1NZ-ZV1CS16I3	40uA
		GW1NZ-ZV1FN32I2 GW1NZ-ZV1CS16I2	30uA
I_{CCX}	V_{CCX} 电源电流(V_{CCX} floating)	GW1NZ-ZV1FN32C5/I4 GW1NZ-ZV1CS16C5/I4	0uA
		GW1NZ-ZV1FN32I3 GW1NZ-ZV1CS16I3	0uA
		GW1NZ-ZV1FN32I2 GW1NZ-ZV1CS16I2	0uA
	V_{CCX} 电源电流(V_{CCX}=1.8V~3.3V)	GW1NZ-ZV1FN32C5/I4 GW1NZ-ZV1CS16C5/I4	1uA
		GW1NZ-ZV1FN32I3 GW1NZ-ZV1CS16I3	1uA
		GW1NZ-ZV1FN32I2 GW1NZ-ZV1CS16I2	1uA
I_{CCIO}	I/O Bank 电源电流(V_{CCIO}=3.3V)	GW1NZ-ZV1FN32C5/I4 GW1NZ-ZV1CS16C5/I4	0uA
		GW1NZ-ZV1FN32I3 GW1NZ-ZV1CS16I3	0uA
		GW1NZ-ZV1FN32I2 GW1NZ-ZV1CS16I2	0uA

Note!

- 器件启动后，当用户不使用 Flash 时，可以关闭外部 Vccx，芯片仍能正常工作。
- 上表中的典型值为在室温下的测试值。
- 零功耗的情况下如果使用了 MODE 管脚，MODE 管脚的 PULL_MODE 需要配置为 KEEPER。

表 3-11 静态电流(GW1NZ-2, ZV 版本)[1],[3],[4]

名称	描述	典型值
I_{CC}	Core 电源电流（V_{CC}=1.1V）	600uA
	Core 电源电流（V_{CC}=1.0V）	240uA
	Core 电源电流（V_{CC}=0.9V）	120uA
I_{CCX}	V_{CCX} 电源电流（V_{CCX}=1.8V）	150uA
I_{CCIO}	I/O Bank 电源电流(V_{CCIO}=1.8V)	0uA[2]

注！

- [1]测试条件为 25℃，BGEN(bandgap enable)=0。
- [2] I_{CCIO} 由用户外部 IO 电路及上下拉状态决定，理论上可以做到零功耗。
- [3]低功耗模式下，要求 V_{CCX}≤2.5V。
- [4]用户也可以选择在进入超低功耗模式的时候将 V_{CCX}/V_{CCIO} 关断，器件的 SRAM 的数据会保留。

3.3.3 I/O 推荐工作条件

表 3-12 I/O 推荐工作条件

名称	输出对应的 V_{CCIO}(V)			输入对应的 V_{REF}(V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.6	-	-	-
LVCMOS33	3.135	3.3	3.6	-	-	-
LVCMOS25	2.375	2.5	2.625	-	-	-
LVCMOS18	1.71	1.8	1.89	-	-	-
LVCMOS15	1.425	1.5	1.575	-	-	-
LVCMOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.4 单端 I/O DC 电气特性

表 3-13 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24[2]	-24[2]
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V_{CCIO}	0.65* V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35* V_{CCIO}	0.65* V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V_{CCIO}	0.65* V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4 或 2[3]	-4 或 -2[3]
							8 或 6[3]	-8 或 -6[3]
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V_{CCIO}	0.5*V_{CCIO}	3.6V	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V_{REF}-0.2V	V_{REF}+0.2V	3.6V	0.7	V_{CCIO}-1.1V	8	-8
SSTL25_I	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	0.54V	V_{CCIO}-0.62V	8	-8
SSTL25_II	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	N/A	N/A	N/A	N/A
SSTL18_II	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	N/A	N/A	N/A	N/A
SSTL18_I	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
SSTL15	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	N/A	N/A	N/A	N/A
HSTL15_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL15_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	N/A	N/A	N/A	N/A

注！

- [1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink)：同一个 Bank 所有 IO 的总电流不能大于 n*8mA，n 表示该 Bank 被引出的 IO 数量。
- [2] GW1NZ-2 不支持 24mA。
- [3] GW1NZ-2 支持 2mA/6mA, GW1NZ-1 支持 4mA/8mA。

3.3.5 差分 I/O DC 电气特性

表 3-14 差分 I/O DC 电气特性(LVDS)

名称	描述	测试条件	最小	典型	最大	单位
V_{INA},V_{INB}	输入电压(Input Voltage)		0	-	2.15	V
V_{CM}	共模输入电压(Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.1	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	±100	-	±600	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	±20	μA
V_{OH}	输出高电平(Output High Voltage for V_{OP} or V_{OM})	R_T = 100Ω	-	-	1.60	V
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	R_T = 100Ω	0.9	-	-	V
V_{OD}	差模输出电压(Output Voltage Differential)	(V_{OP} - V_{OM}), R_T=100Ω	250	350	450	mV
ΔV_{OD}	差模输出电压的变化(Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	共模输出电压(Output Voltage Offset)	(V_{OP} + V_{OM})/2, R_T=100Ω	1.125	1.20	1.375	V
ΔV_{OS}	共模输出电压的变化(Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短路电流	V_{OD} = 0V 两路输出短接	-	-	15	mA

3.4 开关特性

3.4.1 CFU 开关特性

表 3-15 CFU 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	-	0.674	ns
t_{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	1.86	ns
t_{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	-	0.76	ns

3.4.2 Gearbox 开关特性

表 3-16 Gearbox 时序参数

器件	名称	描述	最大值	单位

器件	名称	描述	最大值	单位
GW1NZ-1[1], [2]	FMAX$_{IDDR}$	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
	FMAX$_{IDES4}$	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
	FMAX$_{IDES7}$	1:7 Gearbox 输入 IO 最大串行速率	1000	Mbps
	FMAX$_{IDESx}$	1:8/1:10 Gearbox 输入 IO 最大串行速率	1100	Mbps
	FMAX$_{ODDR}$	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
	FMAX$_{OSER4}$	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
	FMAX$_{OSER7}$	7:1 Gearbox 输出 IO 最大串行速率	1000	Mbps
	FMAX$_{OSERx}$	8:1/10:1 Gearbox 输出 IO 最大串行速率	1100	Mbps
GW1NZ-2[2]	FMAX$_{IDDR}$	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
	FMAX$_{IDES4}$	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
	FMAX$_{IDES7}$	1:7 Gearbox 输入 IO 最大串行速率	1000	Mbps
	FMAX$_{IDESx}$	1:8/1:10/1:16 Gearbox 输入 IO 最大串行速率	1200	Mbps
	FMAX$_{ODDR}$	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
	FMAX$_{OSER4}$	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
	FMAX$_{OSER7}$	7:1 Gearbox 输出 IO 最大串行速率	1000	Mbps
	FMAX$_{OSERx}$	8:1/10:1 Gearbox 输出 IO 最大串行速率	1200	Mbps

注！

- [1] GW1NZ-1 不支持 LVDS 输入和 TLVDS 输出。
- [2] LVDS IO 速度可以达到 800Mbps(GW1NZ-1, ELVDS 输出)和 1Gbps(GW1NZ-2), 但是请注意 1:4 1:2 时候,内核速度可能达不到相应的速度。
- 测试条件：Drive Strength=3.5 mA。

3.4.3 时钟和 I/O 开关特性

表 3-17 外部开关特性

器件	名称	C6/I5	C5/I4	单位

		典型值	典型值	
GW1NZ-1	HCLK Tree delay	1.2	1.4	ns
	PCLK Tree delay(GCLK0~5)	2.4	2.6	ns
	PCLK Tree delay(GCLK6~7)	2.7	2.9	ns
	Pin-LUT-Pin Delay	4.3	4.6	ns
GW1NZ-2	HCLK Tree delay	0.8	1.1	ns
	PCLK Tree delay(GCLK0~5)	2.1	2.4	ns
	PCLK Tree delay(GCLK6~7)	2.5	2.8	ns
	Pin-LUT-Pin Delay	3	3.5	ns

注！

测试条件： V_{CC}=1.2V。

3.4.4 BSRAM 开关特性

表 3-18 BSRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COAD_BSRAM}	时钟到读地址/数据输出时间(Clock to output from read address/data)	-	5.10	ns
t_{COOR_BSRAM}	时钟到寄存器输出时间(Clock to output from output register)	-	0.56	ns

3.4.5 片内晶振开关特性

表 3-19 片内晶振特性参数

名称	说明	最小值	典型值	最大值
f_{MAX}	晶振输出频率(0 to+ 85℃)	106.25MHz	125MHz	143.75MHz
	晶振输出频率(-40 to +100℃)	100MHz	125MHz	150MHz
t_{DT}	输出时钟占空比	43%	50%	57%
t_{OPJIT}	输出时钟抖动	0.01UIPP	0.012UIPP	0.02UIPP

3.4.6 锁相环开关特性

表 3-20 锁相环特性参数

器件	版本	速度等级	名称	最小值	最大值
GW1NZ-1	LV 版本	C6/I5	CLKIN	3MHz	400MHz
			PFD	3MHz	400MHz
			VCO	400MHz	800MHz
			CLKOUT	3.125MHz	400MHz
		C5/I4	CLKIN	3MHz	320MHz
			PFD	3MHz	320MHz
			VCO	320MHz	640MHz
			CLKOUT	2.5MHz	360MHz
	ZV 版本	C5/I4	CLKIN	3MHz	200MHz
			PFD	3MHz	200MHz
			VCO	200MHz	400MHz
			CLKOUT	1.5625MHz	200MHz
		I3	CLKIN	3MHz	150MHz
			PFD	3MHz	150MHz
			VCO	150MHz	300MHz
			CLKOUT	1.171875MHz	150MHz
		I2	CLKIN	3MHz	100MHz
			PFD	3MHz	100MHz
			VCO	100MHz	200MHz
			CLKOUT	0.78125MHz	100MHz
GW1NZ-2	ZV 版本	I3	CLKIN	TBD	TBD
			PFD	TBD	TBD
			VCO	TBD	TBD
			CLKOUT	TBD	TBD
		I2	CLKIN	TBD	TBD
			PFD	TBD	TBD
			VCO	TBD	TBD
			CLKOUT	TBD	TBD

3.5 用户闪存电气特性

3.5.1 DC 电气特性

表 3-21 GW1NZ-1 用户闪存 DC 电气特性[1]

名称	参数	最大值		单位	Wake-up 时间	条件
		V_{CC}[4]	V_{CCX}			
读模式(w/I 25ns)	I_{CC1}[2]	2.19	0.5	mA	N/A	最小时钟周期，占空比 100%，VIN = “1/0”
写模式		0.1	12	mA	N/A	-
擦除模式		0.1	12	mA	N/A	-
页擦除模式		0.1	12	mA	N/A	-
读模式静态电流 (25-50ns 之间)	I_{CC2}	980	25	μA	N/A	XE=YE=SE=“1”，在 T=T_{acc} 到 T=50ns 之间，I/O 的电流为 0mA。T=50ns 之后，内部定时器关闭读模式，I/O 的电流为待机模式电流
待机模式	I_{SB}	5.2	20	μA	0	V_{SS}、V_{CCX} 和 V_{CC}
关断模式[3]	I_{PD}	0	0	μA	7us	V_{CCX}=0
典型值(常温 25℃)						
待机模式	I_{SB}	0.4	7.5	μA	0	V_{SS}、V_{CCX} 和 V_{CC}
关断模式[3]	I_{PD}	0	0	μA	3.5us	V_{CCX}=0

注！

- [1]这些数值为直流平均电流值，峰值电流值会高于该平均电流值。
- [2] I_{CC1} 在 T_{new} 不同的时钟周期计算。
  - 不允许 $T_{new} < T_{acc}$
  - $T_{new} = T_{acc}$：见上表
  - $T_{acc} < T_{new}$ - 50ns：I_{CC1} (new) = $(I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}$
  - T_{new}>50ns：I_{CC1} (new) = $(I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50ns*I_{CC2}/T_{new} + I_{SB}$
  - t > 50ns：$I_{CC2} = I_{SB}$
- [3]只在低功耗用户闪存中支持。
- [4]从 wake-up time 的零时刻开始 V_{CC} 必须大于 1.08V。

表 3-22 GW1NZ-2 器件用户闪存 DC 电气特性[1],[4]

名称	参数	最大值		单位	Wake-up 时间	条件
		V_{CC}[3]	V_{CCX}			
读模式(w/I 25ns)	I_{CC1}[2]	2.19	0.5	mA	NA	最小时钟周期，占空比 100%，VIN = “1/0”
写模式		0.1	12	mA	NA	-
擦除模式		0.1	12	mA	NA	-
页擦除模式		0.1	12	mA	NA	-
读模式静态电流 (25-50ns 之间)	I_{CC2}	980	25	μA	NA	XE=YE=SE=“1”，在 $T=T_{acc}$ 到 T=50ns 之间，I/O 的电流为 0mA。T=50ns 之后，内部定时器关闭读模式，I/O 的电流为待机模式电流
待机模式	I_{SB}	5.2	20	μA	0	V_{SS}、V_{CCX} 和 V_{CC}

注!

- [1]这些数值为直流平均电流值，峰值电流值会高于该平均电流值；
- [2] I_{CC1} 在 T_{new} 不同的时钟周期计算；
  - 不允许 $T_{new} < T_{acc}$
  - $T_{new} = T_{acc}$：见上表
  - $T_{acc} < T_{new}$ - 50ns：I_{CC1} (new) = $(I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}$
  - T_{new}>50ns：I_{CC1} (new) = $(I_{CC1} - I_{CC2})(T_{acc}/T_{new})$ + 50ns*$I_{CC2}/T_{new} + I_{SB}$
  - t > 50ns：$I_{CC2} = I_{SB}$
- [3]从 wake-up time 的零时刻开始 V_{CC} 必须大于 1.08V。
- [4] Flash 的漏电流已包含在器件的漏电流中，详见表 3-4。

3.5.2 时序参数

表 3-23 用户闪存时序参数[1], [4], [5]

用户模式	参数	符号	最小值	最大值	单位
访问时间	WC1	T_{acc}[2]	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
编程/擦除到数据存储建立时间		T_{nvs}	5	-	μs
数据存储保持时间		T_{nvh}	5	-	μs
数据存储保持时间(整体擦除)		T_{nvh1}	100	-	μs
数据存储到编程建立时间		T_{pgs}	10	-	μs
编程保持时间		T_{pgh}	20	-	ns
编程时间		T_{prog}	8	16	μs
写准备时间		T_{wpr}	>0	-	ns
写保持时间		T_{whd}	>0	-	ns
控制信号到写/擦除建立时间		T_{cps}	-10	-	ns
SE 到读操作建立时间		T_{as}	0.1	-	ns
SE 脉冲的高电平时间		T_{pws}	5	-	ns
地址/数据建立时间		T_{ads}	20	-	ns
地址/数据保持时间		T_{adh}	20	-	ns
数据保持时间		T_{dh}	0.5	-	ns
读模式地址保持时间	WC1	T_{ah}	25	-	ns
	TC		22	-	ns
	BC		21	-	ns
	LT		21	-	ns
	WC		25	-	ns
SE 脉冲低电平时间		T_{nws}	2	-	ns
恢复时间		T_{rcv}	10	-	μs
数据存储时间		T_{hv}[3]	-	6	ms
擦除时间		T_{erase}	100	120	ms
整体擦除时间		T_{me}	100	120	ms
掉电到待机模式的 Wake-up 时间		T_{wk_pd}	7	-	μs
待机保持时间		T_{sbh}	100	-	ns
V_{CC} 建立时间		T_{ps}	0	-	ns
V_{CCX} 保持时间		T_{ph}	0	-	ns

注！

- [1]这些数值为仿真数据，在实际器件中会有改变。

- [2]在信号 XADR、YADR、XE 和 YE 信号有效后，T_{acc} 的开始时间为 SE 信号的上升沿。读取的数据 DOUT 被保存直到在下一次有效的读操作开始。
- [3]T_{hv} 时间为写操作开始到数据下一次擦除操作之前的累积时间，同一个地址在下一次擦除之前不能被写入两次；同一个存储单元在下一次擦除之前不能被写入两次。这种限制是基于安全考虑的。
- [4]所有的波形都有 1ns 的上升沿时间和 1ns 的下降沿时间。
- [5]控制信号 X、YADR、XE 和 YE 信号需要至少保持 T_{acc} 的时间，T_{acc} 从 SE 的上升沿处开始。

3.5.3 操作时序图

图 3-1 读操作模式

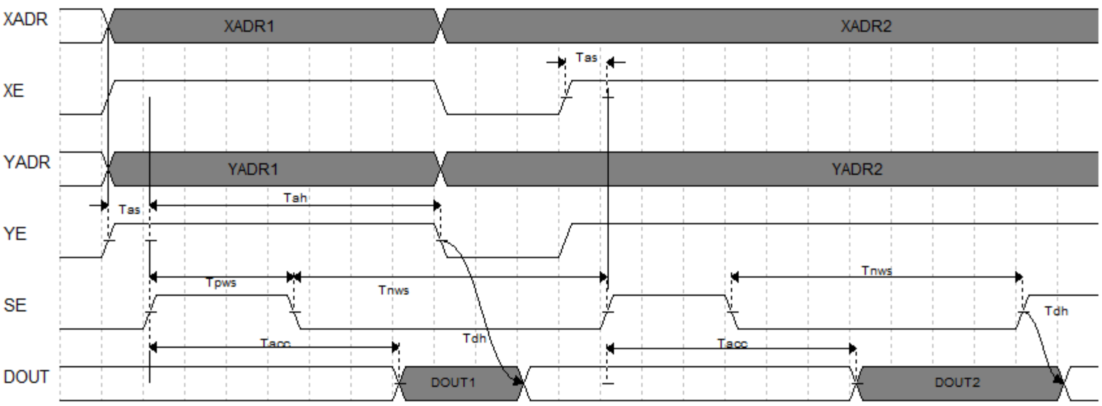


图 3-2 写入操作模式

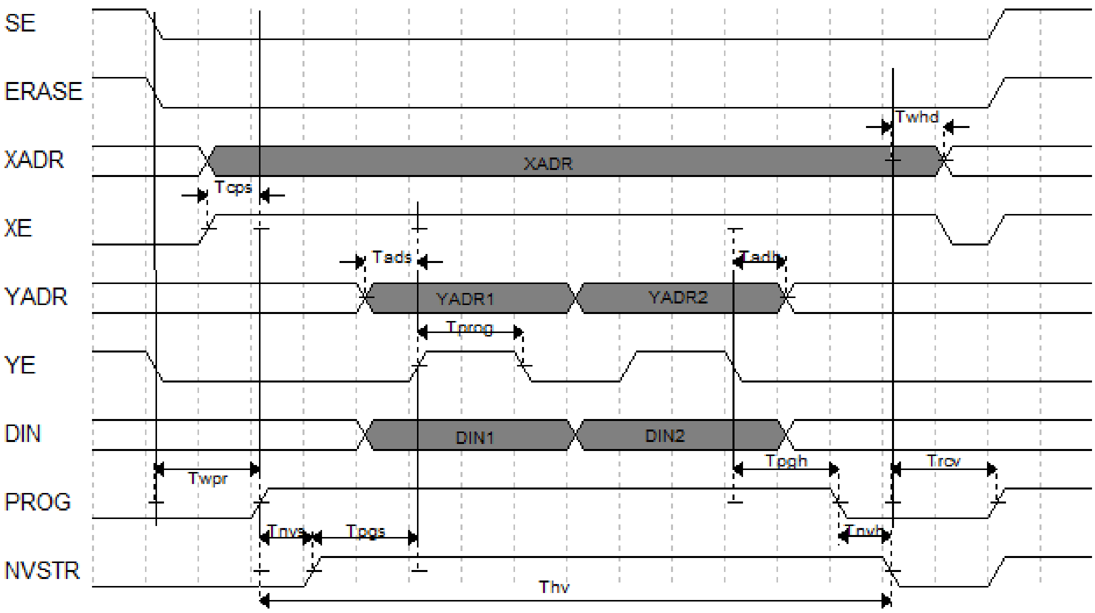
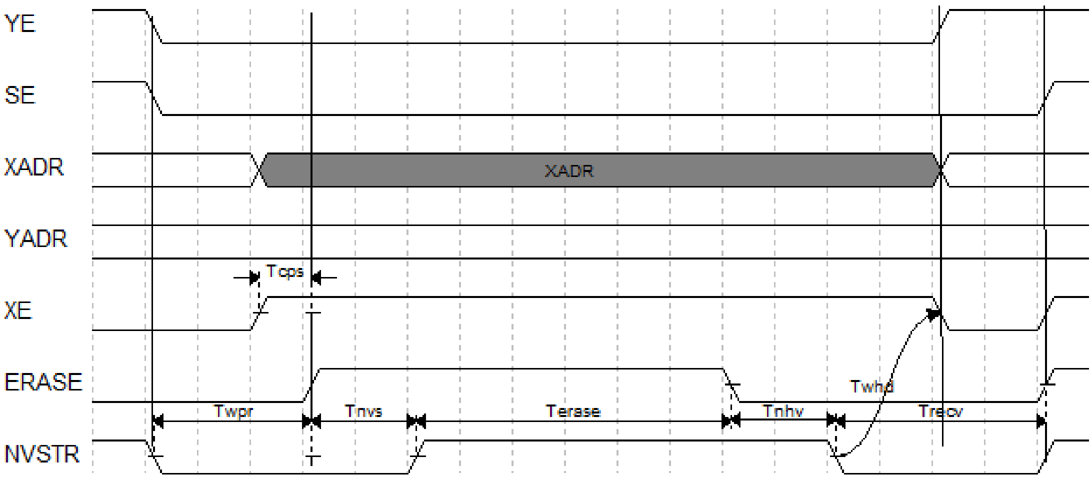


图 3-3 擦除操作模式



3.6 编程接口时序标准

GW1NZ 系列 FPGA 产品 GowinCONFIG 配置模式支持多达 6 种，包括自启动模式、双启动模式、MSPI 模式、SSPI 模式、CPU 模式及 SERIAL 模式，详细资料请参考 [UG290, *Gowin FPGA 产品编程配置手册*]。

4 器件订货信息

4.1 器件命名

图 4-1 器件命名方法示例－ES

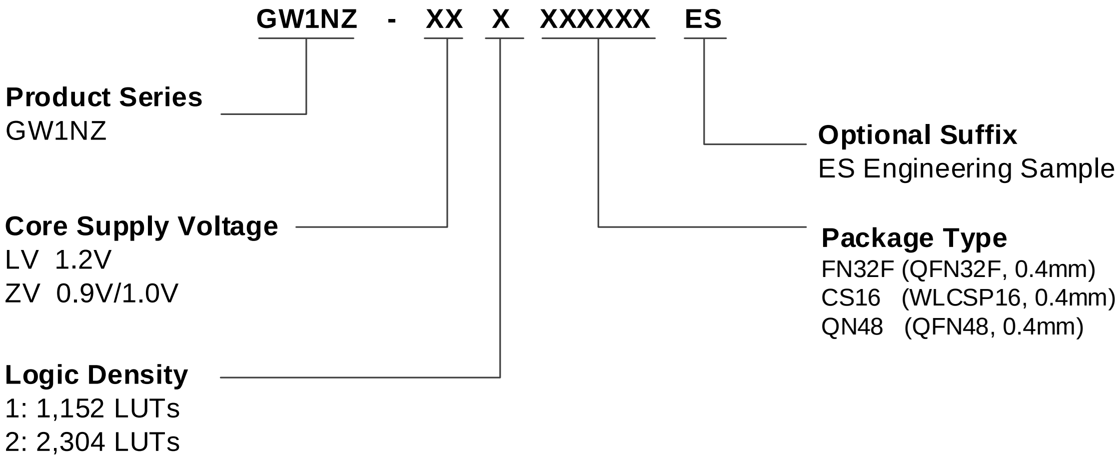
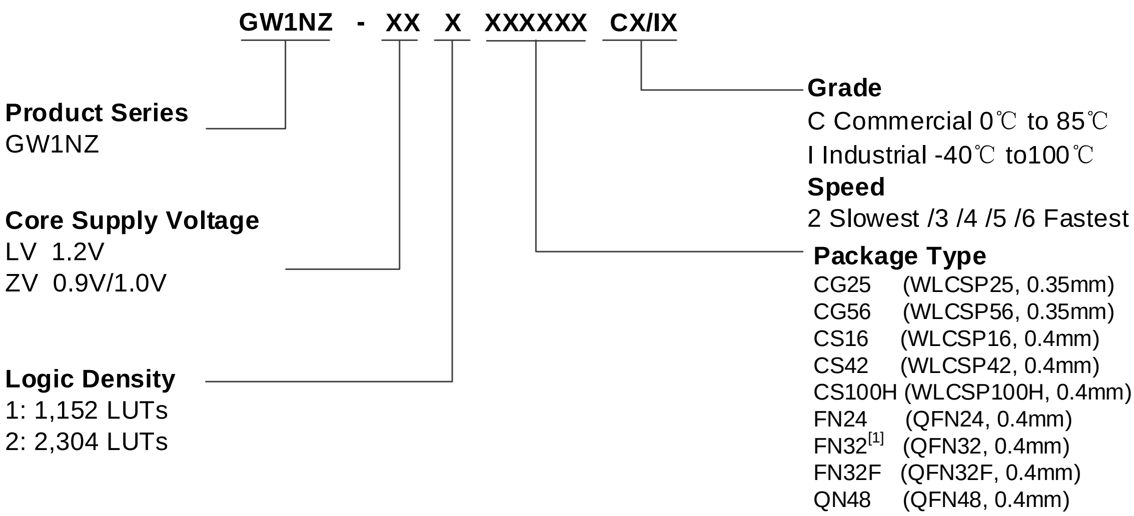


图 4-2 器件命名方法示例－Production



注！

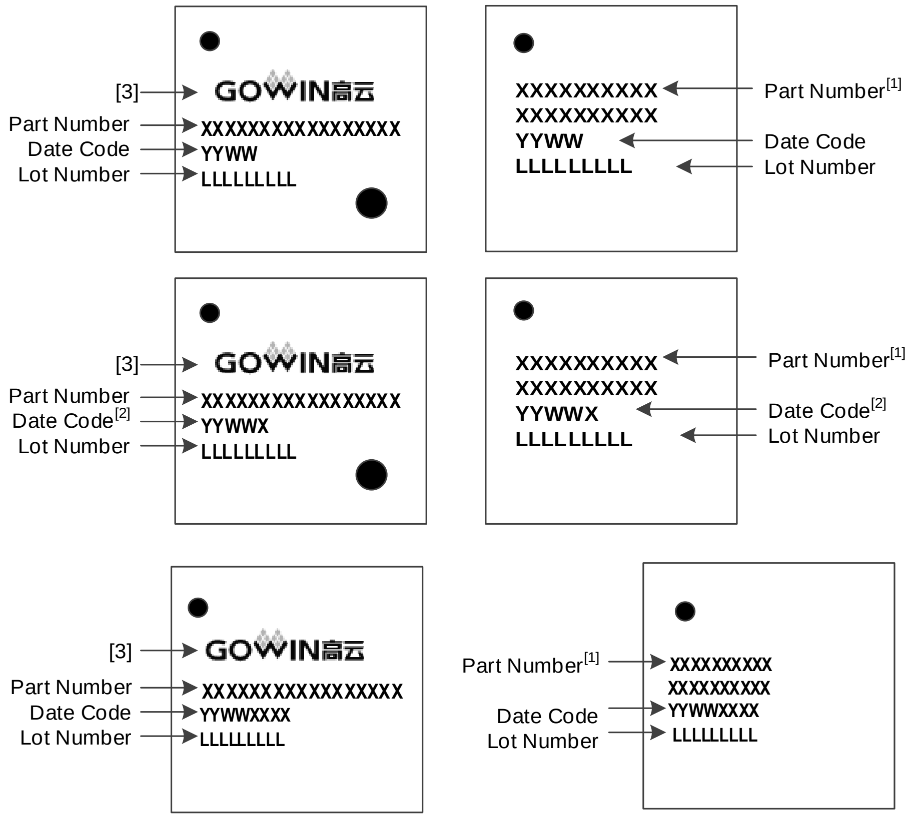
- [1] FN32 封装为旧版本。

- 关于器件的封装信息及详细资源信息请参考 1.2 产品信息列表及 1.3 封装信息列表。
- GW1NZ 系列部分器件速度等级采用双标标识，如 C5/I4，C4/I3 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足工业应用(I)和商业应用(C)。工业级最高温度 100℃，商业级最高温度 85℃，所以同一芯片如在商业级应用中满足速度等级 5，在工业级应用中速度等级则为 4。
- 相同速度等级的小蜜蜂(LittleBee)家族器件和晨熙家族器件速度不同。

4.2 器件封装标识

高云半导体产品在芯片表面印制了器件信息，如图 4-3 所示。

图 4-3 器件封装标识示例



注！

- [1]上图右图中第一行与第二行均为“Part Number”。
- [2] X 版本器件的 Date Code 后增加一位版本标识“X”。
- [3]具体器件的封装标识是否带高云 Logo 与封装形式、封装尺寸及 Part Number 长度有关，上图仅为封装标识的示例。

5 关于本手册

5.1 手册内容

GW1NZ 系列 FPGA 产品数据手册主要包括高云半导体 GW1NZ 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1NZ 系列 FPGA 产品以及特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- UG290, Gowin FPGA 产品编程配置手册
- UG843, GW1NZ 系列 FPGA 产品封装与管脚手册
- UG842, GW1NZ-1 器件 Pinout 手册
- UG847, GW1NZ-2 器件 Pinout 手册

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Functional Unit	可配置功能单元
CG25	WLCSP25	WLCSP25 封装
CG56	WLCSP56	WLCSP56 封装
CLS	Configurable Logic Section	可配置逻辑块
CRU	Configurable Routing Unit	可编程绕线单元
CS16	WLCSP16	WLCSP16 封装
DCS	Dynamic Clock Selector	动态时钟选择器
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
FN24	QFN24	QFN24 封装
FN32	QFN32	QFN32 封装
FN32F	QFN32F	QFN32F 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
IOB	Input/output Block	输入输出块
LUT4	4-input Look Up Table	4 输入查找表
PLL	Phase Locked Loop	锁相环
QN48	QFN48	QFN48 封装
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SPMI	System Power Management Interface	系统电源管理接口

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系。

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

GOWIN高云

智慧逻辑 定制未来