




Gowin JESD204B IP 用户指南

IPUG1019-1.2,2024-04-19

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/05/25	1.0	初始版本。
2023/06/30	1.1	最大支持 8 个通道。
2024/04/19	1.2	<ul style="list-style-type: none">● 在“JESD204B Core Configuration”选项卡中新增“Fix Concig Enable”选项；● 在“PHY Configuration”选项卡新增“PCS WIDTH”选项；● 新增“AFE”选项卡；● 新增“Optional Ports Configuration”选项卡。

目录

目录	i
图目录	iv
表目录	vi
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.1.1 发送器	5
3.1.2 接收器	6
3.2 端口列表	7
3.2.1 TX 核接口	7
3.2.2 RX 核接口	10
3.2.3 DRP (Dynamic Reconfiguration Port) 接口	13
3.3 接口时序	14
3.3.1 TX 核接口	14
3.3.2 RX 核接口	14
3.3.3 DRP 接口	15
3.4 寄存器描述	16
4 设计说明	27
4.1 线速率	27
4.2 时钟	27

4.2.1 核时钟 (core clk)	27
4.2.2 参考时钟	27
4.2.3 配置时钟(cfg clk)	27
4.2.4 SerDes PCS 时钟	28
4.2.5 典型时钟方案	28
4.3 复位	28
4.3.1 总线复位端口	28
4.3.2 通过管脚复位核逻辑	28
4.3.3 通过寄存器复位核逻辑	29
4.3.4 SerDes 相关复位	29
4.3.5 复位流程	29
4.4 子类	29
4.5 SYSREF	29
4.5.1 SYSREF 时序	29
4.5.2 SYSREF Always	30
4.5.3 SYSREF 初次建链的要求	30
4.5.4 SYSREF 重新建链的要求	30
4.5.5 SYSREF Delay	31
4.6 最小确定性延迟支持	31
4.7 链路测试模式	32
4.7.1 连续的 K28.5 字符	32
4.7.2 连续 ILA 序列	32
4.7.3 连续的 D21.5 字符	32
4.7.4 RPAT 序列	33
4.7.5 JSPAT 序列	33
4.8 实时配置	33
4.9 数据接口	33
5 界面配置	35
6 参考设计	41
6.1 应用	41
6.2 参考设计	42
6.2.1 硬件平台	42
6.2.2 实现框图	43
6.2.3 总线协议与地址规划	43
6.3 板级测试	46
6.3.1 操作说明	46
6.3.2 操作步骤	46

7 文件交付	49
7.1 文档	49
7.2 设计源代码（加密）	49
7.3 参考设计	49

图目录

图 3-1 发送器结构图	5
图 3-2 接收器结构图	6
图 3-3 Gowin JESD204B IP TX 端口示意图	7
图 3-4 Gowin JESD204B IP RX 端口示意图	10
图 3-5 DRP 接口示意图	13
图 3-6 配置接口写时序图	14
图 3-7 配置接口读时序图	14
图 3-8 F=2 K=32 时，发射数据接口时序	14
图 3-9 F=2 K=32 时，接收数据接口时序	15
图 3-10 写操作时序图	15
图 3-11 写操作时序图（地址超出 DRP 可访问的空间范围）	15
图 3-12 读操作时序图	16
图 3-13 读操作时序图（地址超出 DRP 可访问的空间范围）	16
图 4-1 典型时钟方案	28
图 4-2 最小确定性延迟的实现示意图	32
图 4-3 Data Stream 接口数据格式	34
图 5-1 打开 SerDes IP	35
图 5-2 JESD204B Core Configuration 选项卡	36
图 5-3 PHY Configuration 选项卡	37
图 5-4 AFE 选项卡	38
图 5-5 Optional Ports Configuration 选项卡	39
图 5-6 jesd204b: JESD204B_Top	40
图 5-7 生成文件	40
图 6-1 FPGA 与 ADC 的连接	41
图 6-2 FPGA 与 DAC 的连接	41
图 6-3 平台框图	42
图 6-4 参考设计实现框图	43
图 6-5 UART to Bus IP 参数设置 1	44
图 6-6 UART to Bus IP 参数设置 2	44

图 6-7 指令输入过程 47

图 6-8 抓取 DDS 数据 48

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin JESD204B IP 概述	3
表 2-2 Gowin JESD204B IP 占用资源	4
表 3-1 TX 核端口定义	8
表 3-2 RX 核端口定义	11
表 3-3 DRP 端口定义	13
表 3-4 Gowin JESD204B IP 寄存器	16
表 3-5 Version [Offset:0x004]	17
表 3-6 Reset [Offset:0x008]	18
表 3-7 ILA Support [Offset:0x00C]	18
表 3-8 Scrambling [Offset:0x010]	18
表 3-9 SYSREF Handling [Offset:0x014]	18
表 3-10 Test Modes [Offset:0x018]	19
表 3-11 F_and_K [Offset:0x01C]	19
表 3-12 Subclass Mode [Offset:0x020]	19
表 3-13 Sync Status [Offset:0x024]	19
表 3-14 Link Error Status (Lanes 0 to 7) [Offset:0x028]	20
表 3-15 Alarm Status [Offset:0x02C]	20
表 3-16 RXBUF_DELAY (RX ONLY) [Offset:0x030]	21
表 3-17 ERR_REPORT (RX ONLY) [Offset:0x034]	21
表 3-18 LINK_DEBUG (RX ONLY) [Offset:0x038]	21
表 3-19 ERR_CLEAR [Offset:0x040]	21
表 3-20 Lane ID [Offset: lane0-0x080, lane1-0x084 lane7-0x09C]	22
表 3-21 ILA Config Data 0 [Offset: lane0-0x0C0, lane1-0x100 lane7-0x280]	22
表 3-22 ILA Config Data 1 [Offset: lane0-0x0C4, lane1-0x104 lane7-0x284]	22
表 3-23 ILA Config Data 2 [Offset: lane0-0x0C8, lane1-0x108 lane7-0x288]	22
表 3-24 ILA Config Data 3 [Offset: lane0-0x0CC, lane1-0x10C lane7-0x28C]	22
表 3-25 ILA Config Data 4 [Offset: lane0-0x0D0, lane1-0x110 lane7-0x290]	23
表 3-26 ILA Config Data 5 [Offset: lane0-0x0D4, lane1-0x114 lane7-0x294]	23

表 3-27 ILA Config Data 6 [Offset: lane0-0x0D8, lane1-0x118 lane7-0x298]	24
表 3-28 ILA Config Data 7 [Offset: lane0-0x0DC, lane1-0x11C lane7-0x29C]	24
表 3-29 Test Mode Error Count [Offset: lane0-0x0E0, lane1-0x120 lane7-0x2A0]	25
表 3-30 Link Error Count [Offset: lane0-0x0E4, lane1-0x124 lane7-0x2A4].....	25
表 3-31 Test Mode ILA Count [Offset: lane0-0x0E8, lane1-0x128 lane7-0x2A8].....	25
表 3-32 Test Mode Multiframe Count [Offset: lane0-0x0EC, lane1-0x12C . lane7-0x2AC].....	26
表 3-33 Buffer Adjust [Offset: lane0-0x0F0, lane1-0x130 lane7-0x2B0].....	26
表 6-1 寄存器地址定义	45
表 7-1 文档列表	49
表 7-2 Gowin JESD204B IP 设计源代码列表.....	49
表 7-3 Gowin JESD204B IP RefDesign 文件夹内容列表	49

1 关于本手册

1.1 手册内容

Gowin JESD204B IP 用户指南主要包括功能简介、功能描述、GUI 调用参考设计等，旨在帮助用户快速了解 Gowin JESD204B IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9.02 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看 FPGA 产品相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [IPUG1022, Gowin UART to Bus IP 用户手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
APB	Advanced Peripheral Bus	外围总线
CGS	Code Group Sync	代码组同步
DDS	Direct Digital Synthesizer	直接数字式频率合成器
DRP	Dynamic Reconfiguration Port	动态配置端口
FPGA	Field Programmable Gate Array	现场可编程门阵列
ILAS	Initial Lane Alignment Sequence	初始通道对齐序列
IP	Intellectual Property	知识产权
LMFC	Local Multi-Frame Clock	本地多帧时钟
SerDes	Serializer/Deserializer	串行器和解串器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

JESD204B 是一种高速串行接口用于将模数转换器（ADC）和数模转换器（DAC）连接到逻辑设备。该 IP 实现了 JESD204B 协议中数据链路层的功能，包括代码组同步、初始通道对齐序列、输出用户数据等，目前该 IP 仅支持子类 1。

表 2-1 Gowin JESD204B IP 概述

Gowin JESD204B IP	
逻辑资源	参见表 2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9.Beta-2 及以上)

注!

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 一个 IP 核最大支持 8 个通道
- 支持初始通道对齐
- 支持加解扰
- 支持每个帧包含 1-256 字节可配置
- 支持每个多帧包含 1-32 帧可配置
- 支持子类 1
- 配置接口支持实时修改参数
- IP 核可配置成 TX 模式、RX 模式以及 TX & RX 模式

2.3 资源利用

通过 Verilog 语言实现 JESD204B IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，PCS 位宽设置为 32bit，JESD204B IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin JESD204B IP 占用资源

通道数	类型	占用资源				
		Register	LUT	ALU	BSRAM	SSRAM
1	TX & RX	2358	2633	636	1	19
2	TX & RX	4066	4634	1032	2	38
4	TX & RX	7482	8479	1826	4	76
8	TX & RX	12816	13612	3402	8	153
1	TX	822	1141	274	0	19
2	TX	1224	1800	432	0	38
4	TX	2028	3150	750	0	76
8	TX	3915	5769	1374	0	153
1	RX	1537	1506	362	1	0
2	RX	2843	2854	600	2	0
4	RX	5455	5512	1076	4	0
8	RX	8901	7668	2028	8	0

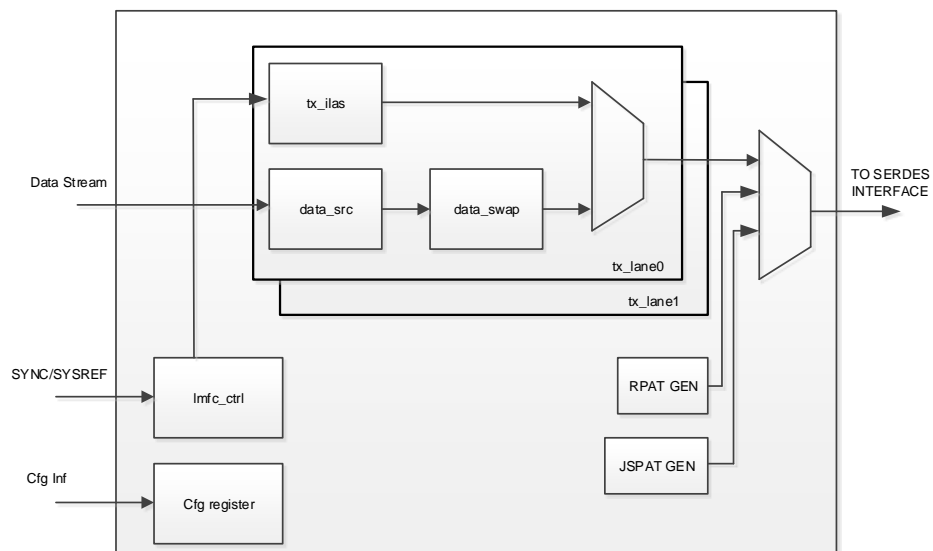
3 功能描述

3.1 系统框图

3.1.1 发送器

JESD204B 的发送器的结构如图 3-1 所示。

图 3-1 发送器结构图



JESD204B TX Core 支持 lane 的数量可以配置，每多 1 条 lane 则内部会自动例化 tx_lane 这个模块。

tx_lane 模块中包含：

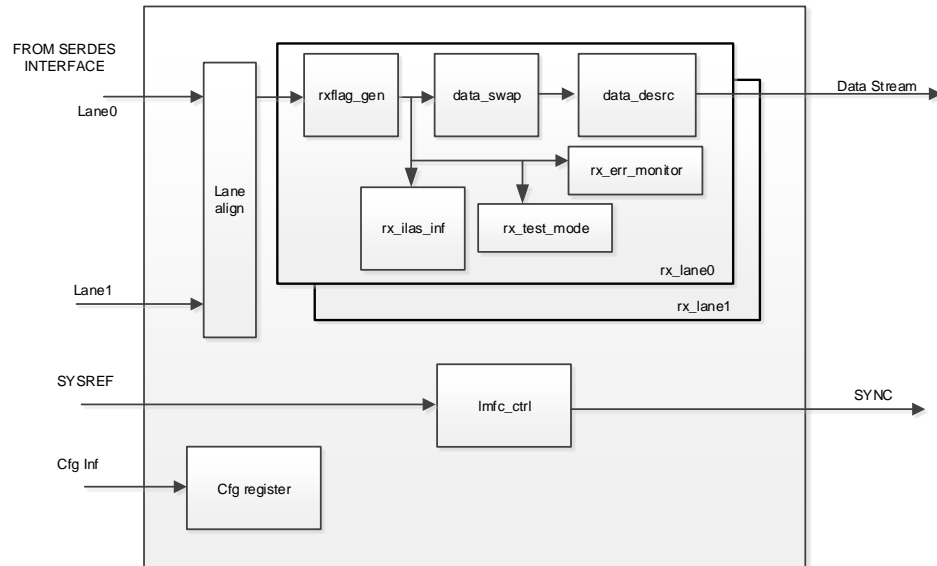
- tx_ilas 模块：用于产生初始通道对齐序列
- data_scr 模块：数据进行加扰操作
- data_swap 模块：按照一定规则替代位于帧尾或者多帧尾的字节
- 其他模块：
- RPAT 模块：生成 RPAT 序列
- JSPAT 模块：生成 JSPAT 序列

- tx_lmfc_ctrl 模块：用于在子类 1 下，产生本地多帧时钟
- Cfg_register 模块：配置和监视内部寄存器

3.1.2 接收器

JESD204B 的接收器的结构如图 3-2 所示。

图 3-2 接收器结构图



JESD204B RX Core 支持 lane 的数量可以配置，每多 1 条 lane 则内部会自动例化 rx_lane 这个模块。

rx_lane 模块中包含：

- rxflag_en 模块：用于产生帧头、帧尾、多帧头、多帧尾、特殊字符的位置标志
- rx_ilas_inf 模块：提取 ILAS 序列内容
- data_swap 模块：按照一定规则替代位于帧尾或者多帧尾的字节
- data_descrc 模块：数据进行解扰操作
- rx_test_mode 模块：在测试模式下，统计接收到 SerDes 数据的错误个数
- rx_err_monitor 模块：在正常模式下，检测 SerDes 数据、ILAS 序列、data field 的错误个数

其他模块：

- Lane_align 模块：将所有通道的数据进行 BUF 缓存，当所有通道都接收到了初始通道对齐序列时，同时释放 BUF
- tx_lmfc_ctrl 模块：用于在子类 1 下，产生本地多帧时钟
- Cfg_register 模块：配置和监视内部寄存器

3.2 端口列表

Gowin JESD204B IP TX 核和 RX 核的接口相互独立，下面分别进行介绍。

3.2.1 TX 核接口

Gowin JESD204B IP TX 核的 IO 端口如图 3-3 所示。

图 3-3 Gowin JESD204B IP TX 端口示意图

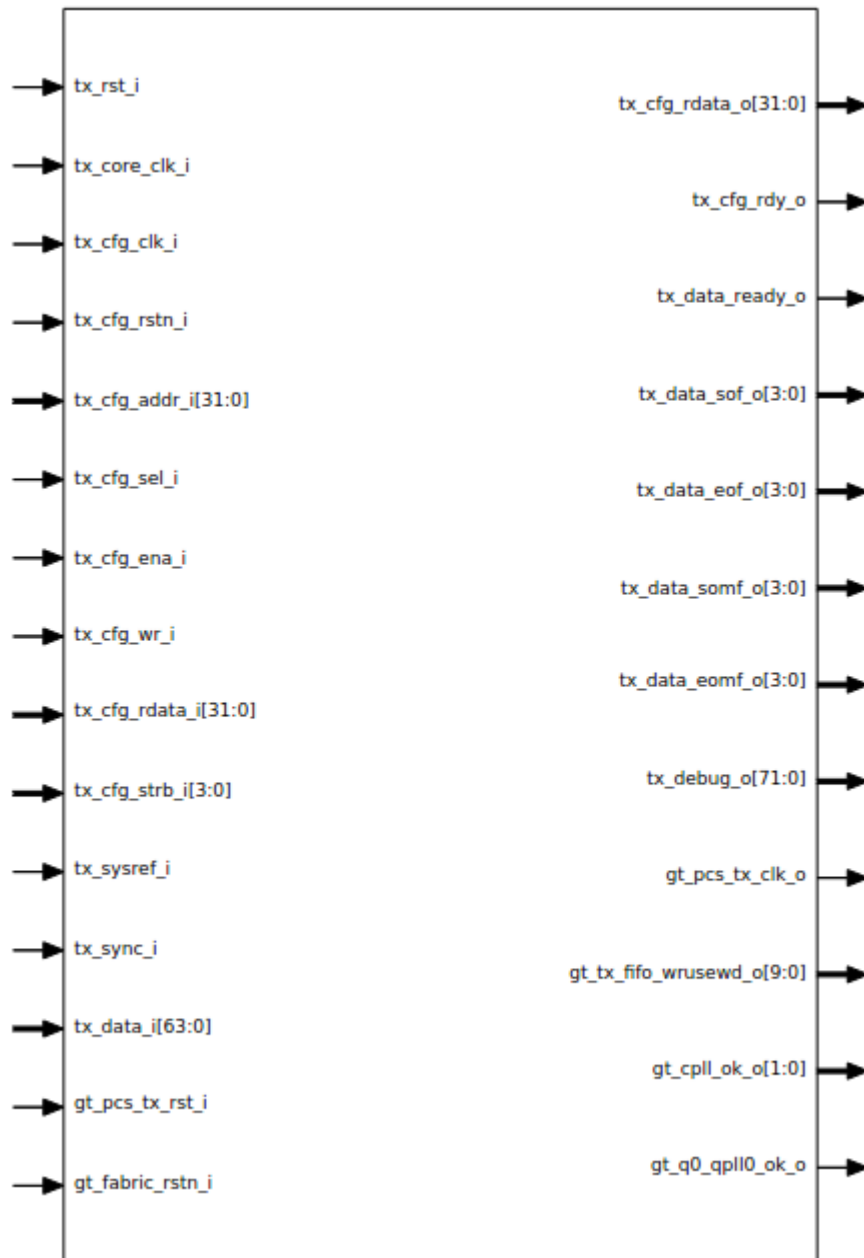


表 3-1 TX 核端口定义

信号名称	方向	描述
tx_rst_i	IN	TX 核复位 1: 复位 0: 工作
tx_core_clk_i	IN	TX 核时钟, 频率=线速率/ $Y^{[2]}/40$ 。
tx_cfg_clk_i	IN	总线配置时钟, free-running clock。
tx_cfg_rstn_i	IN	总线配置复位
tx_cfg_addr_i	IN	总线配置地址
tx_cfg_sel_i	IN	总线配置选择
tx_cfg_ena_i	IN	总线配置使能
tx_cfg_wr_i	IN	总线方向信号 1: 写 0: 读
tx_cfg_rdata_o[31:0]	OUT	读取的数据
tx_cfg_wdata_i[31:0]	IN	写入的数据
tx_cfg_rdy_o	OUT	准备好信号
tx_cfg_strb_i[3:0]	IN	写选通信号, 固定为 4'hf
tx_sysref_i	IN	SYSREF 输入, 当配置为子类 1 时, 这个信号是必须的。
tx_sync_n_i	IN	JESD204B 将同步信号定义为低电平有效同步请求信号, 因此该信号在逗号对齐完成之前一直处于低电平, 在请求 ILA 和正常数据时处于高电平。
tx_data_ready_o	OUT	TX 核准备好接收发送数据
tx_data_sof_o[4* $Y^{[2]}$ -1:0]	OUT	<p>帧起始边界指示。该信号为 $4 \times Y^{[2]}$ 位, 用于指示当前时钟周期中帧的第一个字节在 tx_data 中的字节位置。例如 $Y^{[2]} = 1$ 时:</p> <ul style="list-style-type: none"> 当 tx_data_sof = 0001 时, 帧的第一个字节位于 tx_data 字的位[7:0]中, 接下来的 3 个字节位于位 [31:8] 中。 当 tx_data_sof = 0010 时, 第一个字节位于 tx_data 字的位[15:8]中, 接下来的 2 个字节位于位[31:16]中; 位 [7:0]包含前一帧的结尾。 当 tx_data_sof = 0100 时, 第一个字节位于 tx_data 字的位[23:16], 下一个字节位于位[31:24]; 位 [15:0]包含前一帧的结尾。 当 tx_data_sof = 1000 时, tx_data 在位 [23:0]中包含前一帧的最后 3 个字节, 在位[31:24]中包含新帧的第一个字节。 <p>注!</p> <ul style="list-style-type: none"> tx_data_sof 的多个位可以在同一周期内

信号名称	方向	描述
		断言，具体取决于每帧的字节数（例如，对于 $F = 1$, $tx_data_sof = 1111$ ） <ul style="list-style-type: none"> ● $Y^{[2]} = 2$ 与 $Y^{[2]} = 1$ 时规则相同
$tx_data_eof_o[4 * Y^{[2]} - 1:0]$	OUT	帧结束边界指示。该信号为 $4 * Y^{[2]}$ 位，用于指示当前时钟周期中帧的最后一个字节在 tx_data 中的字节位置。
$tx_data_somf_o[4 * Y^{[2]} - 1:0]$	OUT	多帧起始边界指示。每个多帧的第一个字节的位置以与 tx_data_sof 相同的方式编码。
$tx_data_eomf_o[4 * Y^{[2]} - 1:0]$	OUT	多帧结束边界指示。每个多帧的最后一个字节的位置以与 tx_data_eof 相同的方式编码。
$tx_data_i[32 * Y^{[2]} * N^{[1]} - 1:0]$	IN	发送数据，首先传输最低有效字节。 $tx_tdata[32 * Y^{[2]} - 1:0]$ 的数据通过串行通道 0 传输 $tx_tdata[64 * Y^{[2]} - 1:32 * Y^{[2]}]$ 的数据通过串行通道 1 传输 $tx_tdata[(N + 1) * Y^{[2]} * 32 - 1:(N * Y^{[2]} * 32)]$ 的数据通过串行通道 N 传输
$tx_debug_o[36 * Y^{[2]} * N^{[1]} - 1:0]$	OUT	调试接口
SerDes 相关接口		
$gt_q0_qpll0_ok_o$	OUT	Quad0 QPLL0 锁定，如果没有使用 Quad0 QPLL0 则该管脚不存在。
$gt_q0_qpll1_ok_o$	OUT	Quad0 QPLL1 锁定，如果没有使用 Quad0 QPLL1 则该管脚不存在。
$gt_q1_qpll0_ok_o$	OUT	Quad1 QPLL0 锁定，如果没有使用 Quad1 QPLL0 则该管脚不存在。
$gt_q1_qpll1_ok_o$	OUT	Quad1 QPLL1 锁定，如果没有使用 Quad1 QPLL1 则该管脚不存在。
$gt_cpll_ok_o[N - 1:0]$	OUT	各个通道的 CPLL 锁定标志
$gt_fabric_rstn_i$	IN	与核所连接的 lane 的 PMA 复位
$gt_pcs_tx_clk_o$	OUT	通道 PCS 发送时钟，如果是多通道，则默认输出第一个通道 PCS 发送时钟。
$gt_pcs_tx_rst_i$	IN	与核所连接的通道的发送 PCS 复位
$gt_tx_fifo_wrusewd_o[5 * N^{[1]} - 1:0]$	OUT	通道发送 FIFO 已写入数据量

注！

^[1]表中 N 表示 lane 的数量。

^[2]表中 Y 表示：PCS 设置为 32 bits 时，Y = 1；PCS 设置为 64 bits 时，Y = 2。

3.2.2 RX 核接口

Gowin JESD204B IP RX 核的 IO 端口如图 3-4 所示

图 3-4 Gowin JESD204B IP RX 端口示意图

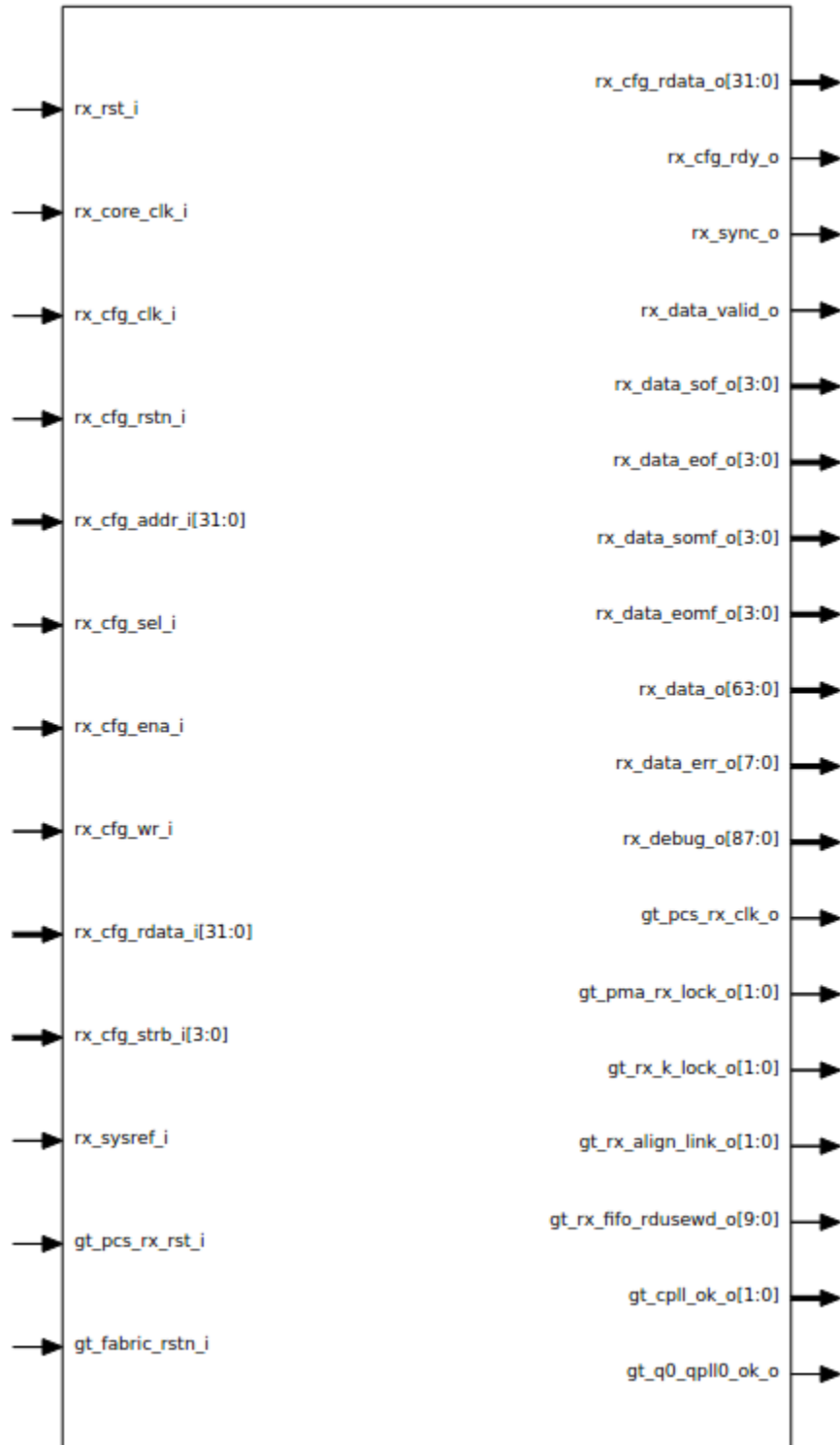


表 3-2 RX 核端口定义

信号名称	方向	描述
rx_rst_i	IN	RX核复位 1: 复位 0: 工作
rx_core_clk_i	IN	RX核时钟, 频率=线速率/ $Y^{[2]}/40$ 。
rx_cfg_clk_i	IN	总线配置时钟, free-running clock。
rx_cfg_rstn_i	IN	总线配置复位
rx_cfg_addr_i	IN	总线配置地址
rx_cfg_sel_i	IN	总线配置选择
rx_cfg_ena_i	IN	总线配置使能
rx_cfg_wr_i	IN	总线方向信号 1: 写 0: 读
rx_cfg_rdata_o[31:0]	OUT	总线读取的数据
rx_cfg_wdata_i[31:0]	IN	总线写入的数据
rx_cfg_rdy_o	OUT	总线准备好信号
rx_cfg_strb_i[3:0]	IN	总线写选通信号, 固定为4'hf。
rx_sysref_i	IN	SYSREF输入, 当配置为子类1时, 这个信号是必须的。
rx_sync_o	OUT	JESD204B将同步信号定义为低电平有效同步请求信号, 因此该信号在逗号对齐完成之前一直处于低电平, 在请求ILA和正常数据时处于高电平。
rx_data_valid_o	OUT	接收数据准备好
rx_data_sof_o [4* $Y^{[2]}-1:0$]	OUT	<p>帧起始边界指示。该信号为$4 \times Y^{[2]}$位, 用于指示当前时钟周期中帧的第一个字节在 rx_data中的字节位置。例如$Y^{[2]} = 1$时:</p> <ul style="list-style-type: none"> ● 当 rx_data_sof = 0001时, 帧的第一个字节位于 rx_data字的位 [7:0]中, 接下来的3个字节位于位 [31:8] 中。 ● 当rx_data_sof = 0010时, 第一个字节位于rx_data 字的位[15:8]中, 接下来的2个字节位于位[31:16]中; 位[7:0]包含前一帧的结尾。 ● 当rx_data_sof = 0100时, 第一个字节位于rx_data字的位[23:16], 下一个字节位于位[31:24]; 位[15:0]包含前一帧的结尾。 ● 当rx_data_sof = 1000时, rx_data在位[23:0]中包含前一帧的最后3个字节, 在位[31:24]中包含新帧的

信号名称	方向	描述
		<p>第一个字节。</p> <p>注!</p> <ul style="list-style-type: none"> ● rx_data_sof 的多个位可以在同一周期内断言，具体取决于每帧的字节数(例如,对于F = 1, rx_data_sof = 1111) ● Y^[2]= 2与Y^[2]=1时规则相同
rx_data_eof_o [4* Y ^[2] -1:0]	OUT	帧结束边界指示。该信号为4xY ^[2] 位,用于指示当前时钟周期中帧的最后一个字节在 rx_data中的字节位置。
rx_data_somf_o [4* Y ^[2] -1:0]	OUT	多帧起始边界指示。每个多帧的第一个字节的位置以与rx_data_sof相同的方式编码。
rx_data_eomf_o [4* Y ^[2] -1:0]	OUT	多帧结束边界指示。每个多帧的最后一个字节的位置以与rx_data_eof相同的方式编码。
rx_data_o [N ^[1] * Y ^[2] *32-1:0]	OUT	<p>接收数据, 首先接收到最低有效字节的数据。</p> <p>串行通道0接收的数据为 rx_data[32xY^[2]-1: 0]</p> <p>串行通道1接收的数据为 rx_data[64xY^[2]-1: 32xY^[2]]</p> <p>串行通道N接收的数据为tx_tdata[((N + 1) xY^[2]x 32) - 1:(N xY^[2]x 32))]</p>
rx_data_err_o [N ^[1] * Y ^[2] *4-1:0]	OUT	字节错误。该信号表明数据流中存在单字节错误。位宽与rx_data_o中的字节对应。
rx_debug_o [44* Y ^[2] *N ^[1] -1:0]	OUT	调试接口
SerDes相关接口		
gt_q0_qpll0_ok_o	OUT	Quad0 QPLL0锁定, 如果没有使用Quad0 QPLL0则该管脚不存在。
gt_q0_qpll1_ok_o	OUT	Quad0 QPLL1锁定, 如果没有使用Quad0 QPLL1则该管脚不存在。
gt_q1_qpll0_ok_o	OUT	Quad1 QPLL0锁定, 如果没有使用Quad1 QPLL0则该管脚不存在。
gt_q1_qpll1_ok_o	OUT	Quad1 QPLL1锁定, 如果没有使用Quad1 QPLL1则该管脚不存在。
gt_cppll_ok_o[N ^[1] -1:0]	OUT	各个通道的CPLL锁定标志
gt_fabric_rstn_i	IN	与IP核所连接的lane的PMA复位
gt_pcs_rx_clk_o	OUT	通道PCS接收时钟, 如果是多通道, 则默认输出第一个通道PCS接收时钟。
gt_pma_rx_lock_o[N ^[1] -1:0]	OUT	通道接收PMA层锁定指示, 1表示锁定
gt_rx_k_lock_o[N ^[1] -1:0]	OUT	通道K码锁定指示, 1表示锁定。

信号名称	方向	描述
gt_rx_align_link_o[N ^[1] -1:0]	OUT	通道字节对齐指示，1表示对齐。
gt_pcs_rx_rst_i	IN	与核所连接的通道的接收PCS复位
gt_rx_fifo_rdusewd_o[5*N ^[1] -1:0]	IN	通道接收FIFO内可读数据数量

注！

^[1]表中 N 表示 lane 的数量。

^[2]表中 Y 表示：PCS 设置为 32 bits 时，Y = 1；PCS 设置为 64 bits 时，Y=2。

3.2.3 DRP (Dynamic Reconfiguration Port) 接口

当“DRP Ports”使能时，存在如下端口，如图 3-5 所示。

图 3-5 DRP 接口示意图

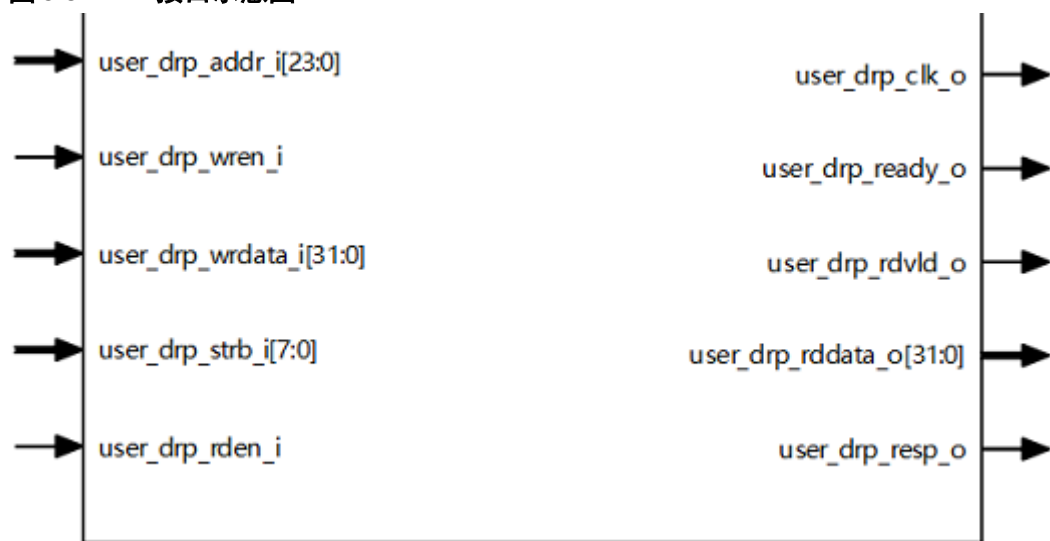


表 3-3 DRP 端口定义

信号名称	方向	描述
user_drp_clk_o	OUT	DRP接口的同步时钟信号
user_drp_addr_i[23:0]	IN	DRP接口的读写地址信号
user_drp_wren_i	IN	DRP接口的写使能信号
user_drp_wrddata_i[31:0]	IN	DRP接口的写数据信号
user_drp_strb_i[7:0]	IN	DRP接口的写掩码信号
user_drp_ready_o	OUT	DRP接口的写握手信号
user_drp_rden_i	IN	DRP接口的读使能信号
user_drp_rdvld_o	OUT	DRP接口的读数据有效信号
user_drp_rddata_o[31:0]	OUT	DRP接口的读数据信号
user_drp_resp_o	OUT	DRP接口的本次读写操作无效信号，当本次读写地址超出可访问空间时置为1

3.3 接口时序

3.3.1 TX 核接口

配置接口时序图

内部寄存器通过总线进行配置，图 3-6 和图 3-7 是总线配置写时序图和读时序图，该接口与 APB slave 时序一致，可以直接接 APB master 模块。

图 3-6 配置接口写时序图

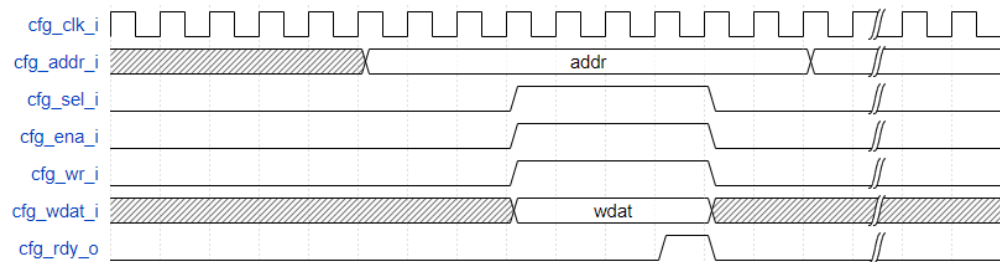
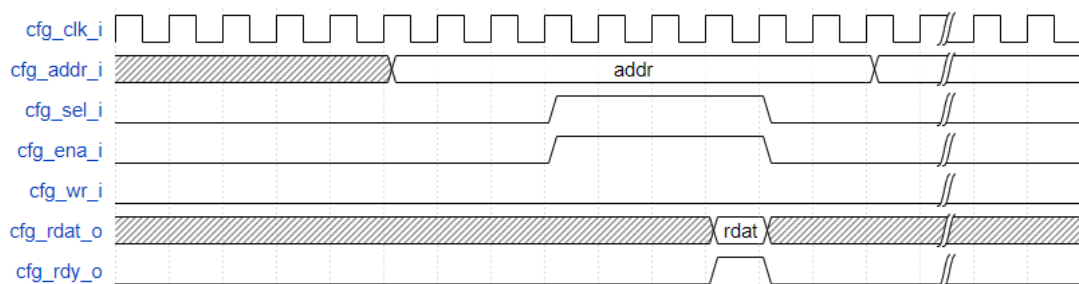
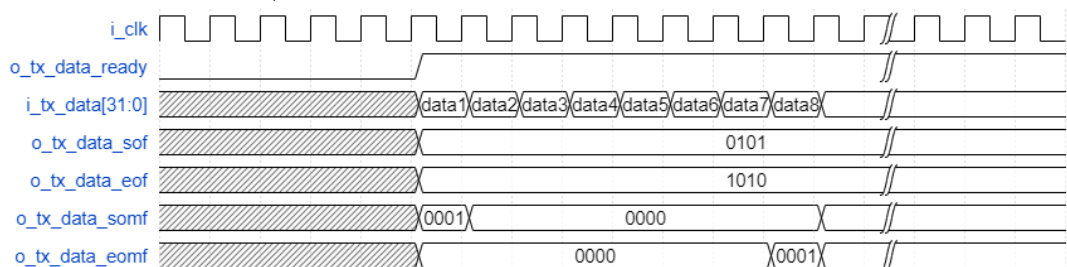


图 3-7 配置接口读时序图



数据接口时序图

图 3-8 F=2 K=32 时，发射数据接口时序



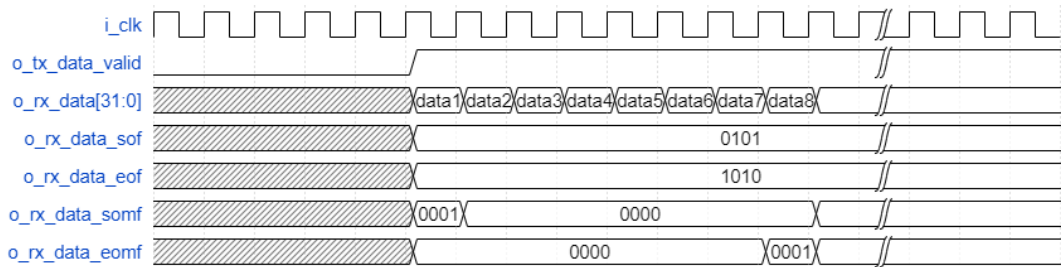
3.3.2 RX 核接口

配置接口时序图：

RX 核的配置接口时序与 TX 核一样，参考图 3-6 和图 3-7。

数据接口时序图

图 3-9 F=2 K=32 时，接收数据接口时序

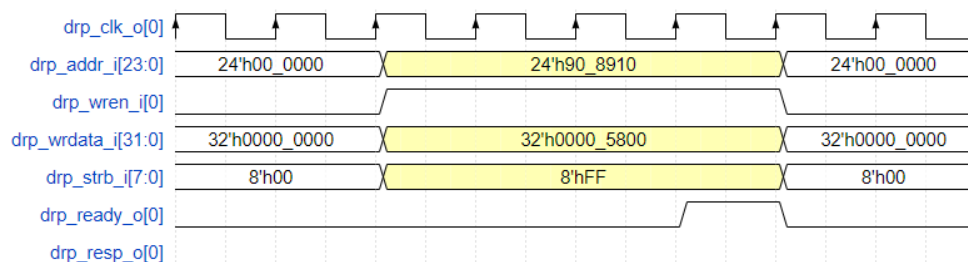


3.3.3 DRP 接口

写操作

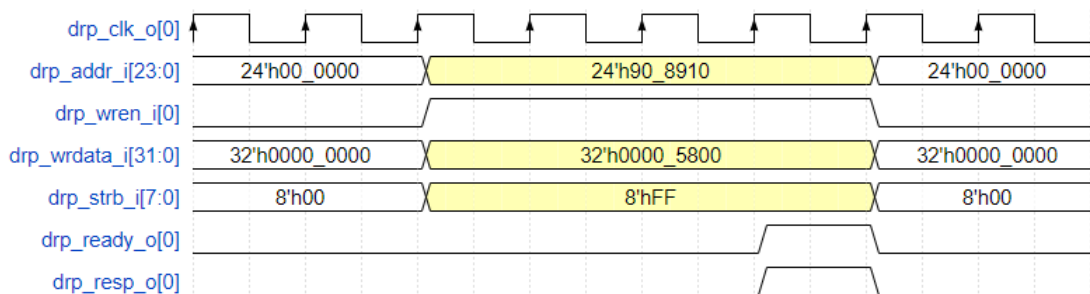
在执行写操作时，将 `drp_wren_i[0]` 置为 1，同时在 `drp_addr_i[23:0]` 写入寄存器地址，`drp_wrddata_i[31:0]` 写入数据，`drp_strb_i[7:0]` 写入掩码；保持到 `drp_ready_o[0]` 为 1 时，表示本次写操作执行完成，`drp_wren_i[0]` 需要立刻拉低，结束本次操作，时序如下图所示：

图 3-10 写操作时序图



当本次写操作的地址超出 DRP 可访问的空间范围时，在 `drp_ready_o[0]` 为 1 时，`drp_resp_o[0]` 同时也为 1，表示本次操作无效，SerDes 内未执行，时序如下图所示：

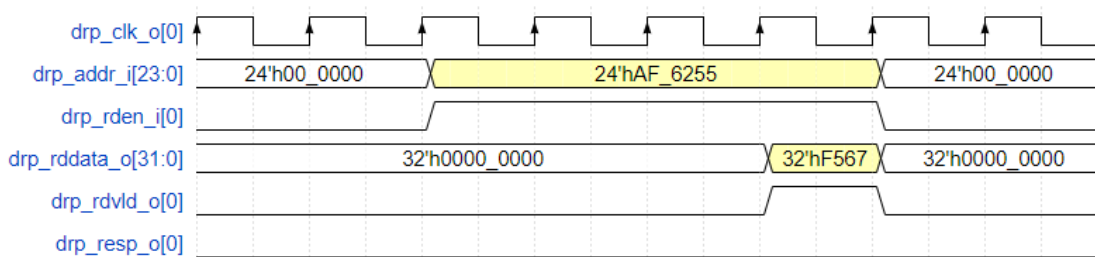
图 3-11 写操作时序图（地址超出 DRP 可访问的空间范围）



读操作

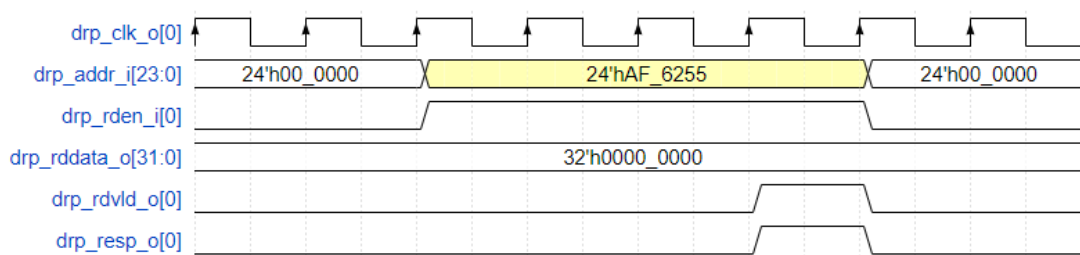
在执行读操作时，将 `drp_rden_i[0]` 置为 1，同时在 `drp_addr_i[23:0]` 写入寄存器地址；保持到 `drp_rdvld_o[0]` 为 1 时，从 `drp_rddata_o[31:0]` 获取寄存器数据，之后 `drp_rden_i[0]` 需要立刻拉低，结束本次操作，时序如下图所示：

图 3-12 读操作时序图



当本次读操作的地址超出 DRP 可访问的空间范围时，在 `drp_rdvld_o[0]` 为 1 时，`drp_rddata_o[31:0]` 返回为 0，`drp_resp_o[0]` 同时也为 1，表示本次操作无效，SerDes 内未执行，时序如下图所示：

图 3-13 读操作时序图（地址超出 DRP 可访问的空间范围）



3.4 寄存器描述

Gowin JESD204B IP 中包含 TX 核和 RX 核两组寄存器，通过总线接口进行配置，地址以字节为单位。

表 3-4 Gowin JESD204B IP 寄存器

RX CORE REGISTER			TX CORE REGISTER	
地址偏移	描述	R/W	描述	R/W
0x000	Reserved	-	Reserved	-
0x004	Version	R	Version	R
0x008	Reset	WR	Reset	WR
0x00C	ILA Support	WR	ILA Support	WR
0x010	Scrambling	WR	Scrambling	WR
0x014	SYSREF Handling	WR	SYSREF Handling	WR
0x018	Test Modes	WR	Test Modes	WR
0x01C	F_and_K	WR	F_and_K	WR
0x020	Subclass Mode	WR	Subclass Mode	WR
0x024	Sync Status	R	Sync Status	R
0x028	Link Error Status (Lanes 0 to 7)	R	Reserved	-
0x02C	Alarm Status	R	Alarm Status	R
0x030	RXBUF_DELAY	WR	Reserved	-
0x034	ERR_REPORT	WR	Reserved	-

RX CORE REGISTER			TX CORE REGISTER	
0x038	LINK_DEBUG	R	Reserved	-
0x040	CLEAR_ERR	WR	Reserved	-
0x080	Reserved	-	Lane ID Lane0	WR
0x084	Reserved	-	Lane ID Lane1	WR
0x088	Reserved	-	Lane ID Lane2	WR
0x08C	Reserved	-	Lane ID Lane3	WR
0x090	Reserved	-	Lane ID Lane4	WR
0x094	Reserved	-	Lane ID Lane5	WR
0x098	Reserved	-	Lane ID Lane6	WR
0x09C	Reserved	-	Lane ID Lane7	WR
0x0C0	lane 0 ILA Config Data 0	R	-	-
0x0C4	lane 0 ILA Config Data 1	R	-	-
0x0C8	lane 0 ILA Config Data 2	R	-	-
0x0CC	lane 0 ILA Config Data 3	R	ILA Config Data 3	WR
0x0D0	lane 0 ILA Config Data 4	R	ILA Config Data 4	WR
0x0D4	lane 0 ILA Config Data 5	R	ILA Config Data 5	WR
0x0D8	lane 0 ILA Config Data 6	R	ILA Config Data 6	WR
0x0DC	lane 0 ILA Config Data 7	R	ILA Config Data 7	WR
0x0E0	lane 0 Test Mode Error Count	R	-	-
0x0E4	lane 0 Link Error Count	R	-	-
0x0E8	lane 0 Test Mode ILA Count	R	-	-
0x0EC	lane 0 Test Mode Multiframe Count	R	-	-
0x0F0	lane 0 Buffer Adjust	R	-	-
0x0F4-0xF4C	Reserved	-	-	-
0x100-0x13C	Same as 0x0c0-0x0fc for lane1	R	-	-
0x140-0x17C	Same as 0x0c0-0x0fc for lane2	R	-	-
0x180-0x1BC	Same as 0x0c0-0x0fc for lane3	R	-	-

表 3-5 Version [Offset:0x004]

比特	默认值	W/R	描述
31:24	-	-	Reserved
23:16	-	R	版本: Major
15:8	-	R	版本: Minor
7:0	-	R	版本: Revision

表 3-6 Reset [Offset:0x008]

比特	默认值	W/R	描述
31:1	-	-	Reserved
0	0x0	WR	复位。 写1保持复位状态 写0释放复位状态，核开始运行。

表 3-7 ILA Support [Offset:0x00C]

比特	默认值	W/R	描述
31:12	-		Reserved
11:4	0x3	WR	ILAS中包含的多帧数 参数范围：4-256；写寄存器的时候需要减1。 例如默认情况下多帧数为4，则需要写入3
3:1	-		Reserved
0	0x0	WR	1：使能ILA Support 0：不使能ILA Support

表 3-8 Scrambling [Offset:0x010]

比特	默认值	W/R	描述
31:1	-	-	Reserved
0	0x0	WR	1：使能 Scrambling 0：不使能 Scrambling

表 3-9 SYSREF Handling [Offset:0x014]

比特	默认值	W/R	描述
31:1	-	-	Reserved
8	-	-	链路重新同步时需要SYSREF <ul style="list-style-type: none"> ● TX核发送K28.5直到SYSREF重新对齐LMFC ● RX核不会置位SYNC直到SYSREF重新对齐LMFC 链路重新同步时不需要SYSREF <ul style="list-style-type: none"> ● TX核在下一个LMFC发送ILA序列 ● RX核在下一个LMFC置位SYNC
7:4	-	WR	SYSREF delay: 对于SYSREF重新对齐LMFC计数器增加额外的延迟 1111: 15 core_clk时钟周期延迟 0000: 0 core_clk时钟周期延迟
3:1	-	-	Reserved
0	0	WR	SYSREF Always 1: 所有的SYSREF都会对LMFC计数器重新对齐

比特	默认值	W/R	描述
			0: 只在复位后的第一个SYSREF对LMFC计数器进行对齐, 忽略后续的SYSREF

表 3-10 Test Modes [Offset:0x018]

比特	默认值	W/R	描述
31:1	-	-	Reserved
2:0	000	WR	测试模式选择 000: 正常模式 001: 一直发送/接收 K28.5 010: 同步后重复发送ILA序列 011: 一直发送/接收 D21.5 100: 发送Modified Random Pattern (RPAT) (仅TX) 101: 发送Scrambled Jitter Pattern (JSPAT) (仅TX)

表 3-11 F_and_K [Offset:0x01C]

比特	默认值	W/R	描述
31:13	-	-	Reserved
12:8	0x1F	WR	多帧包含帧数(K) 参数范围1-32, 写寄存器的时候需要减1 例如F = 32, 则需要写入0x1F
7:0	0x3	WR	一帧字节数Octets per Frame (F) 参数范围1-256, 写寄存器的时候需要减1 例如F = 4, 则需要写入3

表 3-12 Subclass Mode [Offset:0x020]

比特	默认值	W/R	描述
31:2	-	-	Reserved
1:0	0x1	WR	11: Reserved 10: 子类2 01: 子类1 (目前只支持子类1) 00: 子类0

表 3-13 Sync Status [Offset:0x024]

比特	默认值	W/R	描述
31:5	-	-	Reserved
4	-	R	检测SYSREF (仅子类1) 1: SYSREF检测到

比特	默认值	W/R	描述
			0: SYSREF没检测到
3:1	-		Reserved
0	-	R	SYNC状态 1: 链路同步完成 0: 链路同步未完成

表 3-14 Link Error Status (Lanes 0 to 7) [Offset:0x028]

比特	默认值	W/R	描述
31:24	-		Reserved
23:21	-	R	Link Error Status, Lane 7
20:18	-	R	Link Error Status, Lane 6
17:15	-	R	Link Error Status, Lane 5
14:12	-	R	Link Error Status, Lane 4
11:9	-	R	Link Error Status, Lane 3
8:6	-	R	Link Error Status, Lane 2
5:3	-	R	Link Error Status, Lane 1 格式与 lane 0 一样
2:0	-	R	Link Error Status, Lane 0 Bit2:1: 接收 K 字符异常 Bit1:1: 接收到 8B10B 编码 Disparity Error Bit0:1: 接收到 8B10B 编码 NotInTable Error 每个 bit 都表示至少出现过 1 次错误 需要清除错误的话需要对 0x40 寄存器进行操作

表 3-15 Alarm Status [Offset:0x02C]

比特	默认值	W/R	描述
31:5	-	-	Reserved
8	-	R	AlignErrDet_alm 1: 在非法位置上接收到的多帧控制字符, 累计出现 10 次以上的字符错误, 或者出现 disperr 和 notintable err 累计 10 次以上的字符错误会出现告警。
7	-	-	Reserved
6	-	R	lmfc_cfg_alarm 1: F*K 不是 4 的整数倍
5	-	R	lmfc_size_alarm 1: F*K 不属于[17,1024]范围
4	-	R	lmfc_mis_alarm 1: SYSREF 与 LMFC 发生错位
3:1	-	-	Reserved
0	-	R	RxBufOvrflo_alm 1: RX 通道对齐缓存溢出

表 3-16 RXBUF_DELAY (RX ONLY) [Offset:0x030]

比特	默认值	W/R	描述
31:10	-	-	Reserved
9:0	0	WR	可以结合从通道读取RX缓冲区调整值对RX缓冲区延迟进行编程，以最小化整体RX延迟。

表 3-17 ERR_REPORT (RX ONLY) [Offset:0x034]

比特	默认值	W/R	描述
31:5	-	-	Reserved
4	0	WR	Reserved
3:1	-	-	Reserved
0	0	WR	链路错误计数器使能 1: 使能链路错误计数器（链路错误被计数并且通过每条通道的Link Error Count寄存器报告） 0: 不使能链路错误计数器

表 3-18 LINK_DEBUG (RX ONLY) [Offset:0x038]

比特	默认值	W/R	描述
31:28	-	R	Link Debug status Lane 7 as per lane 0
27:24	-	R	Link Debug status Lane 6 as per lane 0
23:20	-	R	Link Debug status Lane 5 as per lane 0
19:16	-	R	Link Debug status Lane 4 as per lane 0
15:12	-	R	Link Debug status Lane 3 as per lane 0
11:8	-	R	Link Debug status Lane 2 as per lane 0
7:4	-	R	Link Debug status Lane 1 as per lane 0
3:0	-	R	Link Debug status Lane 0 BIT3:1: 数据的起始被检测到 BIT2:1: ILA的起始被检测到 BIT1:1: 通道完成了代码组同步（CGS） BIT0:1: 通道正在接收K28.5

表 3-19 ERR_CLEAR [Offset:0x040]

比特	默认值	W/R	描述
31:1	-	-	Reserved
0	0	WR	0: 开启四个标志量的检测 1: 清除 AlignErrDet 以及所有通道的接收 K 字符异常、8B10B 编码极性错误、8B10B 编码 NotInTable 错误这四个错误标识，并且关闭这四个标志量的检测

表 3-20 Lane ID [Offset: lane0-0x080, lane1-0x084 lane7-0x09C]

比特	默认值	W/R	描述
31:5	-	-	Reserved
4:0	N	WR	通道N的ID。值可以是0到31之间的任何值。默认值N设置为通道号

注!

这是每个通道都包含的寄存器。

表 3-21 ILA Config Data 0 [Offset: lane0-0x0C0, lane1-0x100 lane7-0x280]

比特	默认值	W/R	描述
31:7	-	-	Reserved
6:4	-	R	JESD204版本 000: JESD204A 001: JESD204B
3	-	-	Reserved
2:0	-	R	子类: 000-子类0 001-子类1 010-子类2

注!

这是每个通道都包含的寄存器(仅 RX 核)。

表 3-22 ILA Config Data 1 [Offset: lane0-0x0C4, lane1-0x104 lane7-0x284]

比特	默认值	W/R	描述
31:8	-	-	Reserved
7:0	-	R	F(帧包含字节数), Binary value minus 1

注!

这是每个通道都包含的寄存器(仅 RX 核)。

表 3-23 ILA Config Data 2 [Offset: lane0-0x0C8, lane1-0x108 lane7-0x288]

比特	默认值	W/R	描述
31:5	-	-	Reserved
4:0	-	R	K(多帧包含帧数), Binary value minus 1

注!

这是每个通道都包含的寄存器(仅 RX 核)。

表 3-24 ILA Config Data 3 [Offset: lane0-0x0CC, lane1-0x10C lane7-0x28C]

比特	默认值	W/R	描述
31:22	-	-	Reserved
21:17	-	R(RX)	L (Lanes per Link), Binary value
16:12	-	R(RX)	LID (Lane ID), Binary value
11:8	0x0	R(RX) WR(TX)	BID(bank ID), Binary value 对于 TX 核而言, 设置该字段通过 ILA 序列发送至所有通道; 对于 RX 核而言, 每个通道接收 ILA 序列信息获取该

比特	默认值	W/R	描述
			字段
7:0	0x00	R(RX) WR(TX)	DID(Device ID), Binary value. 对于 TX 核而言, 设置该字段通过 ILA 序列发送至所有通道; 对于 RX 核而言, 每个通道接收 ILA 序列信息获取该字段

注!

这是每个通道都包含的寄存器。

表 3-25 ILA Config Data 4 [Offset: lane0-0x0D0, lane1-0x110 lane7-0x290]

比特	默认值	W/R	描述
31:21	-	-	Reserved
20:16	-	R(RX) WR(TX)	N' (Totals bits per Sample), Binary value minus 1
15:13	-	-	Reserved
12:8	0x0	R(RX) WR(TX)	N (Convertor Resolution), Binary value minus 1 对于 TX 核而言, 设置该字段通过 ILA 序列发送至所有通道; 对于 RX 核而言, 每个通道接收 ILA 序列信息获取该字段。
7:0	0x00	R(RX) WR(TX)	M (Convertors per Device), Binary value minus 1 对于 TX 核而言, 设置该字段通过 ILA 序列发送至所有通道; 对于 RX 核而言, 每个通道接收 ILA 序列信息获取该字段。

注!

这是每个通道都包含的寄存器。

表 3-26 ILA Config Data 5 [Offset: lane0-0x0D4, lane1-0x114 lane7-0x294]

比特	默认值	W/R	描述
31:21	-	-	Reserved
20:16		R(RX) WR(TX)	CF (Control Words per Frame). Binary value 对于 TX 核而言, 设置该字段通过 ILA 序列发送至所有通道; 对于 RX 核而言, 每个通道接收 ILA 序列信息获取该字段
15:13	-	-	Reserved
12	-	R(RX) WR(TX)	HD (High Density format) 对于 TX 核而言, 设置该字段通过 ILA 序列发送至所有通道; 对于 RX 核而言, 每个通道接收 ILA 序列信息获取该字段
11:9	-	-	Reserved
8:4	0x0	R(RX) WR(TX)	S (Samples per Converter per Frame). Binary value minus 1.

比特	默认值	W/R	描述
			对于 TX 核而言，设置该字段通过 ILA 序列发送至所有通道； 对于 RX 核而言，每个通道接收 ILA 序列信息获取该字段
3:1	-	-	Reserved
0	0x00	R(RX)	SCR (Scrambling Enable) 1: 使能

注！

这是每个通道都包含的寄存器。

表 3-27 ILA Config Data 6 [Offset: lane0-0x0D8, lane1-0x118 lane7-0x298]

比特	默认值	W/R	描述
31:28	-	-	Reserved
27:20	0x0	R(RX)	FCHK (Checksum), Binary value
19:12	0x0	R(RX) WR(TX)	RES2 (Reserved Field 2) 对于TX核而言，设置该字段通过ILA序列发送至所有通道； 对于RX核而言，每个通道接收ILA序列信息获取该字段
11:4	0x0	R(RX) WR(TX)	RES1 (Reserved Field 1) 对于TX核而言，设置该字段通过ILA序列发送至所有通道； 对于RX核而言，每个通道接收ILA序列信息获取该字段
3:2	-	-	Reserved
1:0	0x0	R(RX) WR(TX)	CS (Control bits per Sample), 二进制值 对于TX核而言，设置该字段通过ILA序列发送至所有通道； 对于RX核而言，每个通道接收ILA序列信息获取该字段

注！

这是每个通道都包含的寄存器。

表 3-28 ILA Config Data 7 [Offset: lane0-0x0DC, lane1-0x11C lane7-0x29C]

比特	默认值	W/R	描述
31:9	-	-	Reserved
8	0x0	R(RX) WR(TX)	ADJDIR (Adjust Direction) [Subclass 2 Only], Binary value 对于TX核而言，设置该字段通过ILA序列发送至所有通道； 对于RX核而言，每个通道接收ILA序列信息获取该字段
7:5	-	-	Reserved
4	0x0	R(RX) WR(TX)	PHADJ (Phase Adjust Request, 相位调整请求) [Subclass 2 Only], Binary value

比特	默认值	W/R	描述
			对于TX核而言，设置该字段通过ILA序列发送至所有通道； 对于RX核而言，每个通道接收ILA序列信息获取该字段
3:0	0x0	R(RX) WR(TX)	ADJCNT (Number of Adjustment Resolution Steps) [Subclass 2 Only], Binary value 对于TX核而言，设置该字段通过ILA序列发送至所有通道； 对于RX核而言，每个通道接收ILA序列信息获取该字段

注！

这是每个通道都包含的寄存器。

表 3-29 Test Mode Error Count [Offset: lane0-0x0E0, lane1-0x120 lane7-0x2A0]

比特	默认值	W/R	描述
31:0	-	R	在测试模式下记录接收到的错误字符（Test Mode Error Count） Test Mode: 001(连续K28.5):计数接收的任何非K28.5字符 Test Mode: 010(连续ILA):计数接收的任何非法字符 当Test Mode发生变化时，这个计数器会复位为0

注！

这是每个通道都包含的寄存器。

表 3-30 Link Error Count [Offset: lane0-0x0E4, lane1-0x124 lane7-0x2A4]

比特	默认值	W/R	描述
31:0	-	R	Link Error Count 统计所有接收到的link错误（每个通道）当Link Error Counter使能时。Link错误包括Disparity Error和NotInTable Error。 可以通过使用错误报告寄存器中的控制位禁用和重新启用来重置错误计数器。

注！

这是每个通道都包含的寄存器。

表 3-31 Test Mode ILA Count [Offset: lane0-0x0E8, lane1-0x128 lane7-0x2A8]

比特	默认值	W/R	描述
31:0	-	R	Test Mode ILA Count 当Test Mode = 010 (Continuous ILA)时接收到的ILA 序列总数。

注！

这是每个通道都包含的寄存器。

表 3-32 Test Mode Multiframe Count [Offset: lane0-0x0EC, lane1-0x12C . lane7-0x2AC]

比特	默认值	W/R	描述
31:0	-	R	Test Mode Multiframe Count 当 Test Mode = 010 (Continuous ILA) 时接收到的 ILA 多帧总数。

注！

这是每个通道都包含的寄存器。

表 3-33 Buffer Adjust [Offset: lane0-0x0F0, lane1-0x130 lane7-0x2B0]

比特	默认值	W/R	描述
31:10			Reserved
9:0	-	R	RX Buffer Adjust 指示 RX 缓冲区填充级别（每通道）

注！

这是每个通道都包含的寄存器。

4 设计说明

4.1 线速率

JESD204B 规范没有为任何 JESD204B 链路定义特定的串行线路速率，JESD204B 内核支持线路速率，具体取决于器件和速度等级的选择。

多数情况下，串行线路速率的选择取决于内核所连接的 ADC/DAC 转换器设备的规格。所需的操作串行线率与核心逻辑操作的时钟速率（核心时钟）直接相关；串行线路速率还决定着收发器所需的参考时钟的选择。

4.2 时钟

4.2.1 核时钟（core clk）

JESD204B 内核时钟根据 PCS 位宽来确定。当 PCS 位宽选择 32bit 时，JESD204B 内核使用 32 位（4 字节）数据路径运行。内核时钟频率是线路速率除以 40。例如，对于 4.9152 Gbs 的串行线路速率，内核时钟频率为 122.88 MHz。数据流 RX 和 TX 数据接口以该内核时钟频率运行。

当 PCS 位宽选择 64bit 时，JESD204B 内核使用 64 位（8 字节）数据路径运行。内核时钟频率始终是线路速率除以 80。例如，对于 9.8304 Gbs 的串行线路速率，内核时钟频率为 122.88 MHz。数据流 RX 和 TX 数据接口以该内核时钟频率运行。

该时钟将不仅连接到 JESD204B 内核，同时也将连接到内部 SerDes PCS 时钟接口

4.2.2 参考时钟

串行收发器需要稳定、低抖动的参考时钟，该参考时钟具有与器件和速度等级相关的范围。参考时钟的选定需要确认是否支持所需的线速率。

4.2.3 配置时钟(cfg clk)

该内核通过配置接口进行寄存器的读写。该接口的时钟是独立于核心时钟或参考时钟的时钟。此时钟与核时钟或参考时钟之间没有依赖关系。

4.2.4 SerDes PCS 时钟

JESD204B 内核将 SerDes 通道 PCS 接收时钟中转输出,如果是多通道,则默认输出第一个通道 PCS 接收时钟。该时钟频率与核时钟是一致的,也可以将 `gt_pcs_tx_clk_o` 或者 `gt_pcs_rx_clk_o` 管脚连接到 `core_clock` 端口上,作为内核时钟使用。

4.2.5 典型时钟方案

图 4-1 典型时钟方案

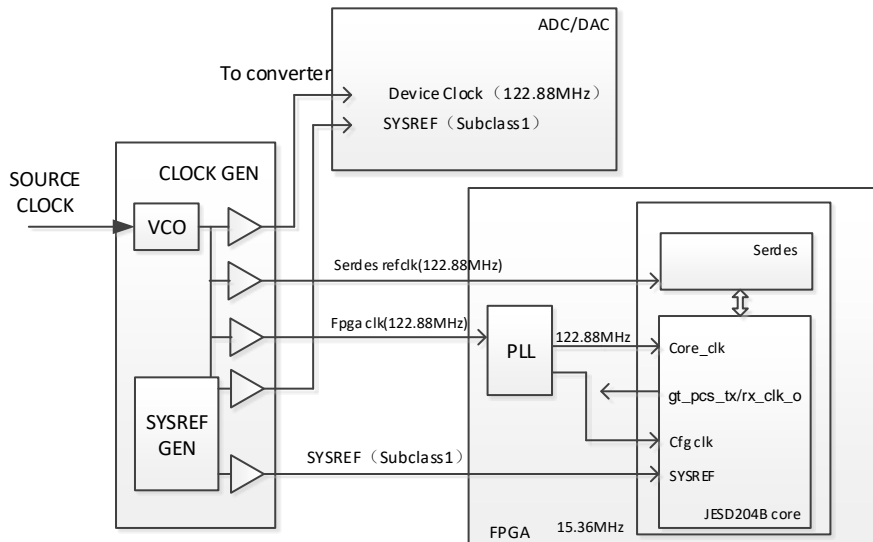


图 4-1 显示了最通用和最灵活的时钟方案,其中外部时钟生成单元分别提供 SerDes 参考时钟和 FPGA fabric clk。通过这种配置,参考时钟和 fabric 时钟在物理上是独立的时钟,可以在独立的频率下运行,没有额外的限制。参考时钟可以在收发器的限制范围内的任何频率下运行,以达到选定的线路速率。fabric 时钟(或者经过 PLL 后的时钟)始终以所需的速率运行。

配置时钟 `cfg_clk` 在时钟来源和时钟频率上都独立于核时钟和参考时钟。

图中所示 122.88MHz 等频率值是一个具体的频率例子,实际使用可以是其他任何的频率。

4.3 复位

4.3.1 总线复位端口

总线配置接口提供了一个单独的复位信号 (`tx/rx_cfg_rstn_i`),它将配置寄存器复位为默认值。

4.3.2 通过管脚复位核逻辑

提供异步复位以复位整个核逻辑。在发送核上,此信号为 `tx_rst_i`,在接收器上,此信号信号为 `rx_rst_i`。总线配置和配置寄存器不受这些复位信号的影响。

4.3.3 通过寄存器复位核逻辑

通过总线配置接口提供一个寄存器 0x8，它在软件控制下触发发送或接收逻辑数据路径的复位操作。配置寄存器不受此操作的影响。其功能与通过管脚进行复位相同。

4.3.4 SerDes 相关复位

JESD204B 内核通过与 SerDes 连接，提供对 SerDes 进行 PMA 复位和 PCS 复位的接口。其中 gt_fabric_rstn_i 管脚会对收发 PMA 都会生效。

4.3.5 复位流程

用户可以根据上述复位管脚进行复位控制，加载 FPGA 后，SerDes 和内核均处于复位状态，然后依次释放 Serdes 和内核的复位，则整个逻辑开始工作。

建议的复位流程如下：

TX 核

1. 上电后保持 tx_rst_i 拉高或者寄存器 0x8 设置为 1。
2. 判断 QPLL 或 CPLL LOCK 信号是否锁定，如果锁定表示参考时钟准备就绪。
3. 使用 gt_fabric_rstn_i 管脚进行 SerDes PMA 复位。
4. 如果是 TX 核，则释放 tx_rst_i 复位，TX 核逻辑开始工作。

RX 核

1. 上电后保持 rx_rst_i 拉高或者寄存器 0x8 设置为 1。
2. 判断 QPLL 或 CPLL LOCK 信号是否锁定，如果锁定表示参考时钟准备就绪。
3. 使用 gt_fabric_rstn_i 管脚进行 SerDes PMA 复位。
4. 等待对端 TX 准备就绪后，判断 gt_pma_rx_lock_o、gt_rx_k_lock_o、gt_rx_align_link_o 的状态，全部为高后，释放 rx_rst_i 复位，RX 核逻辑开始工作。

4.4 子类

JESD204B 规范上有三个子类：Subclass0、Subclass1、Subclass2。但当前的 JESD204B 核暂时只支持子类 1（Subclass1）。

4.5 SYSREF

4.5.1 SYSREF 时序

当 JESD204B 用于子类 1 时，SYSREF 信号是系统的主时序参考。为实现准确的确定性延迟，SYSREF 信号必须与内核时钟同步捕获。当 PCS 位宽选择 32bit 时，SYSREF 周期必须是 4 字节时钟周期的倍数，因为内核

使用 4 字节内部数据路径。当 PCS 位宽选择 64bit 时，SYSREF 周期必须是 8 字节时钟周期的倍数，因为内核使用 8 字节内部数据路径。

正确处理 SYSREF 在 Subclass 1 操作中至关重要。JESD204B 规范允许通过以下任何方式生成 SYSREF：

- 周期的（Periodic）
- 一次性（One-Shot）
- 间歇性周期性（Gapped Periodic）

JESD204B 内核为子类 1 操作处理 SYSREF 的方式提供了多个选项，以支持最大的灵活性。

SYSREF 周期必须是多帧周期的整数倍，同时也要满足是 4 字节（PCS = 32bit）或者 8 字节（PCS = 64bit）的整数倍关系。

4.5.2 SYSREF Always

内核提供了一个可编程选项，允许选择如何在内部使用周期性 SYSREF。这是使用 SYSREF 处理寄存器中的 SYSREF Always 控制位选择的，如表 3-9 所示。

当 SYSREF Always 设置为 0 时，只有复位后（或链路重新同步时）看到的初始 SYSREF 事件用于对齐内部 LMFC 计数器。

当 SYSREF Always 设置为 1 时，所有 SYSREF 事件都用于（重新）对齐 LMFC 计数器。此设置要求 SYSREF 周期是多帧周期的正确倍数。

4.5.3 SYSREF 初次建链的要求

复位后，JESD204B 内核至少需要一个 SYSREF 事件来对齐内部 LMFC 计数器，并启动链接：

- RX 内核需要一个初始 SYSREF 事件来对齐 LMFC，然后在代码组同步已实现时在下一个 LMFC 边界置高 SYNC。在检测到初始 SYSREF 事件之前，内核不会置高 SYNC。
- TX 内核需要一个 SYSREF 事件来对齐 LMFC。SYNC 无效后，内核开始在 LMFC 边界上传输 ILA。在检测到初始 SYSREF 事件之前，内核不会开始 ILA 传输。

系统必须确保在内核完成复位后生成 JESD204B 内核的 SYSREF。如果系统运行的是 One-shot SYSREF，这一点尤为重要。

4.5.4 SYSREF 重新建链的要求

当最初链路建立后，如果请求链路重新同步（通过接收设备解除 SYNC 断言），则可以使用 SYSREF 处理寄存器中的重新同步所需的 SYSREF 控制位来控制 SYSREF 相关的行为。

当 SYSREF Required on Re-Sync 设置为 0 时，链路重新同步不需要 SYSREF 事件（假设 LMFC 计数器继续自由运行并保持有效）。

- RX 内核在代码组同步后在下一个 LMFC 边界置高 SYNC。
- 在 SYNC 无效后，TX 内核在下一个 LMFC 边界发送 ILA 序列。

当 SYSREF Required on Re-Sync 设置为 1 时，链路需要 SYSREF 事件才能在重新同步请求后重新建立 SYNC。

- RX 内核等待 SYSREF 事件以重新对齐 LMFC 计数器，并且仅在下一个 LMFC 边界置高 SYNC。
- TX 内核等待 SYSREF 事件重新对齐 LMFC 计数器，然后才在 SYNC 置高后开始在 LMFC 边界上进行 ILA 传输。

4.5.5 SYSREF Delay

JESD204B 标准中定义的确定性延迟机制要求多帧大小大于链路上的最大可能延迟。实际上这很难实现，尤其是对于小帧尺寸。但是只要多帧大小大于链路上延迟的最大变化，就可以实现确定性延迟。

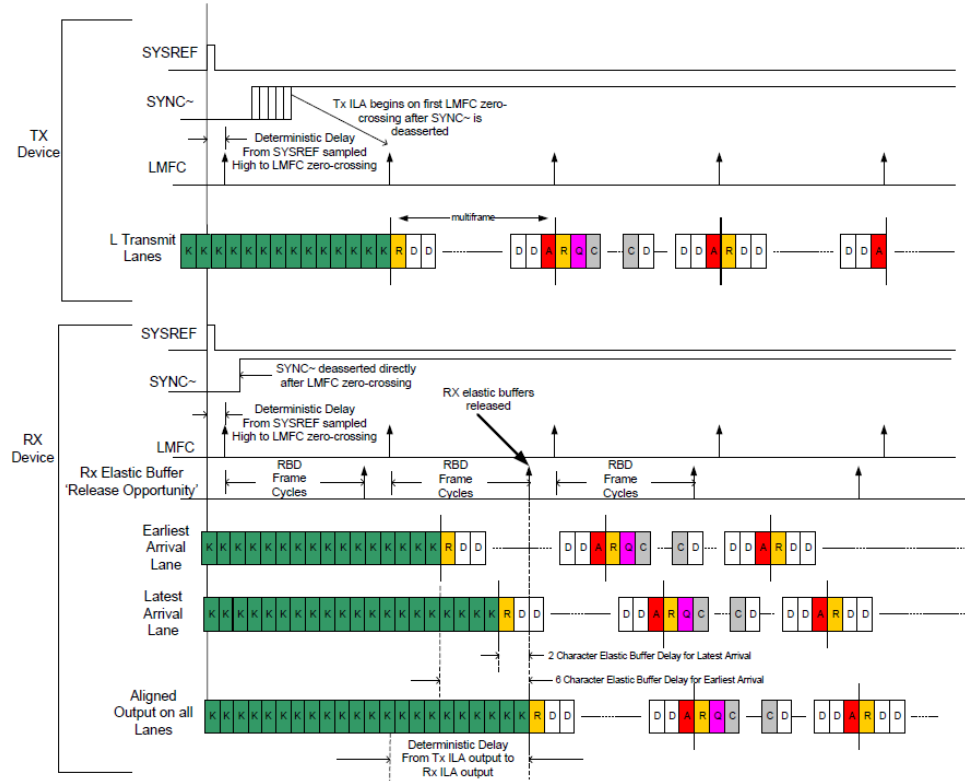
当最大延迟变化导致整体延迟跨越两个相邻 LMFC 周期之间的边界时，就会出现潜在问题。在这种情况下，可以在多次系统重启之间观察到恰好一个 LMFC 周期的延迟变化。

在这种情况下，TX 或 RX 设备中的 LMFC 边界可以通过向其中一个设备中的 SYSREF 添加额外延迟来相对移动。JESD204B 内核通过允许内部 SYSREF 处理逻辑中的额外延迟来支持内部 LMFC 的这种移位。这是使用 SYSREF 寄存器中的 SYSREF 延迟字段进行编程的，它允许在 SYSREF 事件检测和 LMFC 计数器复位之间插入 0 到 15 个内核时钟周期的延迟。SYSREF 延迟值的变化需要核复位以强制链路重新对齐

4.6 最小确定性延迟支持

在子类 1 器件中首次建立 JESD204B 链路时，接收器输出数据。在所有通道中检测到有效数据后，在 LMFC 路口输出数据。可以通过调整 `buffer_delay` 寄存器上输入的 8 位字节数来支持最小延迟。`buffer_adjust` 寄存器上输出最大允许减少延迟的指示。这提供了每个通道中接收器弹性缓冲区的写入和读取指针之间差异的指示。每个 10 位值中输出的 8 位字节数指示每个通道中的缓冲区填充级别。给定的最小数字可用于计算一个值，该值可被编程到 `buffer_delay` 寄存器，以将整体延迟减少该 8 位字节数。编程到缓冲延迟寄存器中的最大值必须考虑实现可重复延迟中描述的 8 位字节余量，因此不应大于最低的 `buffer_adjust` 值减去 8。JESD204B 接收内核的复位和完整的链路重新同步周期必须在修改后的延迟设置生效之前发生。下图显示了一个最小延迟示例。

图 4-2 最小确定性延迟的实现示意图



4.7 链路测试模式

4.7.1 连续的 K28.5 字符

这种模式发送端会连续地发送 K28.5 字符，为了使能这种模式，需要将寄存器 0x18 设置为 0x1。

接收端会连续地接收 K28.5，且各个通道的 Test Mode Error Count 寄存器会记录所有非 K28.5 字符的个数，为了使能这种模式，需要将接收核的寄存器 0x18 设置为 0x1。

4.7.2 连续 ILA 序列

这种模式发送端会在接收到 SYNC 断言后，不停的发送 ILA 序列，为了使能这种模式，需要将发送核的寄存器 0x18 设置为 0x2。

接收端会在进入 ILA 序列接收的阶段后，不停的统计 ILA 的个数，且各个通道的 Test Mode Error Count 寄存器会记录所接收到的 ILA 序列的个数，为了使能这种模式，需要将接收核的寄存器 0x18 设置为 0x2。

同时各个通道的 Test Mode ILA Count 寄存器会记录 ILA 序列的个数，而且各个通道的 Test Mode Multiframe Count 会记录多帧的个数。

4.7.3 连续的 D21.5 字符

这种模式连续的发送 D21.5 字符，为了使能这种模式，需要将发送核的寄存器 0x18 设置为 0x3

4.7.4 RPAT 序列

这种模式发送持续的随机序列。此模式由 RPAT 模块生成，必须在 Gowin IDE 中选择，会占用额外的资源。要传输此模式，将发送核的寄存器 0x18 设置为 0x4。

4.7.5 JSPAT 序列

这种模式发送持续的随机序列。此模式由 RPAT 模块生成，必须在 Gowin IDE 中选择，会占用额外的资源。要传输此模式，将发送核的寄存器 0x18 设置为 0x5。

4.8 实时配置

JESD204B 内核的运行时操作通过 APB 寄存器接口进行配置。有关寄存器映射的详细信息，参考 [3.4 寄存器描述](#)。

为了正确操作和启动 JESD204B 链路，链路两端的主要成帧和链路操作参数必须匹配：

- 每帧字节数
- 每个多帧的帧数
- 加扰开/关
- 子类模式
- SYSREF 处理（对于子类 1 模式）

这些参数由内核所连接的 ADC/DAC 转换器设备中可用的配置决定。

对于 TX 核，除了这些参数外，链路启动时在 ILA 序列中传输的配置数据的一些附加内容也通过寄存器接口进行编程。ILA 配置数据中传输的数据值通常对链路的操作并不重要，但这取决于接收设备的行为。

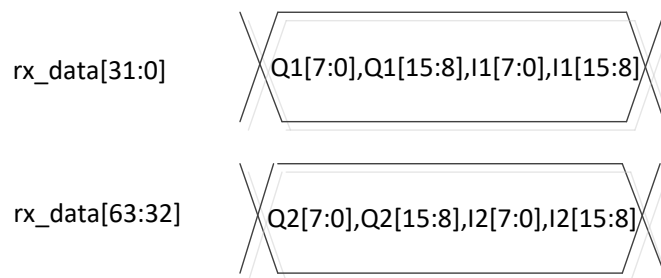
对于 RX 内核，在 ILA 序列中接收到的配置数据被捕获，对于每个通道，可以使用寄存器接口进行检查。

配置寄存器完成后，为了让内核能够正常工作，需要进行一次核复位操作。

4.9 数据接口

DATA Stream 数据传输和接收接口用于将 JESD204B 格式的数据传入和传出内核。内核的数据输入和输出包含每通道每个时钟周期 4 个字节，每个 32 位块中的最低有效字节位置保存从 ADC 接收或传输到 DAC 的第一个字节。图 4-3 显示了 JESD204B 数据如何映射到 DATA Stream 接口的示例。

图 4-3 Data Stream 接口数据格式



例如 ADI AD9371 ADC 4 个转换器，2 条通道模式

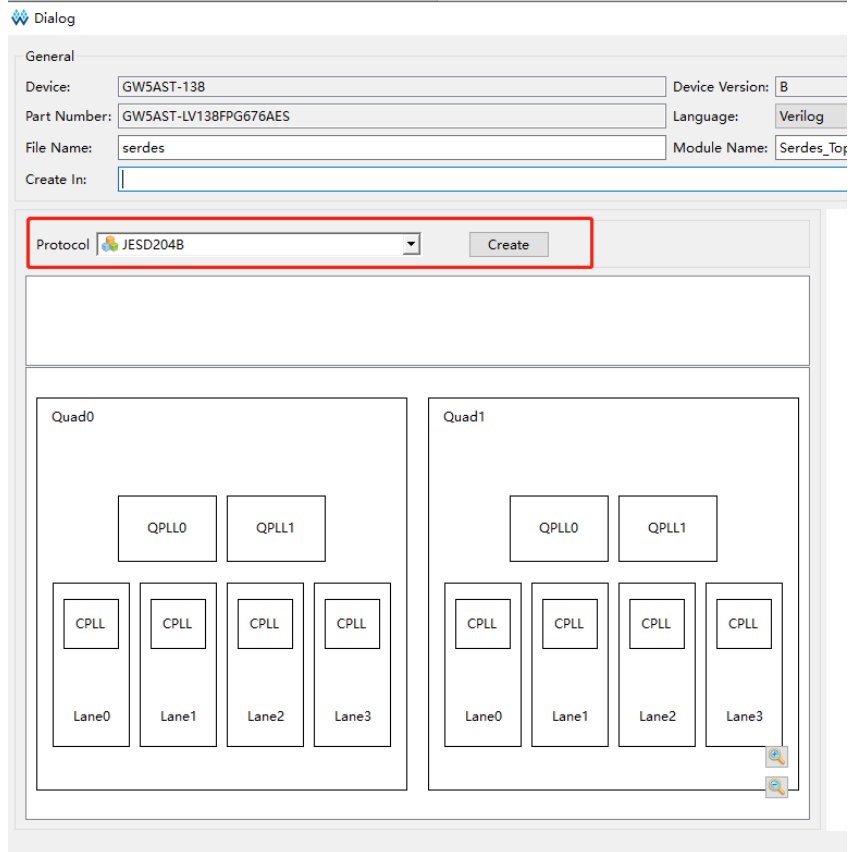
122.88MHz 采样率，2 条通道速率为 4.9152GHz，对于转换器 16bit 数据位宽，核时钟为 122.88MHz。

- `Adc0_sample = {rx_data[07:00],rx_data[15:08]}`;
- `Adc1_sample = {rx_data[23:16],rx_data[31:24]}`;
- `Adc2_sample = {rx_data[39:32],rx_data[47:40]}`;
- `Adc3_sample = {rx_data[55:48],rx_data[63:56]}`;

5 界面配置

在 IP 库中找到 SerDes IP，点击 SerDes IP 出现图 5-1。在协议处选择“JESD204B”，然后点击“Create”按钮，将会弹出 JESD204B IP 的配置界面。

图 5-1 打开 SerDes IP



Gowin JESD204B IP 配置界面如图 5-2 所示。

图 5-2 JESD204B Core Configuration 选项卡

The screenshot shows the 'JESD204B Core Configuration' tab with the following settings:

- Core Mode:** Radio buttons for 'Receive', 'Transmit', and 'Both Receive and Transmit' (selected).
- Number of Lanes:** A dropdown menu set to '2'.
- LMFC Buffer (Receiver parameter):** A dropdown menu set to '1024'.
- Pattern Generator (Transmitter parameter):** Two checkboxes, 'Include RPAT Generator' and 'Include JSPAT Generator', both are unchecked.
- Link Parameters:**
 - Default SYSREF Always: 'Always Off' (dropdown)
 - Default Scrambling ON/OFF: 'Scrambling OFF' (dropdown)
 - Default F(Octets per Frame): '4' (text input, range 1~256)
 - Default K(Octets per MultiFrame): '32' (text input, range 1~32)
 - Default SYSREF Required on Re-Sync: 'Not Required' (dropdown)
 - Fixed Config Enable: unchecked checkbox
- Clock Options:**
 - Config Clock Frequency(MHz): '10.0' (text input, range 1~100)

- **Core Mode:** 可选“Receive”，“Transmit”，“Both Receive And Transmit”。
- **Number of Lanes:** 表示内核中包含几个通道，可写范围 1-8。
- **LMFC Buffer:** (单位为字节)用于通道对齐和确定性延迟支持的缓冲区，LMFC 缓冲区大小选项允许在适当的情况下使用最少的资源。LMFC 缓冲区大小应大于已实现设计中使用的最大多帧大小（多帧大小为 $F \cdot K$ ，其中 F = 每个帧的字节数； K = 每个多帧的帧数）
- **Pattern Generator:** 如果必要，选择“Include RPAT Generator”或者“Include JSPAT Generator”来生成这些测试模式所需的逻辑，这些会需要额外的资源。
- **Default Link Parameters:** 下面所有参数的设置是设置相应寄存器的默认

值，请参考寄存器的定义。如果在运行过程中通过配置总线写相关寄存器，则默认值将会被覆盖。

- **Default SYSREF Always:** 设置寄存器 0x14 中 SYSREF Always 字段的初值。
- **Default Scrambling ON/OFF:** 设置寄存器 0x10 中 Scrambling 字段的初值。
- **Default F:** 设置寄存器 0x1C 中 F 字段的初值。
- **Default K:** 设置寄存器 0x1C 中 K 字段的初值。
- **Default SYSREF Required on Re-Sync:** 设置寄存器 0x14 中 SYSREF Required on Re-Sync 字段的初值。
- **Fixed Config Enable:** 使能后 IP 核将无法动态的修改 F 和 Scrambling 参数，但能减少可观的逻辑资源，同时时序性能也能够提升。
- **Config Clock Frequency:** 设置配置总线的时钟频率，频率范围可以为 1MHz~100MHz 之间

图 5-3 PHY Configuration 选项卡

The screenshot displays the 'PHY Configuration' tab within the 'JESD204B Core Configuration' tool. It is divided into two main sections: 'Base Parameters' and 'Lane Connect'.

Base Parameters:

- PCS WIDTH:** Radio buttons for 32bit (selected) and 64bit.
- Line Rate(Gbps):** Text input field containing '4.9152'.
- Reference Clock Source:** Dropdown menu showing 'Q1 REFCLK0'.
- Reference Clock Frequency(MHz):** Text input field containing '122.88'.
- PLL Selection:** Dropdown menu showing 'QP11'.
- Loopback Mode:** Dropdown menu showing 'LB_NES'.
- A 'Calculate' button is located to the right of the PLL Selection dropdown.

Lane Connect:

- JESD204B Lane0 connect with: Q1 Lane0
- JESD204B Lane1 connect with: Q1 Lane1
- JESD204B Lane2 connect with: Q0 Lane2
- JESD204B Lane3 connect with: Q0 Lane3
- JESD204B Lane4 connect with: Q1 Lane0
- JESD204B Lane5 connect with: Q1 Lane1
- JESD204B Lane6 connect with: Q1 Lane2
- JESD204B Lane7 connect with: Q1 Lane3

- **PCS WIDTH:** 设置 PCS 位宽，该设置会影响核时钟频率和数据输入输

出位宽，某些场景使用 32 bits 位宽难以满足时序，则需要使用 64 bits 位宽。

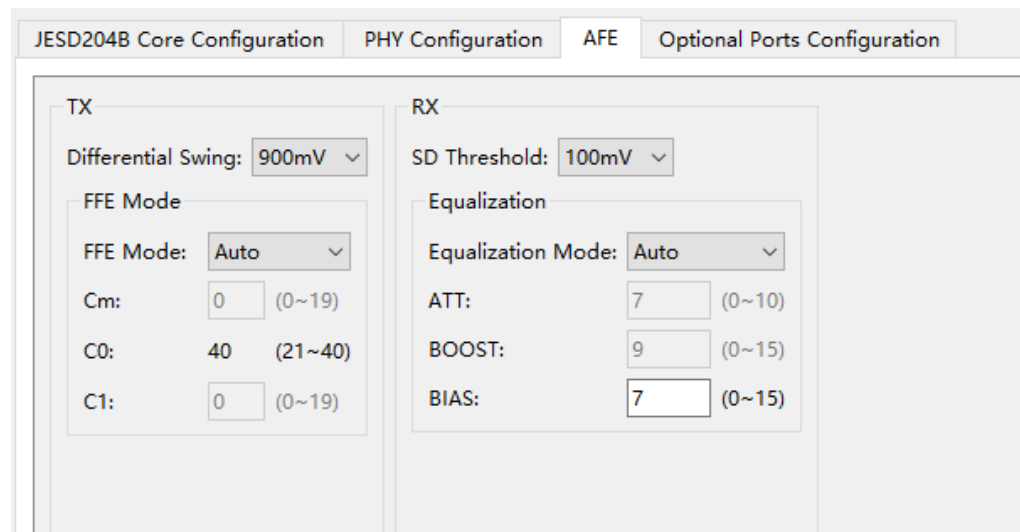
- **Line Rate:** 通道线速率
- **Reference_Clock_Source:** 参考时钟源, 可以选择时钟源 0 和时钟源 1, 这个与硬件管脚连接相关
- **Reference_Clock_Frequency:** 参考时钟。

注!

线速率和参考时钟之间有限制关系，务必要确定该参考时钟能够生成上述线速率。

- **PLL Selection:** PLL 源，可选 QPLL0、QPLL1、CPLL 等。
- **Loopback_Mode:** 环回模式，可选择 OFF、LB_NES、LB_FES、LB_ENC 等。
- **Calculate:** 这个按钮将会去检查线速率和参考时钟之间的对应关系是否合理。
 - **JESD204B LaneX connect with:** 这 8 个下拉框用于设置 JESD204B 通道与 SerDes 通道的对应关系。

图 5-4 AFE 选项卡



- **Differential Swing:** 发送差分摆幅，范围为 180mV~900mV
- **FFE mode:** FFE 工作模式，选择 Auto 则 Serdes 根据硬件环境自动调整 FFE 系数，此时 Cm, C0 和 C1 配置无效。当选择 Manual 时，用户可手动调整 Cm 和 C1 系数，C0 根据 Cm 和 C1 系数自动计算，无需设置。
- **SD Threshold:** 接收信号有效电压门限，当接收差分信号大于门限，Serdes 判断接收到有效数据；当接收差分信号小于门限，Serdes 判断未接收到有效数据，进入 Electrical Idle 状态。
- **Equaliaztion Mode:** 接收均衡模式，选择 Auto 时，均衡器为自动模式，此模式下，在 Serdes 接收建立连接时，均衡器会根据当前接收数据质量

自动调整均衡器到最佳状态。此时 **ATT** 选项和 **BOOST** 选项不可配置。当选择 **Manual** 时，均衡器为手动模式，此模式下，用户需要手动配置 **ATT** 选项和 **BOOST** 选项，使均衡器达到最佳状态。

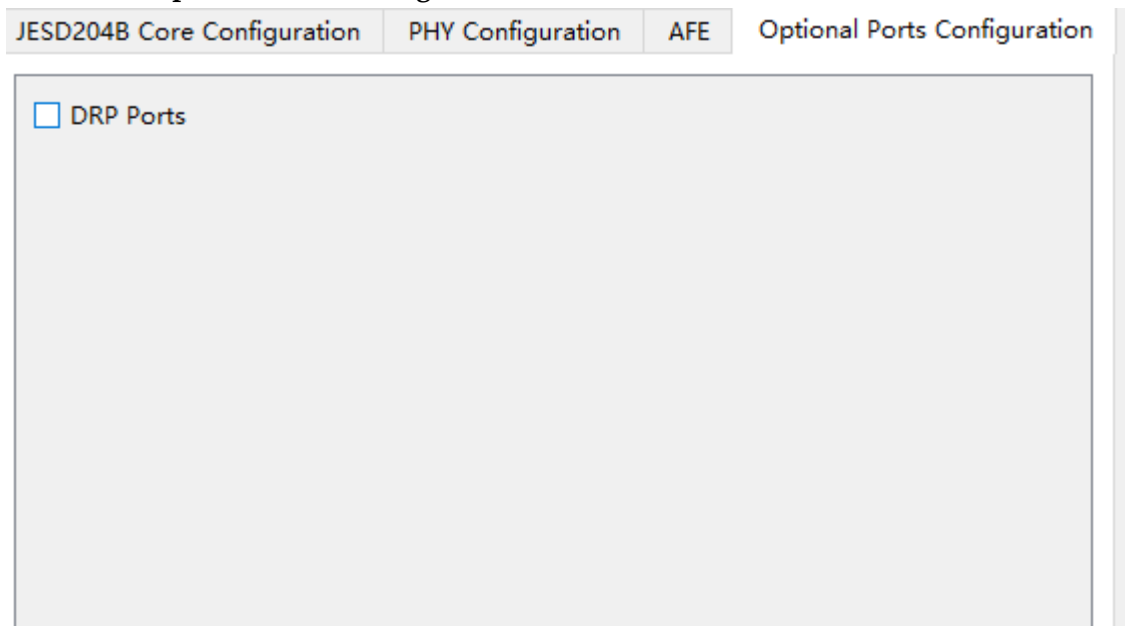
- **ATT**：衰减器，用于调整接收中频衰减。数值越小表示衰减越大，范围 0~10。
- **BOOST**：为 analog boost，用于调整接收高频放大。数值越大表示增益越大，范围 0~15。

注！

若用户配置均衡器为 **Manual**，需要不断尝试 **ATT** 和 **BOOST** 选项组合，使得 **SerDes** 达到最优状态。因此推荐用户优先使用 **Auto** 模式。若 **Auto** 模式无法自适应到最优状态，可尝试 **Manual** 模式。

- **BIAS**：可配置 **SerDes** 对接收信号的放大参数。当接收信号速率高且衰减较大时，用户可改变此选项配置。此选项配置越高，对信号的放大作用越强。此选项是基于 **QUAD** 的配置。当改变一条 **lane** 的配置时，会同时改变当前 **lane** 所在 **Quad** 所有 **lane** 的配置。

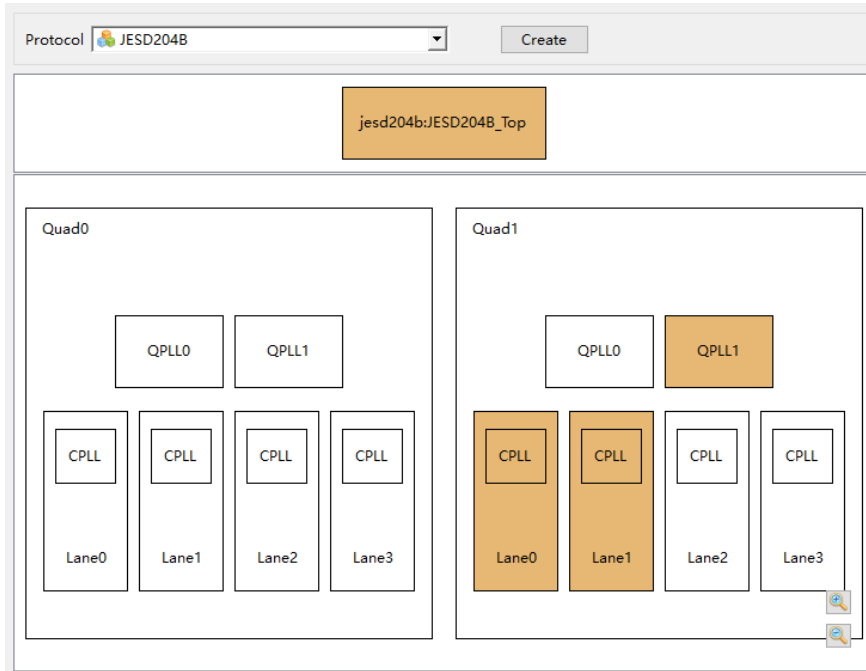
图 5-5 Optional Ports Configuration 选项卡



DRP Ports：提供通过 **DRP** 接口来对 **SerDes** 进行动态配置的能力，例如动态配置环回等功能。

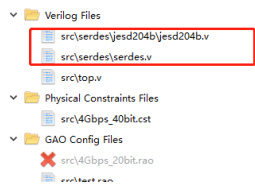
参数配置完成之后，点击“确定”，在 **SerDes** 的界面上显示了配置的协议和通道的位置，以及 **PLL** 的使用情况。

图 5-6 jesd204b: JESD204B_Top



然后再次点击“确定”，将自动生成 jesd204b ip 文件和包含 SerDes 原语的文本文件如 serdes.v，并会自动添加到工程中。用户只需要调用即可。

图 5-7 生成文件



```

6 //Device: GWSAST-138B
7 //Device Version: B
8 //Created Time: Tue May 16 10:28:47 2023
9
10 //Change the instance name and port connections to the signal names
11 //-----Copy here to design-----
12
13 Serdes_Top your_instance_name(
14     .JESD204B_Top_tx_cfg_rdata_o(JESD204B_Top_tx_cfg_rdata_o_o), //output
15     .JESD204B_Top_tx_cfg_rdy_o(JESD204B_Top_tx_cfg_rdy_o_o), //output JES
16     .JESD204B_Top_tx_data_ready_o(JESD204B_Top_tx_data_ready_o_o), //outp
17     .JESD204B_Top_tx_data_sof_o(JESD204B_Top_tx_data_sof_o_o), //output [
18     .JESD204B_Top_tx_data_eof_o(JESD204B_Top_tx_data_eof_o_o), //output [
19     .JESD204B_Top_tx_data_somf_o(JESD204B_Top_tx_data_somf_o_o), //output

```

6 参考设计

详细信息请参见高云半导体官网 [JESD204B IP 相关参考设计](#)。

6.1 应用

JESD204B 主要用于逻辑器件与 ADC 或者 DAC 进行连接，下图描述了 JESD204B 接口是如何将 FPGA 与 ADC 或者 DAC 通过 4 个通道进行连接的。

图 6-1 FPGA 与 ADC 的连接

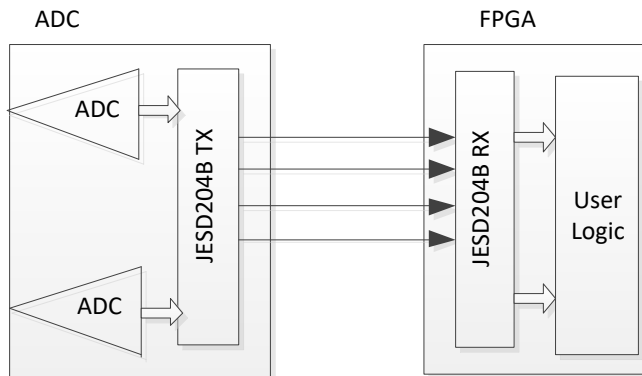
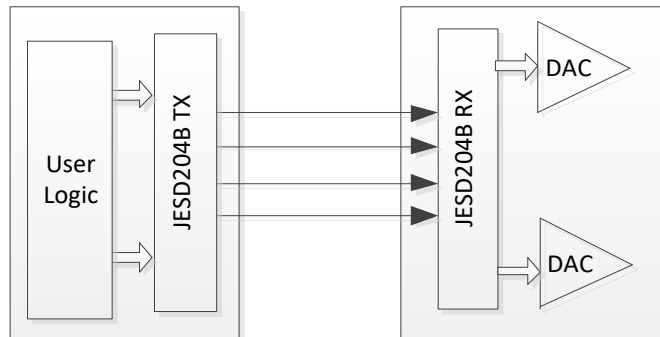


图 6-2 FPGA 与 DAC 的连接

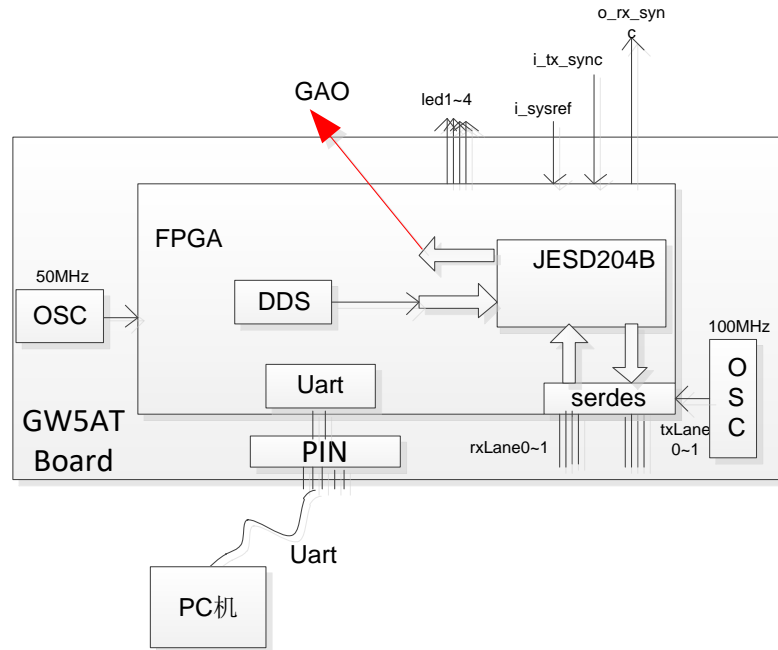


6.2 参考设计

本节主要介绍 Gowin JESD204B IP 的参考设计实例的搭建及其使用方法。

6.2.1 硬件平台

图 6-3 平台框图

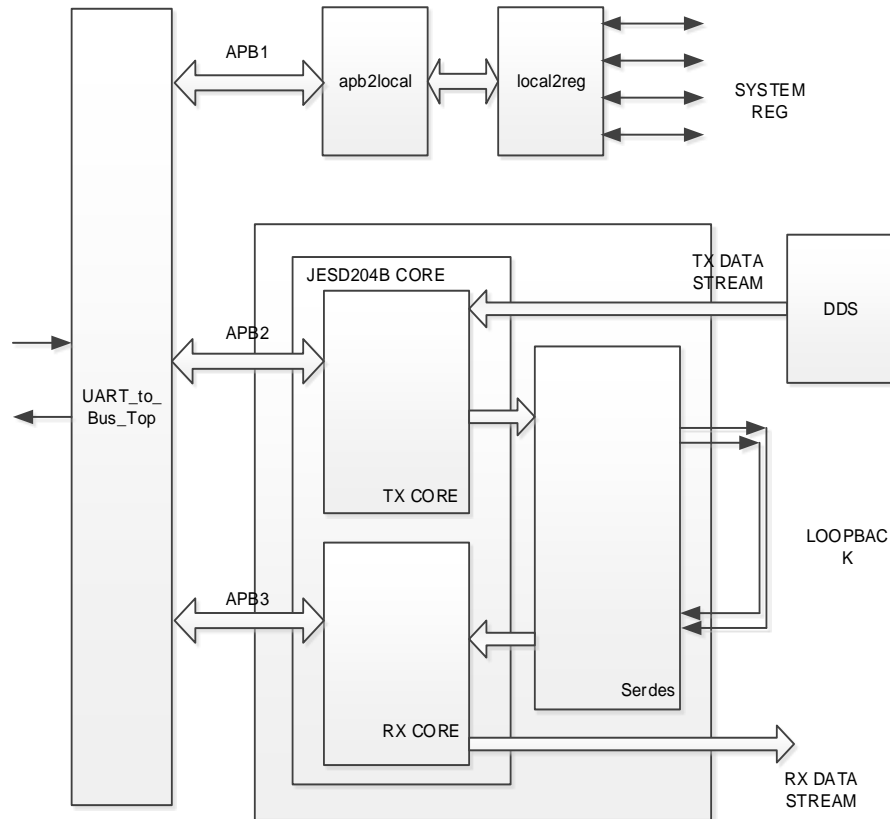


在 GW5AT 板卡上实现了一个这样的参考实例，其硬件条件如下

1. 有一个板载 50MHz 的晶振，经过 PLL IP 后输出 10MHz 用于产生配置时钟，用于总线配置时钟、SerDes AHB 时钟、JESD204B 内核配置时钟。
2. SerDes 参考时钟由板载晶振产生，时钟为 100MHz。
3. 通过排针与 PC 机的串口相连，通过串口助手或者上位机来控制 FPGA 中的内部寄存器。
4. 引出了 4 个 LED 灯来表示链路建立状态。
 - LED D1 – TX 核接收到的 SYNC 指示
 - LED D2 – TX 核数据发送准备好指示
 - LED D3 – RX 核发送的 SYNC 指示
 - LED D4 – TX 核数据接收有效指示
5. 支持外部输入 sysref、tx_sync 和输出 rx_sync。也可以通过寄存器来配置不用上述 3 个端口进行内部环回测试。

6.2.2 实现框图

图 6-4 参考设计实现框图



通过 UART_to_Bus IP 模块对自定义的总线协议做必要的解析转化成 APB 接口，分别挂载 APB1 管理全局参数，挂载 APB2 管理 JESD204B TX CORE，挂载 APB3 管理 JESD204B RX CORE。

将 SerDes 的 2 条通道设置为环回模式，TX CORE 接收来自于 DDS 的点频信号，通过 TX 的 SerDes 接口环回到 RX 的 SerDes 接口，最终 RX CORE 接收到 DDS 点频信号。

主要模块如下：

- UART_to_Bus IP 模块：串口转总线模块，将串口助手或上位机发送过来的串口指令转化为总线控制时序
- DDS 模块：用于生成点频信号
- Apb2local 模块和 local2reg 模块：用于产生本地系统配置寄存器
- JESD204B 模块：该模块的配置如图 5-2 和图 5-3 所示。

6.2.3 总线协议与地址规划

Gowin UART to Bus IP 核心是一个简单的命令解析器，可用于通过 UART 接口访问内部总线。读写总线协议规定如下：

写总线 “W AAAA BBBBBBBB”

读总线 “R AAAA”

读总线将会返回如下指令 “G AAAA BBBBBBBB”

W 表示写的意思，R 表示读的意思，G 表示读结果返回的意思。中间由空格分开，结尾需输入回车换行。其中 AAAA 表示地址，16 位；BBBBBBBB 表示数据，32 位。详情可以参考 [IPUG1022, Gowin Uart to Bus IP 用户手册](#)。

本参考设计中，UART to Bus IP 参数设置如下：

图 6-5 UART to Bus IP 参数设置 1

The screenshot shows the configuration window for the UART to Bus IP. It is divided into three sections: Bus Config, Uart Config, and Generation Config. In the Bus Config section, 'Bus Mode' is set to 'APB', 'Address Width' is 16 bits, 'Data Width' is 32 bits, and 'Timeout Value' is 16 clocks. In the Uart Config section, 'Clock Frequency' is 10.000 MHz and 'Baudrate Value' is 115200. In the Generation Config section, the 'Disable I/O Insertion' checkbox is checked.

图 6-6 UART to Bus IP 参数设置 2

Slave	Base Address	High Address
<input checked="" type="checkbox"/> slave0	0x0000	0x00FF
<input checked="" type="checkbox"/> slave1	0x0100	0x01FF
<input checked="" type="checkbox"/> slave2	0x0200	0x02FF

- Slave0: APB1 的地址范围为 0x0000~0x00FF
- Slave1: APB2 的地址范围为 0x0100~0x01FF
- Slave2: APB3 的地址范围为 0x0200~0x02FF

参考工程中详细的寄存器地址定义如下：

表 6-1 寄存器地址定义

偏移地址(32bit)	默认值	W/R	描述
APB1			
0x00	0	WR	用于验证串口转总线模块是否正常工作。 该寄存器输入X, 则0x80寄存器会返回X+1
0x10	0	WR	SerDes PMA复位 0: 复位 1: 工作
0x11	0	WR	SerDes TX PCS复位 0: 工作 1: 复位
0x12	0	WR	SerDes RX PCS复位 0: 工作 1: 复位
0x13	0	WR	JESD204B TX内核复位 0: 复位 1: 工作
0x14	0	WR	JESD204B RX内核复位 0: 复位 1: 工作
0x15	0	WR	测试模式: 0: 与外部器件进行通信 1: 环回测试时, 使用内部sysref, 并且rx_sync与tx_sync相连
0x16	0	WR	测试数据 0: 发送0 1: 发送DDS
0x8A	32'h20230406	R	开发日期
0x8B	-	R	开发版本
0x90	-	R	[0]: TX CORE sync指示 [1]: TX CORE data_ready指示
0x91	-	R	[0]: RX CORE sync指示 [1]: RX CORE data_valid指示
0x92	-	R	[0]: Quad0 qpll0锁定指示 [1]: Quad0 qpll1锁定指示 [2]: Quad1 qpll0锁定指示 [3]: Quad1 qpll1锁定指示 [5:4]: 各个通道cpll锁定指示
0x93	-	R	[1:0]: 各个接收通道字节对齐指示 [9:8]: 各个接收通道K码锁定指示
0x94	-	R	[1:0]: 各个接收通道PMA CDR锁定指示

偏移地址(32bit)	默认值	W/R	描述
APB2----与TX core总线配置接口连接			
注! 自定义串口协议是4个字节一个地址, 而IP核内总线是1个字节一个地址, 注意对应关系。			
APB3----与RX core总线配置接口连接			
注! 自定义串口协议是4个字节一个地址, 而IP核内总线是1个字节一个地址, 注意对应关系。			

6.3 板级测试

6.3.1 操作说明

该示例工程是在 DK_START_GW5AT-LV138FPG676A_V2.0 开发板上面实测通过的。如果您手上没有此块开发板, 但您又想运行参考设计工程, 您只要对串口管脚、时钟输入管脚根据你的板卡的实际情况进行修改即可用于测试。

修改完成之后, 生成 bit 文件, 下载到 FPGA 中即可开始测试

6.3.2 操作步骤

有两种方法进行参考设计的测试。

使用串口指令操作

使用串口指令不仅可以进行复位控制, 也可以设置和监控 IP 核内部寄存器, 串口的波特率设置为 115200。

1. Bit 文件下载到 FPGA 之后, 您首先需要检查串口指令是否起作用。

输入 R 008A

返回 G 008A 20230406

则表示 PC 与 FPGA 之间的通信是没有问题的, 否则, 首先得排查不能通信的原因, 才能进行下一步。

2. 设置 TX 核和 RX 核的参数

一般情况下主要参数是在 GUI 中就可以设置好, 如果有需要也可以通过指令设置。这个示例工程可以不用设置。

例如, F 和 K 参数默认为 F=4, K=32 需要设置 F=2, K=16。

F 和 K 参数对应寄存区是 0x01C (F_and_K)。对应串口协议地址是 TX 核 0x0107, RX 核 0x207。可以先查询一下这两个寄存器:

R 0107

R 0207

F 和 K 参数默认状态, 发送指令

W 0107 00000F01

W 0207 00000F01

再次回读这两个寄存器，看是否设置正确。

3. 检查 QPLL 是否锁定
输入 R 0092
返回 G 0092 00000008
说明 Quad1 QPLL1 已经锁定
4. 设置环回模式
发送指令 W 0015 00000001
5. 释放 SerDes PMA 复位
发送指令 W 0010 00000001
6. 释放 TX 核复位
发送指令 W 0013 00000001
7. 释放 RX 核复位
发送指令 W 0014 00000001
8. 发送 DDS
发送指令 W 0016 00000001
9. 查询建链状态
发送指令 R 0090, R 0091
如果反馈指令
G 0090 00000003
G 0091 00000003

返回值都为 3，说明 TX 和 RX 都已经建链成功。指令输入过程如下图所示：

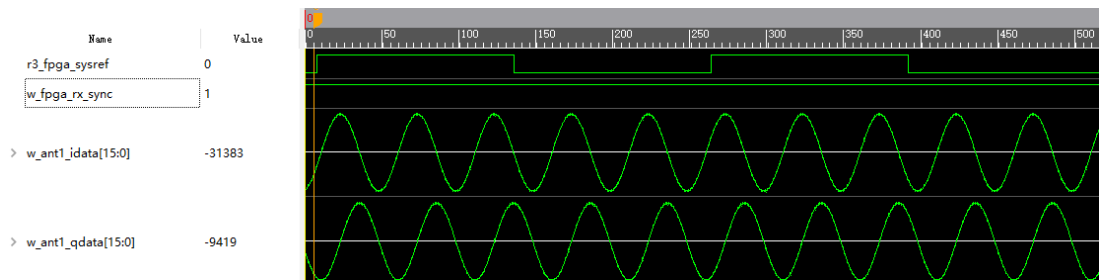
图 6-7 指令输入过程

```

COM24 - Tera Term VT
File Edit Setup Control Window Help
R 8A
G 008A 20230406
R 92
G 0092 00000008
W 0015 00000001
W 0010 00000001
W 0013 00000001
W 0014 00000001
W 0016 00000001
R 0090
G 0090 00000003
R 0091
G 0091 00000003
  
```

此时四个指示灯都亮也表示 TX 和 RX 都已经建链成功。通过 GAO 可以抓取到接收的 DDS 数据。

图 6-8 抓取 DDS 数据



简单开关操作

如果不具备通过串口进行操作的条件，也可以进行按键操作。拨动 DK_START_GW5AT-LV138FPG676A_V2.0 开发板 SW1(L25)，内部代码将自动进行环回模式、释放 SerDes PMA 复位、释放 TX 核复位、释放 RX 核复位、发送 DDS 等操作。开关操作后，如果四个指示灯都亮表示 TX 和 RX 都已经建链成功，通过 GAO 可以抓取到接收的 DDS 数据。

7 文件交付

Gowin JESD204B IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

7.1 文档

文件夹主要包含用户指南 PDF 文档。

表 7-1 文档列表

名称	描述
IPUG1019, Gowin JESD204B IP 用户指南	高云 JESD204B IP 用户手册，即本手册

7.2 设计源代码（加密）

加密代码文件夹包含 Gowin JESD204B IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源®软件产生用户所需的 IP 核。

表 7-2 Gowin JESD204B IP 设计源代码列表

名称	描述
jesd204b_core.v	IP 核顶层文件，给用户接口信息，加密。

7.3 参考设计

Gowin JESD204B IP RefDesign 文件夹主要包含 Gowin JESD204B IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 7-3 Gowin JESD204B IP RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module
top.cst	工程物理约束文件
top.sdc	工程时序约束文件
jesd204b.v	生成 JESD204B IP 顶层文件，加密
Serdes.v	SerDes 原语以及 jesd204b 的例化
Uart_to_Bus_Top.v	串口转总线 IP
Cos_sin_table.v	点频生成模块

名称	描述
sysreg.v	SysReg 生成模块
Gowin_pll.v	PLL IP 文件

