




Gowin PCI Express Controller IP

用户指南

IPUG1020-1.2, 2024-07-05

版权所有 © 2024 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/05/25	1.0	初始版本。
2024/03/29	1.1	增加 PCIe Gen3 支持。
2024/07/05	1.2	更新第 4 章 PCI Express Controller 配置及调用描述。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 特性	3
2.2 功能描述	4
3 PCI Express Controller 模块	5
3.1 物理层接口	5
3.2 时钟和复位	5
3.3 传输层接口	5
3.3.1 TLP 接收接口	5
3.3.2 接收接口时序	6
3.3.3 TLP 发送接口	8
3.3.4 发送接口时序	8
3.4 中断接口	9
3.4.1 中断接口时序	10
3.5 控制器状态接口	10
4 PCI Express Controller 配置及调用	12
4.1 SerDes 类 IP 配置界面	12
4.2 PCI Express Controller 配置界面	13

4.3 PCI Express Controller 配置选项.....	14
4.4 PCI Express Controller IP 生成与例化.....	17
附录 A PCIe 配置寄存器信息	19

图目录

图 2-1 PCIe 控制器功能框图	4
图 3-1 TLP 接收时序.....	7
图 3-2 Non-posted TLP 接收时序。	7
图 3-3 pcie_tl_tx_wait_i 与发送控制时序 1	8
图 3-4 pcie_tl_tx_wait_i 与发送控制时序 2.....	8
图 3-5 pcie_tl_tx_wait_i 与发送控制时序 3.....	8
图 3-6 TLP 发送控制时序示例	9
图 3-7 单个中断控制时序.....	10
图 3-8 多个中断控制时序.....	10
图 4-1 IP Core Generator 选择界面.....	12
图 4-2 SerDes IP 配置界面 1.....	13
图 4-3 PCI Express Controller IP 配置界面	14
图 4-4 PCI Express Controller 基本配置页面	15
图 4-5 PCI Express Controller BAR 配置页面	16
图 4-6 PCI Express Controller Core 配置页面	16
图 4-7 SerDes IP 配置界面 2.....	17
图 4-8 SerDes – PCI Express Controller IP 例化	18

表目录

表 1-1 术语、缩略语	1
表 3-1 Gowin PCI Express Controller IP 时钟和复位	5
表 3-2 Gowin PCI Express Controller IP 接收端口	5
表 3-3 接收数据对应的功能通道	6
表 3-4 Gowin PCI Express Controller IP 控制器发送端口	8
表 3-5 Gowin PCIe Controller IP 控制器中断接口	9
表 3-6 Gowin PCIe Controller IP 控制器状态端口	10
表 A-1 PCIe Capability	19

1 关于本手册

1.1 手册内容

Gowin PCI Express Controller IP 用户指南主要内容包括功能特点、结构、端口描述、配置调用等，旨在帮助用户快速了解 Gowin PCI Express Controller IP 的特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS1228, Arora V FPGA 产品概述](#)
- [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BAR	Base Address Register	基地址寄存器
LTSSM	Link Training and Status State Machine	链路训练状态机
MAC	Media Access Control	介质访问控制
MSI	Message Signaled Interrupt	消息中断
PCIe	Peripheral Component Interconnect Express	一种高速串行计算机扩展总线标准
TLP	Transaction Layer Packet	传输层数据包

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Arora V FPGA 产品包括 PCIe 集成接口模块，该控制器兼容 PCI Express Base Specification, V3.0 所定义的 PCIe Gen3 (8GT/s) 规格，可支持 x1、x2、x4、x8 通道。

通过 PCIe 协议可实现 FPGAs 之间的自定义通信，并将 ASSP 端点设备连接 FPGA，如以太网控制器或光纤通道主机总线适配器 (Host Bus Adapter, HBA)。Arora V FPGA 产品的 PCIe 控制器模块可提供高性能、低成本的解决方案。

2.1 特性

Gowin PCI Express Controller IP 主要特性如下：

- 符合 PCIe 3.0 基本规范
- 支持 x1, x2, x4, x8 通道
- 支持 End Point 模式
- 支持 Gen1 (2.5GT/s)、Gen2 (5GT/s)、Gen3 (8GT/s)
- 支持最多六个 BAR (Base Address Register)，可调节 BAR 容量
- 支持最高 4KB 传输载荷
- 支持自动链接速度/宽度改变
- 支持高级配置选项、高级错误报告 (Advanced Error Reporting, AER) 和点到点循环冗余校验 (End-to-End Cyclic Redundancy Check, ECRC)
- 支持可配置参数：通道宽度、最大有效载荷大小、FPGA 逻辑接口速度、参考时钟频率以及基址寄存器的解码和过滤等

2.2 功能描述

高云器件所集成的 PCIe 控制器的基本功能如图 2-1 所示。

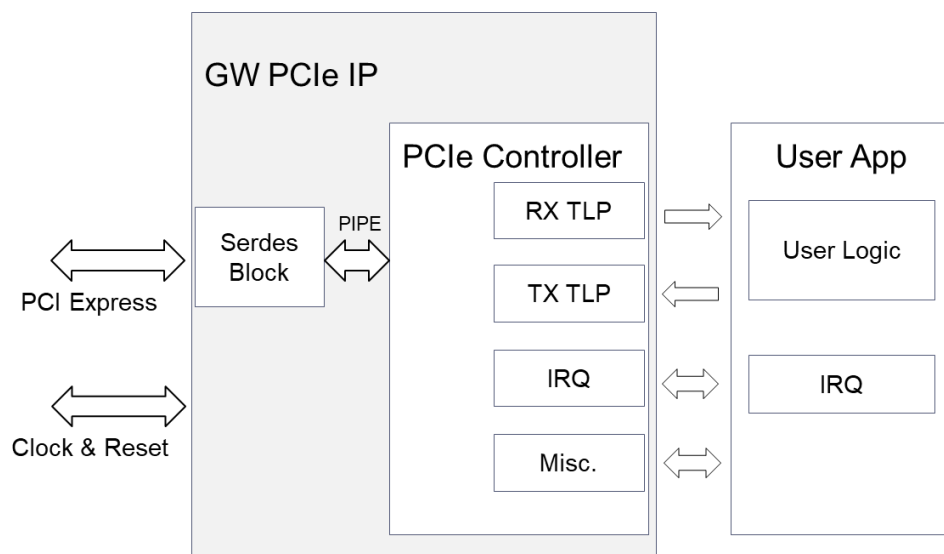
控制器以高云的 12G Serdes 模块作为物理层与外部的 PCIe 主机或者设备进行数据互联。

PCIe 控制器提供了协议传输层、数据链路层和 MAC 的完整功能。

在用户逻辑侧，PCIe 控制器提供了 TLP 的接收和发送接口，用以数据和常用的命令传输。

控制器支持 MSI 等中断模式。

图 2-1 PCIe 控制器功能框图



3 PCI Express Controller 模块

本章将介绍 PCIe 控制器模块的端口。根据实际应用，本章将控制器端口按功能分成物理接口、传输接口、中断接口、配置接口等，以使用户在实际应用中进行例化。

3.1 物理层接口

根据应用中 PCIe 控制器使用的 Lane 数，x1、x2、x4 需根据 [Pinout 手册](#) 选择指定的 IO 管脚和固定的线序设计。PCIE 固定使用 Q0 Lane0 或 Q1 Lane0 为 X1 管脚。Q0 (或 Q1) Ref0 为参考时钟输入，参考时钟频率为 100MHz。

3.2 时钟和复位

表 3-1 Gowin PCI Express Controller IP 时钟和复位

端口	I/O	描述
pcie_tl_clk_i	input	PCIe TLP 用户时钟
pcie_tl_rst_i	input	PCIe TLP 用户复位信号

3.3 传输层接口

3.3.1 TLP 接收接口

表 3-2 Gowin PCI Express Controller IP 接收端口

端口	I/O	描述
pcie_tl_rx_sop_o	output	接收TLP起始数据包，标志TLP的第一包数据。
pcie_tl_rx_eop_o	output	接收TLP结束数据包，标志TLP的最后一包数据。
pcie_tl_rx_data_o [255:0]	output	接收TLP数据，默认256位宽。
pcie_tl_rx_valid_o	output	接收TLP数据有效标志，每bit标志对应Dwords是

端口	I/O	描述
[7:0]		否有效。Bit 7 对应pcie_tl_rx_data[255:224], Bit0对应pcie_tl_rx_data[31:0]。
pcie_tl_rx_bardec_o [5:0]	output	接收TLP的目标BAR解码信号，标志接收到的数据所对应的功能通道信息，如表3-3所示。
pcie_tl_rx_err_o[7:0]	output	接收数据错误信号。 Bit 0: ECRC Error。 Bit 1: Invalid TLP，包括： RX缓存中标识位错误的TLP包 TLP payload size 与实际接收到的数据不符 Bit 2: RX缓存读错误 Bit 3: RX Config数据包 Bit 4: 不支持的TLP格式 Bit 5: ACS Violation Bits 7:6: reserved
pcie_tl_rx_wait_i	input	接收等待信号，标志RX缓存没有准备好接收数据。
pcie_tl_rx_masknp_i	input	Non-posted TLP包屏蔽信号。如果信号置高，在当前TLP传输结束后，使能控制器停止接收后续的非-posted TLP。

表 3-3 接收数据对应的功能通道

Bit	BAR
0	BAR0
1	BAR1*
2	BAR2
3	BAR3*
4	BAR4
5	BAR5*

注!

*, BAR0 设为 64bit 时，Bit1 无效；BAR2 设为 64bit 时，Bit3 无效；BAR4 设为 64bit 时，Bit5 无效。

3.3.2 接收接口时序

TLP 接收时序参考图 3-1。图中所示是一个 Header 长度 4DWORD，payload 长度 15DWORD，目标 BAR0 的 TLP 数据接收时序。接收过程中出现了 pcie_tl_rx_wait 信号被置 1。

图 3-1 TLP 接收时序

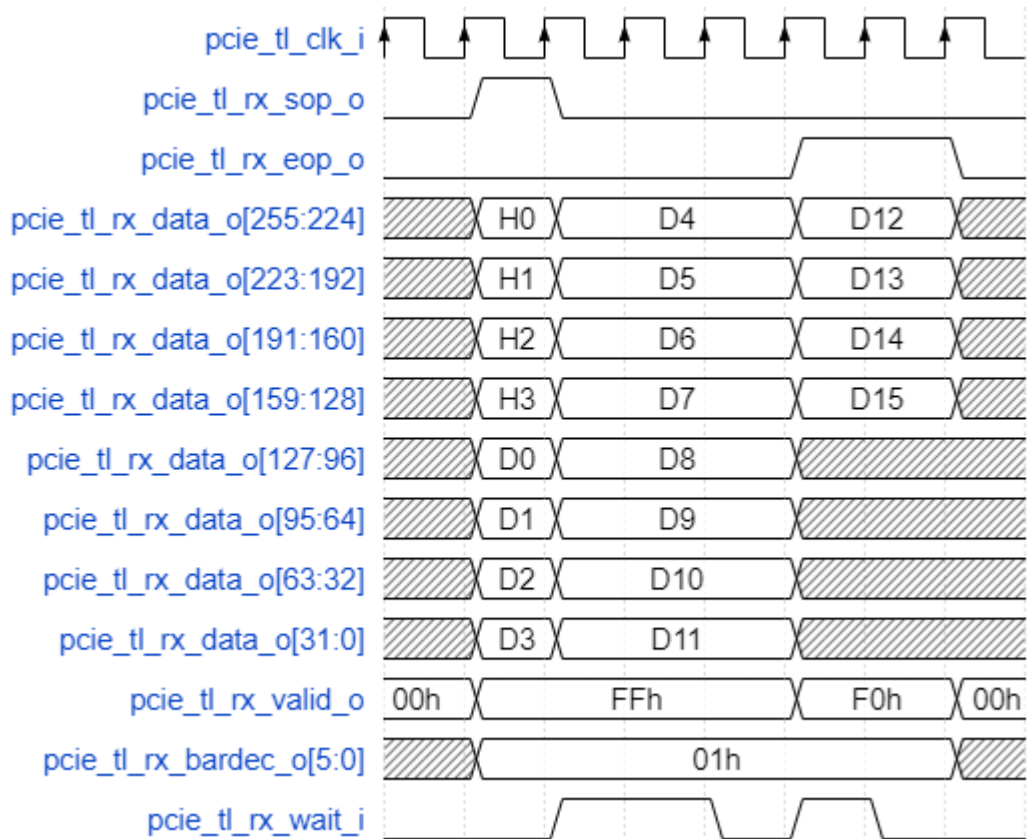
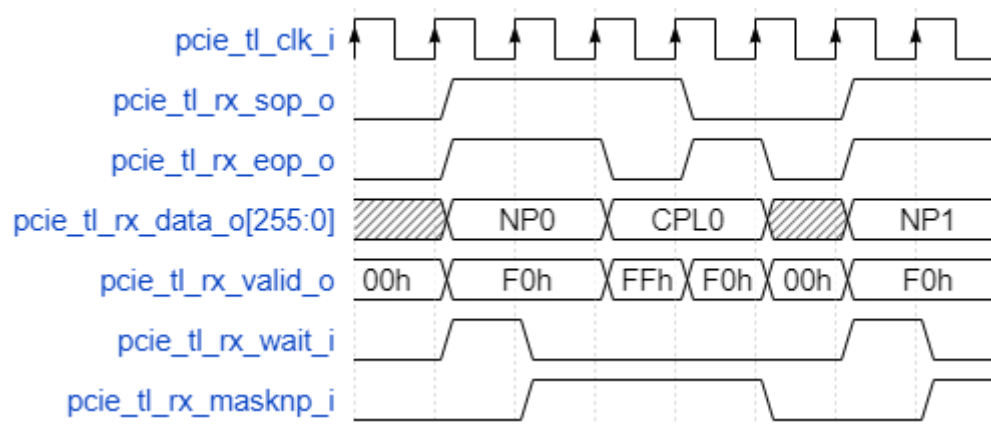


图 3-2 是 Non-posted TLP 包的接收时序。在 TLP 接收过程中出现了 pcie_tl_rx_wait_i 被置 1 了一个时钟周期。在接收第一个 TLP 包中，pcie_tl_rx_masknp_i 被置 1，使得控制器不再接收后续的 non-posted TLP 包，只接收输出完成包（Completion TLP）。控制器只有在 pcie_tl_rx_masknp_i 拉低之后，重新开始接收 Non-posted TLP。

图 3-2 Non-posted TLP 接收时序



3.3.3 TLP 发送接口

表 3-4 Gowin PCI Express Controller IP 控制器发送端口

端口	I/O	描述
pcie_tl_tx_sop_i	input	发送TLP的起始标志，标志TLP的第一个数据包。
pcie_tl_tx_eop_i	input	发送TLP的结束标志，标志TLP的最后一个数据包。
pcie_tl_tx_data_i[255:0]	input	发送TLP数据
pcie_tl_tx_valid_i[7:0]	input	发送TLP数据有效信号。每bit标志对应Dwords是否有效。Bit 7对应pcie_tl_tx_data[255:224]，Bit 0对应pcie_tl_tx_data[31:0]。
pcie_tl_tx_wait_o	output	发送等待信号，标志TX缓存没有准备好发送数据。

3.3.4 发送接口时序

图 3-3、图 3-4、图 3-5 为 TLP 发送过程中出现 pcie_tl_tx_wait_o 置高时的控制时序。当控制器没有足够的 TLP 发送空间时，pcie_tl_tx_wait_o 会被拉高。有效的 TLP 包发送需要在 pcie_tl_tx_wait_o 信号为 0 时才会被控制器识别。

图 3-3 pcie_tl_tx_wait_i 与发送控制时序 1

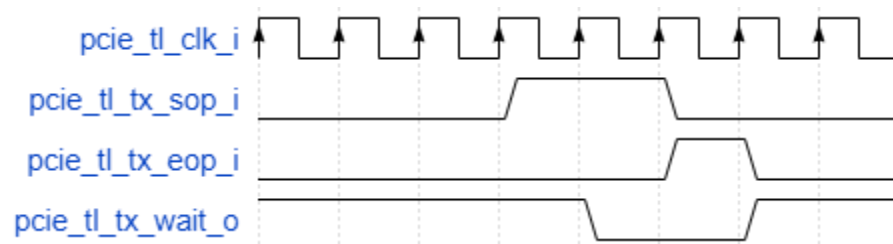


图 3-4 pcie_tl_tx_wait_i 与发送控制时序 2

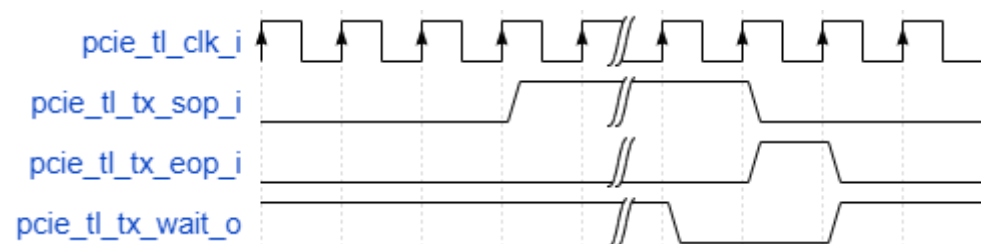
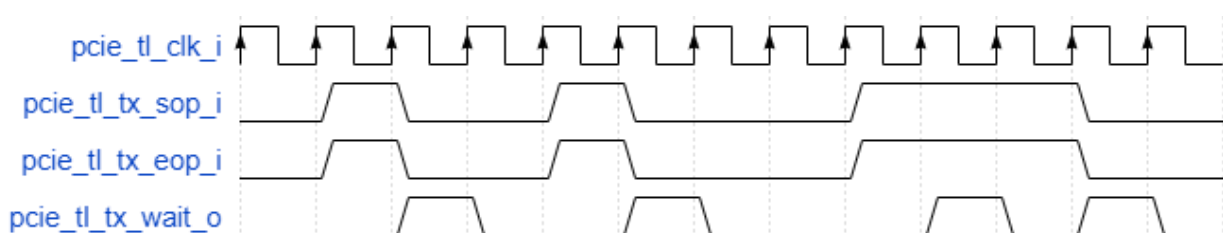
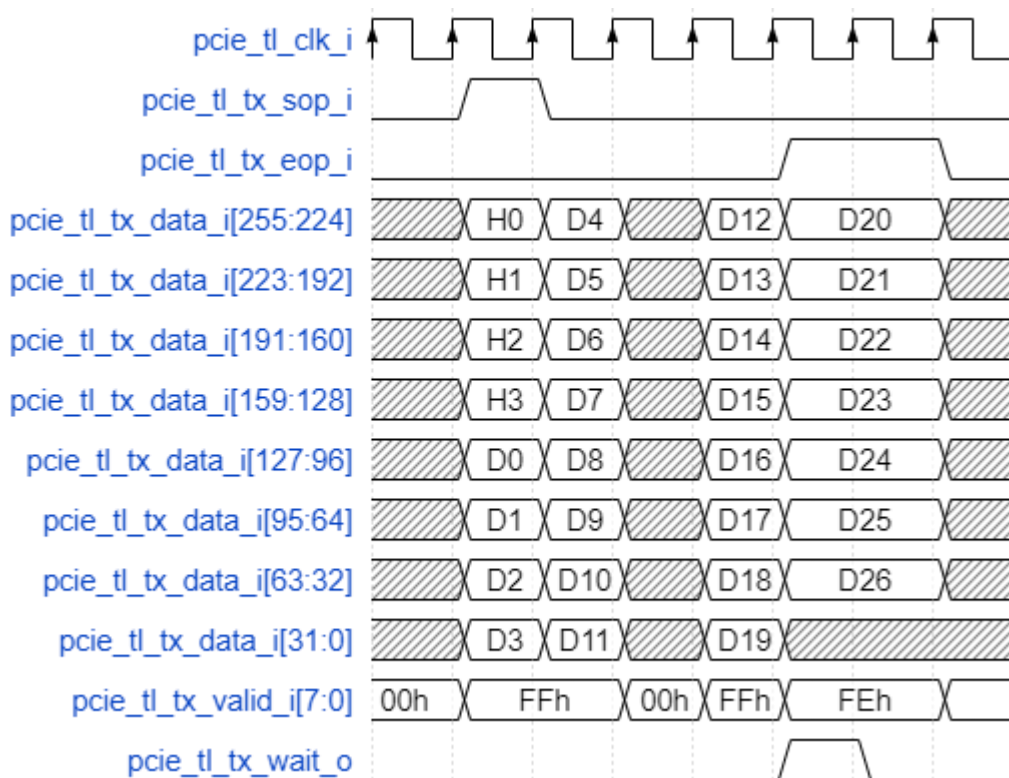


图 3-5 pcie_tl_tx_wait_i 与发送控制时序 3



TLP 发送的完整时序参考图 3-6。下图所示为一个 Header 长度 4DW, payload 长度 27DW 的发送控制时序。控制器通过 `pcie_tl_tx_valid_i` 加上反馈 `pcie_tl_tx_wait_o` 识别有效的发送数据。

图 3-6 TLP 发送控制时序示例



3.4 中断接口

表 3-5 Gowin PCIe Controller IP 控制器中断接口

参数	I/O	描述
<code>pcie_tl_int_status_i</code>	input	物理功能中断状态
<code>pcie_tl_int_req_i</code>	input	中断请求信号。通过置高一个时钟周期发出有效的中断请求。用户侧必须等待 <code>pcie_tl_int_ack</code> 信号置高后才能发出下一个中断请求。
<code>pcie_tl_int_msinum_i[4:0]</code>	input	MSI中断数。表示中断请求对应的MSI编号数。如果MSI中断没有使能，该信号需要置0。
<code>pcie_tl_int_ack_o</code>	output	中断响应信号。表示控制器接收到有效的 <code>pcie_tl_int_req</code> 请求，并发送成功。

3.4.1 中断接口时序

中断控制时序如图 3-7 所示。当物理功能的中断需要使能时，用户拉高 pcie_tl_int_status_i 信号，发出 pcie_tl_int_req_i 请求的同时，同步发出 pcie_tl_int_msinum_i。当第一个中断请求发送后，接收到控制器反馈的 pcie_tl_int_ack_o 响应后，第二个中断请求才能继续发送。当应用需要的所有中断请求都发送并响应后，pcie_tl_int_status_i 信号拉低，中断清除。

图 3-7 单个中断控制时序

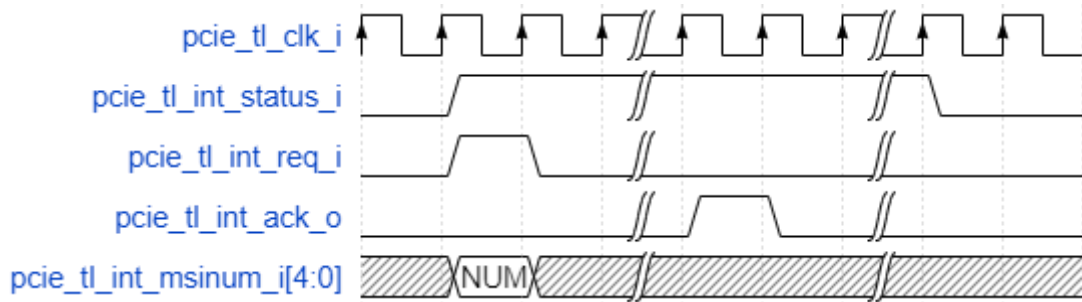
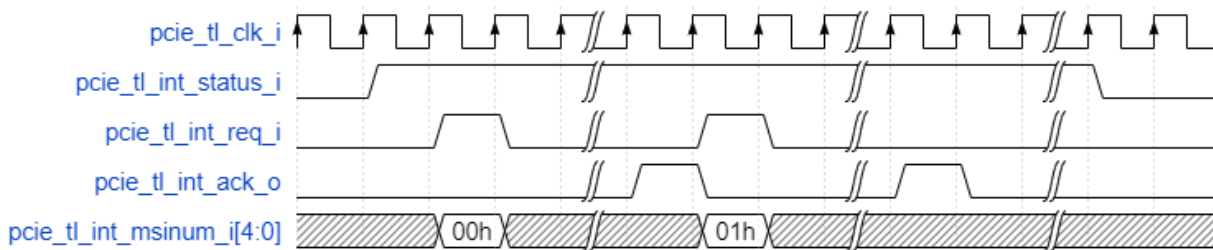


图 3-8 多个中断控制时序



3.5 控制器状态接口

表 3-6 Gowin PCIe Controller IP 控制器状态端口

参数	I/O	描述
ltssm_o[4:0]	output	LTSSM状态。 <ul style="list-style-type: none"> ● 00h: detect.quiet ● 01h: detect.active ● 02h: polling.active ● 03h: polling.compliance ● 04h: polling.configuration ● 05h: config.linkwidthstart ● 06h: config.linkwidthaccept ● 07h: config.lanenumwait ● 08h: config.lanenumaccept ● 09h: config.complete ● 0Ah: config.idle

参数	I/O	描述
		<ul style="list-style-type: none"> ● 0Bh: recovery.receiverlock ● 0Ch: recovery.equalization ● 0Dh: recovery.speed ● 0Eh: recovery.receiverconfig ● 0Fh: recovery.idle ● 10h: L0 ● 11h: L0s ● 12h: L1.entry ● 13h: L1.idle ● 14h: L2.idle/L2.transmitwake ● 15h: reserved ● 16h: disable ● 17h: loopback.entry ● 18h: loopback.active ● 19h: loopback.exit ● 1Ah: hotreset
pcie_tl_tx_creditsp_o[31:0]	output	Posted TLP控制发送credit数。 [14:0]: 有效数据的credit数 [26:16]: 有效header的credit数 [31]: 足够credit数发送max payload大小的TLP包
pcie_tl_tx_creditsnp_o[31:0]	output	Non-Posted TLP控制发送credit数。 [14:0]: 有效数据的credit数 [26:16]: 有效header的credit数 [31]: 足够credit数发送max payload大小的TLP包
pcie_tl_tx_creditscpl_o[31:0]	output	Completion TLP控制发送credit数。 [14:0]: 有效数据的credit数 [26:16]: 有效header的credit数 [31]: 足够credit数发送max payload大小的TLP包
pcie_tl_cfg_busdev_o[12:0]	output	PCIe设备的Bus Number和DeivceNumber信息。 [12:5]: Bus Number [4:0]: Device Number

4 PCI Express Controller 配置及调用

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 PCI Express Controller。

4.1 SerDes 类 IP 配置界面

用户建立工程后，单击“Tools”菜单栏，单击下拉列表中的“IP Core Generator”选项，即可打开 IP Core Generator 工具选择界面如图 4-1 所示。单击“Soft IP Core”>“SerDes”，双击“SerDes”选项，打开 SerDes IP 配置界面，如图 4-2 所示。

图 4-1 IP Core Generator 选择界面

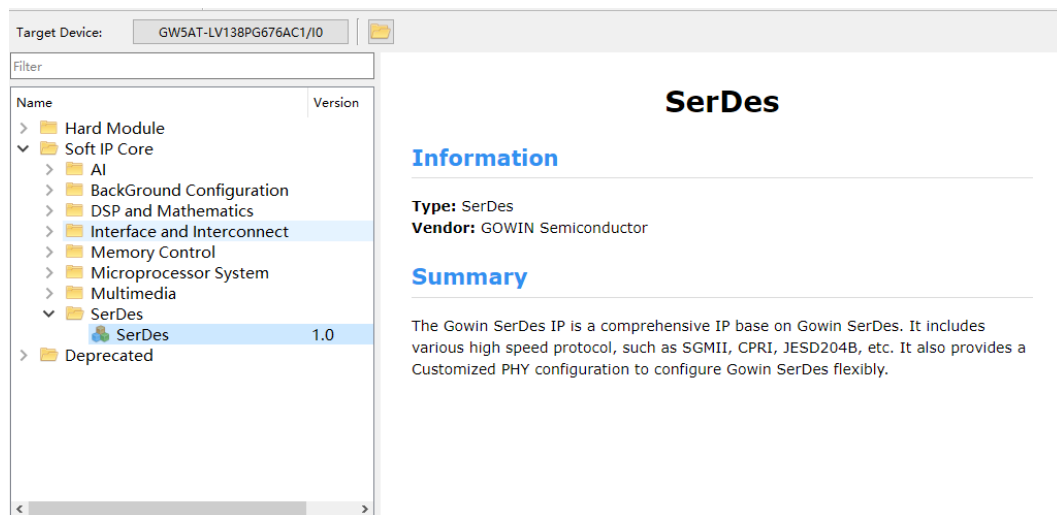
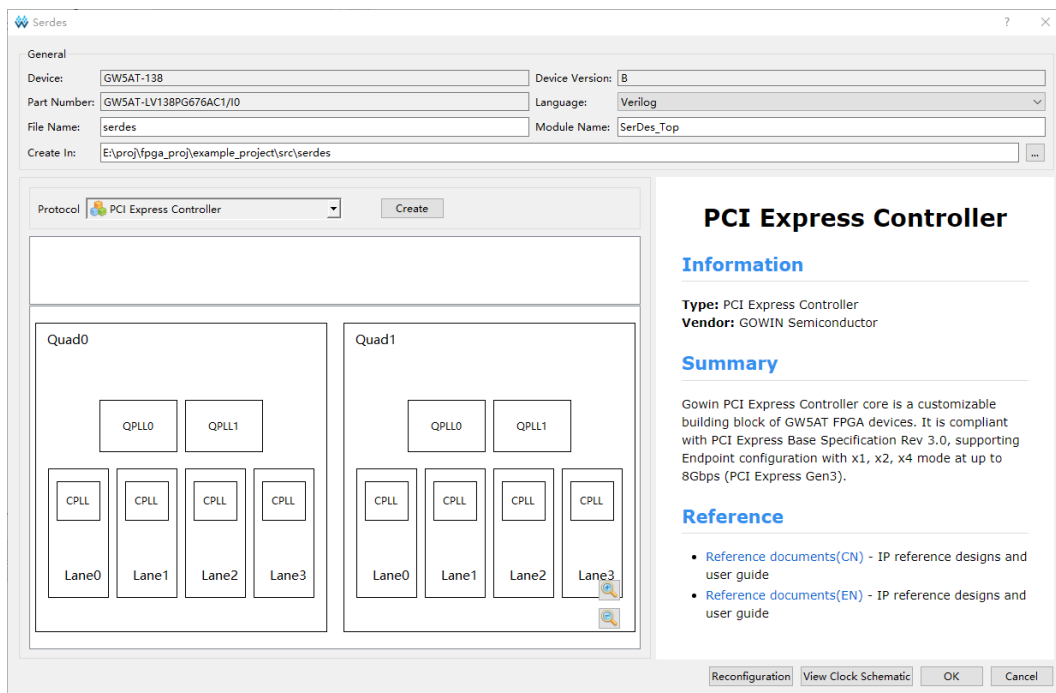


图 4-2 SerDes IP 配置界面 1



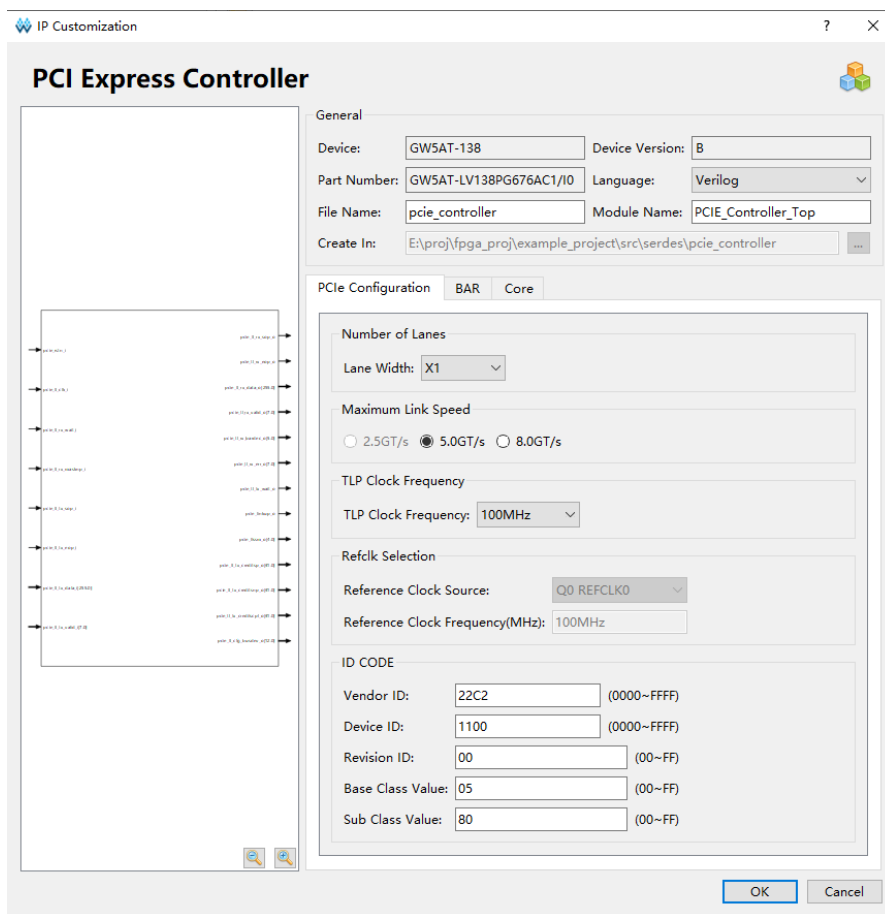
SerDes IP 配置界面中，在“File Name”框中可定义 SerDes IP 的文件名；在“Module Name”框中可定义 SerDes IP 的顶层模块名；在“Protocol”下拉框中可选择所需的协议类型。

选择“PCI Express Controller”，点击“Create”按钮，即可调出 PCI Express Controller IP 配置界面，如图 4-3 所示。

4.2 PCI Express Controller 配置界面

图 4-3 展示的是 PCI Express Controller IP 的配置界面。左侧是接口示意图，右侧是配置参数选项。在“File Name”框中可定义 IP 的文件名；在“Module Name”框中可定义 IP 的顶层模块名。

图 4-3 PCI Express Controller IP 配置界面



4.3 PCI Express Controller 配置选项

PCI Express Controller IP 配置界面包括以下三个部分：

- 图 4-4 显示 PCIe 控制器的基本配置，包括运行速度，通道数，设备 ID 等基本参数。
- 图 4-5 显示 PCIe 控制器的 BAR 配置，可以配置使用的 BAR0-BAR5 的空间大小，和对应的 IO、Memory 属性等。
- 图 4-6 显示 PCIe 控制器的中断支持配置 MSI 模式等其他配置。

PCI Express Controller 基本配置

图 4-4 PCI Express Controller 基本配置页面

PCIe Configuration BAR Core

Number of Lanes

Lane Width: X1

Maximum Link Speed

2.5GT/s 5.0GT/s 8.0GT/s

TLP Clock Frequency

TLP Clock Frequency: 100MHz

Refclk Selection

Reference Clock Source: Q0 REFCLK0

Reference Clock Frequency(MHz): 100MHz

ID CODE

Vendor ID: 22C2 (0000~FFFF)

Device ID: 1100 (0000~FFFF)

Revision ID: 00 (00~FF)

Base Class Value: 05 (00~FF)

Sub Class Value: 80 (00~FF)

PCIe 的基本配置如图 4-4 所示。

- Lane Width: 对应 PCIe 所需要配置的 Lane 个数，下拉菜单可选 x1，x2，x4。
- Maximum Link Speed: 配置支持最高 8GT/s，对应 PCIe 3.0；默认配置为 5GT/s，对应支持 PCIe 2.0。
- TLP Clock Frequency: 对应 TLP 层使用的用户时钟。时钟源为用户逻辑输入到 PCIe 控制器。这里需要选择实际配置的时钟频率，选 0MHz/125MHz/150MHz。
- Vendor ID: 用户可配置 PCIe 寄存器空间的 Vendor ID，默认值 22C2h，为高云半导体注册的 Vendor ID。
- Device ID: 用户可配置 Device ID。
- Revision ID: 用户可配置 Revision ID。
- Base Class Value: 用户可配置 Base Class Value。
- Sub Class Value: 用户可配置 Sub Class Value。

PCI Express Controller BAR 配置

图 4-5 PCI Express Controller BAR 配置页面

用户可以在本页面配置 BAR 空间的应用信息。高云 PCIe 控制器支持 BAR0-BAR5 灵活配置。

- **BAR Enabled:** 勾选使能 BAR 空间。
- **64 bit:** 64 bit 地址空间可选，如果勾选，最近的 BAR 空间会被同时占用，用以共享地址空间。
- **Prefetchable:** 预存取选项，仅在 64 bit 地址空间使能有效。
- **Size:** 选择 BAR 配置空间大小，最大支持 1Mbytes。

PCI Express Controller Core 配置

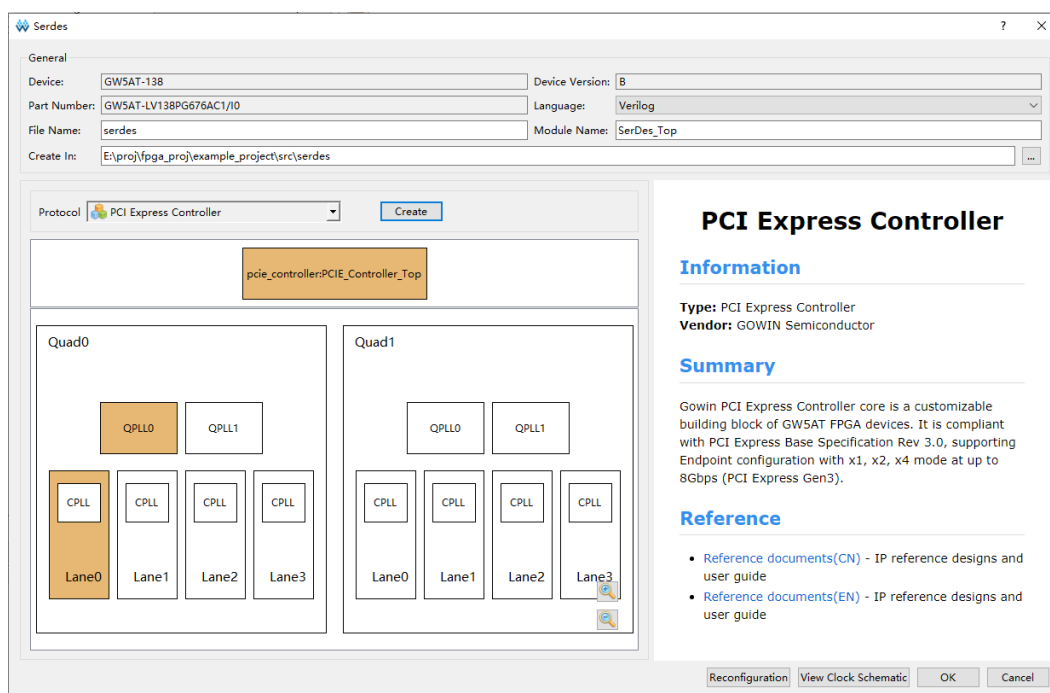
图 4-6 PCI Express Controller Core 配置页面

用户可以在本页面配置 PCIe Core 相关功能的应用信息。

- **Max Payload Size:** PCIe 控制器支持最高 4K Bytes 的 Payload 大小。用户可通过下拉菜单选择需要大小进行配置，大小可选包括 128 Bytes/256 Bytes/512 Bytes/1024 Bytes /2048 Bytes /4096 Bytes。
- **MSI Capabilities:** 中断支持，通过勾选使能或者关闭应用中 MSI 的中断接口。

4.4 PCI Express Controller IP 生成与例化

图 4-7 SerDes IP 配置界面 2



在配置完 PCI Express Controller 三个配置页后，点击“OK”按钮，完成控制器 IP 的配置，如图 4-7 所示。此时的界面与图 4-2 相比，多了 QPLL 与 Lane 占用情况的图示。

在 SerDes IP 配置界面下点击“OK”按钮，即可生成最终的 PCI Express Controller 与 SerDes IP。图 4-8 是在用户 Verilog 中例化的样例片段。

图 4-8 SerDes - PCI Express Controller IP 例化

```

10 //Change the instance name and port connections to the signal names
11 //-----Copy here to design-----
12
13 SerDes_Top your_instance_name(
14     .PCIE_Controller_Top_pcie_tl_rx_sop_o(PCIE_Controller_Top_pcie_tl_rx_sop_o), //output PCIE_Controller
15     .PCIE_Controller_Top_pcie_tl_rx_eop_o(PCIE_Controller_Top_pcie_tl_rx_eop_o), //output PCIE_Controller
16     .PCIE_Controller_Top_pcie_tl_rx_data_o(PCIE_Controller_Top_pcie_tl_rx_data_o), //output [255:0] PCIE_C
17     .PCIE_Controller_Top_pcie_tl_rx_valid_o(PCIE_Controller_Top_pcie_tl_rx_valid_o), //output [7:0] PCIE_C
18     .PCIE_Controller_Top_pcie_tl_rx_bardec_o(PCIE_Controller_Top_pcie_tl_rx_bardec_o), //output [5:0] PCIE
19     .PCIE_Controller_Top_pcie_tl_rx_err_o(PCIE_Controller_Top_pcie_tl_rx_err_o), //output [7:0] PCIE Cont
20     .PCIE_Controller_Top_pcie_tl_tx_wait_o(PCIE_Controller_Top_pcie_tl_tx_wait_o), //output PCIE Controll
21     .PCIE_Controller_Top_pcie_tl_int_ack_o(PCIE_Controller_Top_pcie_tl_int_ack_o), //output PCIE Controll
22     .PCIE_Controller_Top_pcie_ltssm_o(PCIE_Controller_Top_pcie_ltssm_o), //output [4:0] PCIE_Controller_T
23     .PCIE_Controller_Top_pcie_tl_tx_creditsp_o(PCIE_Controller_Top_pcie_tl_tx_creditsp_o), //output [31:0
24     .PCIE_Controller_Top_pcie_tl_tx_creditsnp_o(PCIE_Controller_Top_pcie_tl_tx_creditsnp_o), //output [31:
25     .PCIE_Controller_Top_pcie_tl_cfg_busdev_o(PCIE_Controller_Top_pcie_tl_cfg_busdev_o), //output [12:0] i
26     .PCIE_Controller_Top_pcie_linkup_o(PCIE_Controller_Top_pcie_linkup_o), //output PCIE_Controller_Top_pc
27     .PCIE_Controller_Top_pcie_rstn_i(PCIE_Controller_Top_pcie_rstn_i), //input PCIE_Controller_Top_pcie_r
28     .PCIE_Controller_Top_pcie_tl_clk_i(PCIE_Controller_Top_pcie_tl_clk_i), //input PCIE_Controller_Top_pc
29     .PCIE_Controller_Top_pcie_tl_rx_wait_i(PCIE_Controller_Top_pcie_tl_rx_wait_i), //input PCIE_Controller
30     .PCIE_Controller_Top_pcie_tl_rx_masknp_i(PCIE_Controller_Top_pcie_tl_rx_masknp_i), //input PCIE Contro
31     .PCIE_Controller_Top_pcie_tl_tx_sop_i(PCIE_Controller_Top_pcie_tl_tx_sop_i), //input PCIE_Controller_
32     .PCIE_Controller_Top_pcie_tl_tx_eop_i(PCIE_Controller_Top_pcie_tl_tx_eop_i), //input PCIE_Controller_
33     .PCIE_Controller_Top_pcie_tl_tx_data_i(PCIE_Controller_Top_pcie_tl_tx_data_i), //input [255:0] PCIE_C
34     .PCIE_Controller_Top_pcie_tl_tx_valid_i(PCIE_Controller_Top_pcie_tl_tx_valid_i), //input [7:0] PCIE_C
35     .PCIE_Controller_Top_pcie_tl_int_status_i(PCIE_Controller_Top_pcie_tl_int_status_i), //input PCIE Cont
36     .PCIE_Controller_Top_pcie_tl_int_req_i(PCIE_Controller_Top_pcie_tl_int_req_i), //input PCIE Controll
37     .PCIE_Controller_Top_pcie_tl_int_msinum_i(PCIE_Controller_Top_pcie_tl_int_msinum_i) //input [4:0] PCIE
38 );
39
40

```

附录 A PCIe 配置寄存器信息

表 A-1 PCIe Capability

31:24	23:16	15:8	7:0	Byte Offset
Capabilities Register		Net Cap PTR	Capability ID	080h
Device Capabilities				084h
Device Status		Device Control		088h
Link Capabilities				08Ch
Link Status		Link Control		090h
Slot Capabilities				094h
Slot Status		Slot Control		098h
Root Capabilities		Root Control		09Ch
Root Status				0A0h
Device Capabilities 2				0A4h
Device Status 2		Device Control 2		0A8h
Link Capabilities				0ACh
Link Status		Link Control		0B0h
Slot Capabilities				0B4h
Slot Status		Slot Control		0B8h

