



Gowin Serial RapidIO IP 用户指南

IPUG1023-1.1,2024-10-25

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/08/18	1.0	初始版本。
2024/10/25	1.1	<ul style="list-style-type: none">● 新增 CTC 功能：● 新增 “AFE” 配置选项。

目录

目录	i
图目录	iv
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	3
2 功能简介	4
2.1 概述	4
2.2 主要特性	4
2.3 资源利用	5
3 功能描述	6
3.1 系统框图	6
3.2 模块功能	7
3.2.1 SerDes 模块	7
3.2.2 LOG 模块	7
3.2.3 BUF 模块	8
3.2.4 PHY 模块	8
3.2.5 Maintenance 模块	9
3.2.6 Srio_config 模块	10
3.3 用户接口	11
3.4 端口列表	11
3.5 用户接口时序	19
3.5.1 I/O 事务接口时序图	19
3.5.2 配置接口时序图	20
3.6 寄存器接口	21
3.6.1 Device Identity CAR (0x0)	23

3.6.2 Device Information CAR (0x4)	23
3.6.3 Assembly Identity CAR (0x8)	24
3.6.4 Assembly Information CAR (0xc)	24
3.6.5 Processing Element Features CAR (0x10)	24
3.6.6 Switch Port Information CAR (0x14)	25
3.6.7 Source Operations CAR (0x18)	25
3.6.8 Destination Operations CAR (0x1c)	26
3.6.9 Processing Element Logical Layer Control CSR (0x4c)	26
3.6.10 Local Configuration Space Base Address 0 CSR (0x58)	26
3.6.11 Local Configuration Space Base Address 1 CSR (0x5c)	27
3.6.12 Base Device ID CSR (0x60)	27
3.6.13 Host Base Device ID Lock CSR (0x68)	27
3.6.14 Component Tag CSR (0x6c)	27
3.6.15 LP-Serial Register Block Header (0x100)	27
3.6.16 Port Link Timeout Control CSR (0x120)	28
3.6.17 Port Response Timeout Control CSR (0x124)	28
3.6.18 Port General Control CSR (0x13c)	28
3.6.19 Port n Link Maintenance Request CSR (0x140)	28
3.6.20 Port n Link Maintenance Response CSR (0x144)	28
3.6.21 Port n Local ackID CSR (0x148)	28
3.6.22 Port n Control 2 CSR (0x154)	29
3.6.23 Port n Error and Status CSR (0x158)	29
3.6.24 Port n Control CSR (0x15c)	30
3.6.25 LP-Serial Lane Command and Status Registers (0x400)	31
3.6.26 Lane n Status 0 CSRs (0x410/0x430/0x450/0x470)	31
3.6.27 Lane n Status 1 CSRs (0x414/0x434/0x454/0x474)	31
3.6.28 Watermarks CSR (0x10000)	31
3.6.29 Buffer Control CSR (0x10004)	32
3.6.30 Maintenance Request Information Register (0x10100)	32
3.6.31 Maintenance Request HopCount Register (0x10104)	32
3.6.32 Maintenance Response Time-out Scale Register (0x10108)	32
4 界面配置	34
5 参考设计	43
5.1 应用	43
5.2 Serial RapidIO IP 参考设计工程	43
5.3 参考设计板测一	45

5.4 参考设计板测二.....	48
6 文件交付	50
6.1 文档.....	50
6.2 设计源代码（加密）.....	50
6.3 参考设计.....	50

图目录

图 3-1 系统框图	6
图 3-2 SerDes 模块框图	7
图 3-3 LOG 模块框图	8
图 3-4 远端设备操作本地设备的维护操作流程图中	9
图 3-5 本地设备操作远端设备的维护操作流程图中	10
图 3-6 Gowin Serial RapidIO IP 端口图	12
图 3-7 I/O 事务接口时序图	19
图 3-8 Header 信息定义图	20
图 3-9 cfg 接口读时序图	20
图 3-10 cfg 接口写时序图	21
图 4-1 SerDes IP 配置界面	34
图 4-2 Gowin Serial RapidIO IP 配置界面	35
图 4-3 IP 协议配置界面 1	36
图 4-4 IP 协议配置界面 2	37
图 4-5 SerDes 配置界面	38
图 4-6 AFE 配置界面	39
图 4-7 Optional Ports Configuration 配置界面	39
图 5-1 应用示例框图	43
图 5-2 参考设计实例基本结构图	45
图 5-3 板测一测试环境框图	46
图 5-4 串口工具显示	48
图 5-5 板测二测试环境框图	49
图 5-6 Serial RapidIO IP 板测二 GUI 设置	49

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin Serial RapidIO IP 概述	4
表 2-2 Gowin Serial RapidIO IP 占用资源	5
表 3-1 Gowin Serial RapidIO IP 端口列表	13
表 3-2 寄存器地址空间	21
表 3-3 本地设备寄存器列表概述	21
表 3-4 Device Identity CAR 各个 bit 含义	23
表 3-5 Device Information CAR 各个 bit 含义	23
表 3-6 Assembly Identity CAR 各个 bit 含义	24
表 3-7 Assembly Information CAR 各个 bit 含义	24
表 3-8 Processing Element Features CAR 各个 bit 含义	24
表 3-9 Switch Port Information CAR 各个 bit 含义	25
表 3-10 Source Operations CAR 各个 bit 含义	25
表 3-11 Destination Operations CAR 各个 bit 含义	26
表 3-12 Processing Element Logical Layer Control CSR 各个 bit 含义	26
表 3-13 Local Configuration Space Base Address 0 CSR 各个 bit 含义	26
表 3-14 Local Configuration Space Base Address 1 CSR 各个 bit 含义	27
表 3-15 Base Device ID CSR 各个 bit 含义	27
表 3-16 Host Base Device ID Lock CSR 各个 bit 含义	27
表 3-17 Component Tag CSR 各个 bit 含义	27
表 3-18 LP-Serial Register Block 各个 bit 含义	27
表 3-19 Port Link Timeout Control CSR 各个 bit 含义	28
表 3-20 Port Response Timeout Control CSR 各个 bit 含义	28
表 3-21 Port General Control CSR 各个 bit 含义	28
表 3-22 Port n Link Maintenance Request CSR 各个 bit 含义	28
表 3-23 Port n Link Maintenance Response CSR 各个 bit 含义	28
表 3-24 Port n Local ackID CSR 各个 bit 含义	28
表 3-25 Port n Control 2 CSR 各个 bit 含义	29
表 3-26 Port n Error and Status CSR 各个 bit 含义	29

表 3-27 Port n Control CSR 各个 bit 含义	30
表 3-28 LP-Serial Lane Command and Status Registers 各个 bit 含义	31
表 3-29 Lane n Status 0 CSRs 各个 bit 含义.....	31
表 3-30 Lane n Status 1 CSRs 各个 bit 含义.....	31
表 3-31 Watermarks CSR 各个 bit 含义	31
表 3-32 Buffer Control CSR 各个 bit 含义.....	32
表 3-33 Maintenance Request Information Register 各个 bit 含义.....	32
表 3-34 Maintenance Request HopCount Register 各个 bit 含义	32
表 3-35 Maintenance Response Time-out Scale Register 各个 bit 含义.....	32
表 4-1 Serial RapidIO IP 配置界面参数	40
表 5-1 testreg 寄存器列表	46
表 6-1 文档列表	50
表 6-2 Gowin Serial RapidIO IP 设计源代码列表	50
表 6-3 Gowin Serial RapidIO IP RefDesign 文件夹内容列表	50

1 关于本手册

1.1 手册内容

Gowin Serial RapidIO IP 用户指南主要包括功能简介、功能描述、界面配置和参考设计，旨在帮助用户快速了解 Gowin Serial RapidIO IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.10.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ackID	acknowledgement identifier	确认标识符, 在器件间的物理层进行传递
CAR	Capability Register	能力寄存器
Control Symbol	A quantum of information transmitted between two linked devices to manage packet flow between the devices	控制符号
CRC	Cyclic Redundancy Code	循环冗余编码
CRF	Critical Request Flow	关键请求流
CSR	Command and Status Register	命令和状态寄存器
Destination	The termination point of a packet on the RapidIO interconnect, also	目标器件

术语、缩略语	全称	含义
	referred to as a target	
Device	A generic participant on the RapidIO interconnect that sends or receives RapidIO transactions, also called a processing element	设备
Device ID	The identifier of an end point processing element connected to the RapidIO interconnect.	设备 ID
Doorbell	A port on a device that is capable of generating an interrupt to a processor	门铃
Double-word	An eight byte quantity, aligned on eight byte boundaries.	双字
End point	A processing element which is the source or destination of transactions through a RapidIO fabric	端点
FPGA	Field Programmable Gate Array	现场可编程门阵列
Ftype	Format Type	包格式类型
IP	Intellectual Property	知识产权
Mailbox	Dedicated hardware that receives messages	信箱
Operation	A set of transactions between end point devices in a RapidIO system (requests and associated responses) such as a read or a write	操作
Packet	A set of information transmitted between devices in a RapidIO system	数据包
PCS	Physical Coding Sublayer	物理编码子层
PMA	Physical Media Attachment	物理介质连接
Priority	The relative importance of a transaction or packet; in most systems a higher priority transaction or packet will be serviced or transmitted before one of lower priority	优先级
rdsiz	Read Size	读字节长度
srcTID	The Packet's Transaction ID	源器件事务 ID
Transaction	A specific request or response packet transmitted between end point devices in a RapidIO system	事务
Ttype	Transaction Type	事务类型
wdptr	Word Pointer	控制读/写数据字节数及其在双字中的位置

术语、缩略语	全称	含义
wrsize	Write Size	写字节长度

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

Gowin Serial RapidIO IP 按照 RapidIO 协议 V2.1 版本进行设计，应用于 RapidIO 系统中的端点设备（Endpoint Device）。该 IP 包含协议规定的逻辑层（Logical Layer）、传输层（Transport Layer）和物理层（Physical Layer），提供用户独立的发送请求事务接口、接收请求事务接口、发送响应事务接口、接收响应事务接口和维护事务接口。

表 2-1 Gowin Serial RapidIO IP 概述

Gowin Serial RapidIO IP	
逻辑资源	参见表 2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9 Beta-2 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特性

通用特性

- 参照 RapidIO 协议 V2.1 版本设计

逻辑层特性

- 支持读事务(NREAD)、写事务（NWRITE）、带响应的写事务（NWRITE_R）、流写事务（SWRITE）、响应事务（Response）、消息事务（MESSAGE）、门铃事务（DOORBELL）、Atomic 事务和维护事务（Maintenance）的发送和接收
- Arbiter 可选，可选 fixed priority 或 round robin 模式

传输层特性

- 支持 8 bits、16 bits 位宽的设备 ID (DeviceID)

物理层特性

- 支持 1x、2x 和 4x 通道数
- 支持每通道线速率 1.25Gbps、2.5Gbps、3.125Gbps、5.0Gbps
- 支持接收流控 (Receiver flow control)
- 支持 IDLE1
- 缓存 (Buffer) 深度 8/16/32 可配
- 支持数据包 (Packet) 缓存资源的动态释放
- 支持数据包 (Packet) 的重传恢复
- 支持数据包 (Packet) 的错误恢复

注!

- 暂不支持从 2x/4x 回退到 1x，暂不支持从 4x 回退到 2x
- 暂不支持 5Gbps 2x 模式，暂不支持 2.5Gbps/3.125Gbps/5Gbps 4x 模式
- 暂不支持发送流控 (Transmitter flow control)
- 暂不支持 crf(Critical request flow)处理

2.3 资源利用

通过 Verilog 语言实现 Gowin Serial RapidIO IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，Serial RapidIO IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin Serial RapidIO IP 占用资源

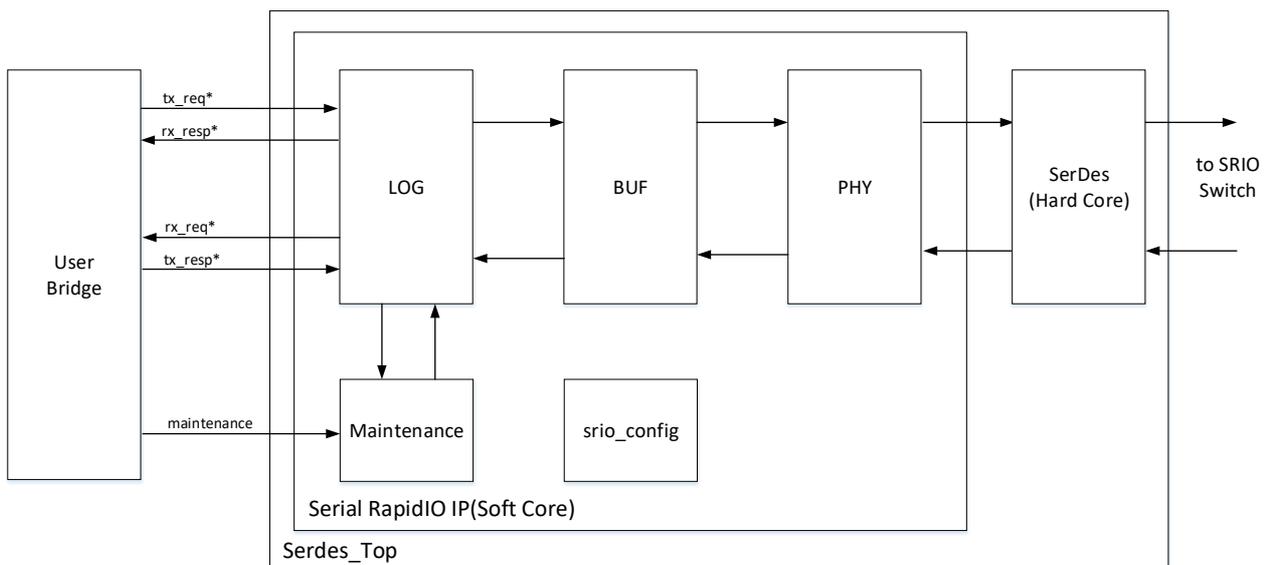
Lane Width	Buffer Depth	占用资源				
		Register	LUT	ALU	BSRAM	SSRAM
1x	8	7069	6506	610	20	0
	16	7141	6543	631	24	0
	32	7233	6722	680	32	0
2x	8	7369	6662	628	20	0
	16	7441	6793	649	24	0
	32	7533	6933	698	32	0
4x	8	8668	7021	670	20	0
	16	8740	7235	691	24	0
	32	8832	7215	740	32	0

3 功能描述

3.1 系统框图

Gowin Serial RapidIO IP 的系统框图如图 3-1 所示。IP 包含 RapidIO 协议定义的逻辑层、传输层、物理层处理，包含 Buffer 缓冲机制，包含协议规定的 CARs 和 CSRs。IP 提供用户发送请求事务接口、接收请求事务接口、发送响应事务接口、接收响应事务接口和维护事务接口。

图 3-1 系统框图



注！

系统框图接口说明如下：

- tx_req*：发送请求事务接口
- rx_resp*：接收响应事务接口
- rx_req*：接收请求事务接口
- tx_resp*：发送响应事务接口
- maintenance：维护事务访问接口

3.2 模块功能

本章节介绍 Gowin Serial RapidIO IP 各个子模块的功能。

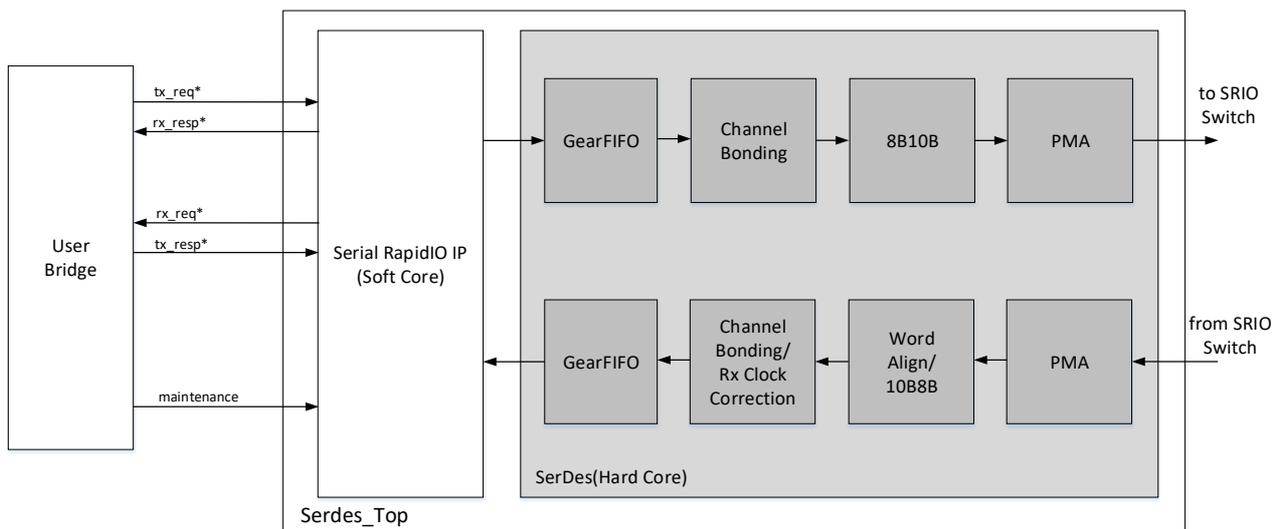
3.2.1 SerDes 模块

SerDes 模块：使用 Gowin FPGA 内部的 Serdes 硬核（Hard Core），支持 8B10B 编解码、通道对齐（Channel Bonding）和接收时钟调整（Rx Clock Correction）。

SerDes 模块输出数据对应的 PCS 时钟频率与线速率有关，PCS 时钟用于 SerDes GearFIFO 的 Fabric 侧，PCS 时钟也用于 PHY 模块的部分设计：

- 通道线速率为 1.25Gbps，PCS 时钟 31.25M。
- 通道线速率为 2.5Gbps，PCS 时钟 62.5M。
- 通道线速率为 3.125Gbps，PCS 时钟 78.125M。
- 通道线速率为 5Gbps，PCS 时钟 125M。

图 3-2 SerDes 模块框图



3.2.2 LOG 模块

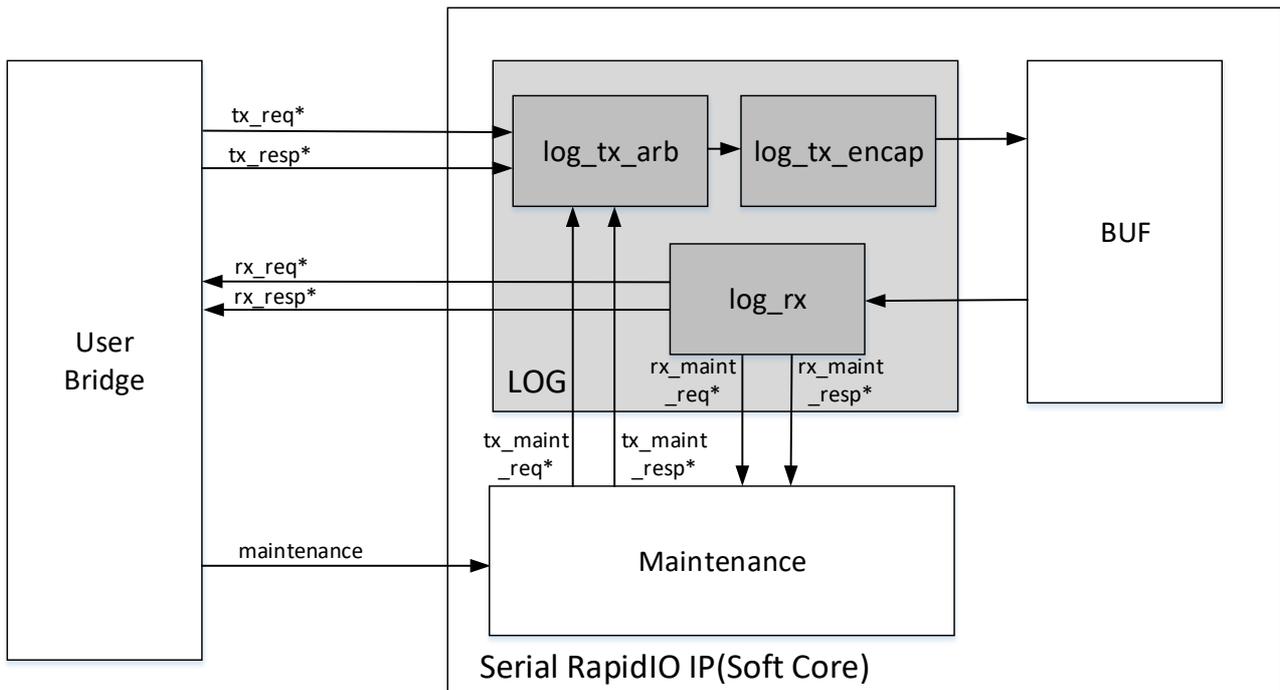
LOG 模块：对应 RapidIO 协议中的逻辑层和传输层，包含发送方向和接收方向。

- 发送方向：子模块 `log_tx_arb` 对输入的四组信号进行仲裁，四组信号分别为发送维护请求事务、发送维护响应事务、发送请求事务、发送响应事务。子模块 `log_tx_encap` 按照协议对数据进行封装后发送给下一级 BUF 模块。
- 接收方向：子模块 `log_rx` 按照协议进行解析并拆分成四组信号，四组接收信号包含接收维护请求事务、接收维护响应事务、接收请求事务和接收响应事务，分别提供独立的接口。
- 请求事务：包含读事务（NREAD）、写事务（NWRITE）、带响应写事务（NWRITE_R）、流写事务（SWRITE）、Atomic 事务、消息事务

(MESSAGE)、门铃事务 (DOORBELL)。

- 响应事务 (Response) 表示对请求事务的响应。
- 维护 (Maintenance) 请求事务用于对协议定义的寄存器进行操作，包含写寄存器或者读寄存器操作。
- 维护 (Maintenance) 响应事务表示对维护 (Maintenance) 请求事务的响应。

图 3-3 LOG 模块框图



3.2.3 BUF 模块

BUF 模块：对应 RapidIO 协议中的 Buffer 缓冲机制，通过 GUI 界面可选 8/16/32 三种缓存深度，分为发送方向和接收方向。

- 发送方向将事务包按照优先级 (priority) 放入不同的队列中，四种优先级都有对应的一个队列。发送方向在物理层空闲进行发包时，优先发送优先级更高的事务包。每个发送的事务包都会添加确认标识符 (ackID)。若对端设备返回事务包被正确接收，才会在队列里将对应事务包进行释放，否则会开始重传，再次发送传输出错的事务包。
- 接收方向将来自物理层的数据包按顺序放入 fifo，并把数据传输给 LOG 模块。

3.2.4 PHY 模块

PHY 模块：对应 RapidIO 协议中的物理层，分为发送方向和接收方向。

- 发送方向：包含对事务包进行 CRC 添加，产生控制符号 (Control Symbol)，对控制符号 (Control Symbol) 和事务包进行合并，对合并后的数据进行跨时钟域处理，在包 (packet) 与包 (packet) 之间填充 IDLE 序列。

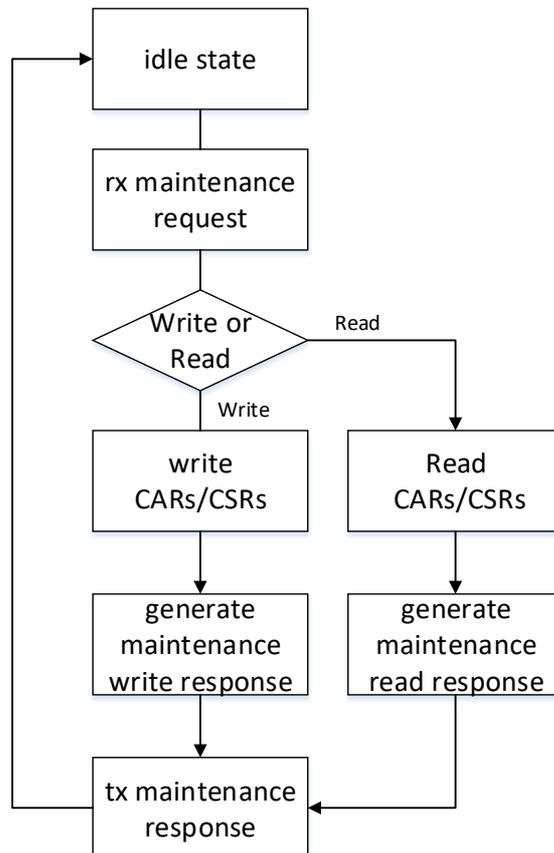
- 接收方向的处理：包含端口（port）初始化，链路（link）初始化，对数据进行跨时钟域处理，从接收数据里提取出事务包和控制符号，并进行 CRC 校验，根据接收到的控制符号（Control Symbol）进行相应的操作。

3.2.5 Maintenance 模块

Maintenance 模块：对维护事务进行处理，包含三种功能，一种是处理远端（Remote）设备发起的访问本地寄存器的维护（Maintenance）操作（Operation），一种是处理本地（Local）设备发起的访问远端（Remote）寄存器的维护（Maintenance）操作，最后一种是本地（Local）设备访问本地寄存器。

- 处理远端（Remote）设备发起的访问本地寄存器的维护（Maintenance）操作（Operation）：接收 LOG 层的维护请求事务，判断是读操作还是写操作，然后操作 IP 内部维护的寄存器，完成后生成对应的响应事务，并将响应事务发送给 LOG 层。

图 3-4 远端设备操作本地设备的维护操作流程

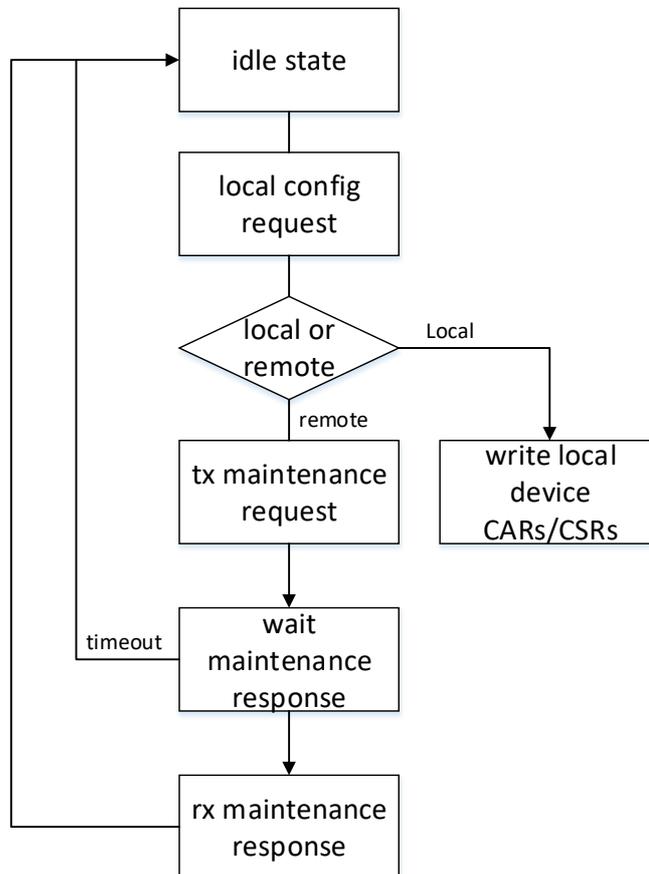


- 处理本地（Local）设备发起的访问远端（Remote）寄存器的维护（Maintenance）操作：接收本地设备通过配置接口发起的寄存器读写操作，判断是访问本地设备还是远端设备，若访问远端设备，则向 LOG 层发送维护请求事务，然后等待 LOG 层的接收维护响应事务，若正确接收到响应事务，则通过本地配置接口返回结果，若超时未收到应答，则返回错误并置位 maintenance_timeout_o 信号。

注！

本地设备每发起一次对远端设备的维护事务操作，需要先操作寄存器 0x10100 和寄存器 0x10104，正确配置维护事务包的请求信息(srcTID、prio、crf、Destination ID 和 hop count)，然后再通过配置接口发起请求。

图 3-5 本地设备操作远端设备的维护操作流程



- 本地（Local）设备访问本地寄存器：接收本地设备通过配置接口发起的寄存器读写操作，判断是访问本地设备还是远端设备，若访问本地设备，则向 Srio_config 模块发起寄存器读写，并将结果返回给配置接口。

3.2.6 Srio_config 模块

Srio_config 模块：根据 RapidIO 协议，定义本地设备的能力寄存器（CARs）和命令状态寄存器（CSRs）。远端设备或本地设备可访问 srio_config 模块进行读寄存器操作或者写寄存器操作。

3.3 用户接口

Gowin Serial RapidIO 提供的用户侧接口简介如下：

- 时钟接口：用户输入 IP Core 的工作时钟
- 复位接口：用户对 IP Core 进行复位操作
- 发送请求事务接口：用户发起 I/O 请求事务总线接口
- 发送响应事务接口：用户发起 I/O 响应事务总线接口
- 接收请求事务接口：用户接收 I/O 请求事务总线接口
- 接收响应事务接口：用户接收 I/O 响应事务总线接口
- 维护（Maintenance）接口：用户操作维护事务接口，用于访问本地 IP 内部寄存器或访问远端设备寄存器
- 状态接口：端口（port）初始化状态，链路(Link)状态和其它便于 Debug 的端口状态
- SerDes 相关接口：SerDes 复位及 SerDes 状态接口。

3.4 端口列表

Gowin Serial RapidIO IP 的详细端口图如图 3-6 所示。

图 3-6 Gowin Serial RapidIO IP 端口图



表 3-1 Gowin Serial RapidIO IP 端口列表

端口名称	I/O	位宽	描述
时钟与复位			
sys_rst_i	input	1	复位信号，高电平有效。
srio_clk_i	input	1	工作时钟，LOG、BUF 和部分 PHY 的工作时钟，时钟频率与配置模块有关： <ul style="list-style-type: none"> ● 1.25G 1x, 15.625M ● 1.25G 2x, 31.25M ● 1.25G 4x, 62.5M ● 2.5G 1x, 31.25M ● 2.5G 2x, 62.5M ● 3.125G 1x, 39.0625M ● 3.125G 2x, 78.125M ● 5G 1x, 62.5M 注！PHY 另外一部分的工作时钟频率为 SerDes PCS 层工作时钟频率 ，详见 3.2.1 SerDes 模块 。
clk_lock_i	input	1	工作时钟 PLL 锁定指示，高电平表示 PLL 锁定。
user_pcs_clk_i	input	1	输入 SerDes PCS 层工作时钟，需与 srio_clk_i 同源： <ul style="list-style-type: none"> ● 1.25Gbps, 31.25M ● 2.5Gbps, 62.5M ● 3.125Gbps, 78.125M ● 5Gbps, 125M
srio_ui_clk_o	output	1	输出工作时钟，将输入的 srio_clk_i 直接进行输出，用户侧设计可直接使用此时钟信号。
srio_ui_rst_o	output	1	输出复位信号，高电平有效，用户侧设计可直接使用此复位信号。
cfg_rst_i	input	1	配置模块同步复位信号，高有效。
cfg_clk_i	input	1	配置模块工作时钟。
发送请求事务接口			
tx_req_trac_valid_i	input	1	发送请求事务接口的数据有效指示，高电平有效，为高表示总线上的数据有效。
tx_req_trac_ready_o	output	1	发送请求事务接口的握手信号，当 tx_req_trac_ready_o 为高且 tx_req_trac_valid_i 为高时，总线上的数据有效。
tx_req_trac_last_i	input	1	发送请求事务接口的包尾指示信号，高电平有效，当 tx_req_trac_last_i 为高且 tx_req_trac_valid_i 为高且 tx_req_trac_ready_o 为高时表示事务包的最后一个时钟周期。
tx_req_trac_data_i	input	[63:0]	发送请求事务接口的数据，包含事务包

端口名称	I/O	位宽	描述
			(packet) 的 header 信息和 data。
tx_req_trac_id_info_i	input	[N-1:0]	<p>发送请求事务接口事务包 (packet) 对应的 ID 信息, 位宽与 GUI 选项“Device ID Width”有关。</p> <ul style="list-style-type: none"> ● GUI 选项 “Device ID Width”为 8bit 时, N 为 16, 其中[7:0]对应目的器件 ID (Destination ID), 其中[15:8]对应源器件 ID (Source ID)。 ● GUI 选项“Device ID Width”为 16bit 时, N 为 32, 其中[15:0]对应目的器件 ID (Destination ID), 其中[31:16]对应源器件 ID (Source ID)。
发送响应事务接口			
tx_resp_trac_valid_i	input	1	发送响应事务接口的数据有效指示, 高电平有效, 为高表示总线上的数据有效。
tx_resp_trac_ready_o	output	1	发送响应事务接口的握手信号, 当 tx_resp_trac_ready_o 为高且 tx_resp_trac_valid_i 为高时, 总线上的数据有效。
tx_resp_trac_last_i	input	1	发送响应事务接口的包尾指示信号, 高电平有效, 当 tx_resp_trac_last_i 为高且 tx_resp_trac_valid_i 为高且 tx_resp_trac_ready_o 为高时表示事务包的最后一个时钟周期。
tx_resp_trac_data_i	input	[63:0]	发送响应事务接口的数据, 包含事务包 (packet) 的 header 信息和 data。
tx_resp_trac_id_info_i	input	[N-1:0]	<p>发送响应事务接口事务包 (packet) 对应的 ID 信息, 位宽与 GUI 选项“Device ID Width”有关。</p> <ul style="list-style-type: none"> ● GUI 选项 “Device ID Width”为 8bit 时, N 为 16, 其中[7:0]对应目的器件 ID (Destination ID), 其中[15:8]对应源器件 ID (Source ID)。 ● GUI 选项“Device ID Width”为 16bit 时, N 为 32, 其中[15:0]对应目的器件 ID (Destination ID), 其中[31:16]对应源器件 ID (Source ID)。
接收请求事务接口			
rx_req_trac_ready_i	input	1	接收请求事务接口的握手信号, 当 rx_req_trac_ready_i 为高且 rx_req_trac_valid_o 为高时, 总线上的数据有效。
rx_req_trac_valid_o	output	1	接收请求事务接口的数据有效指示, 高电平有效, 为高表示总线上的数据有效。
rx_req_trac_last_o	output	1	接收请求事务接口的包尾指示信号, 高电平

端口名称	I/O	位宽	描述
			有效, 当 rx_req_trac_ready_i 为高且 rx_req_trac_valid_o 为高且 rx_req_trac_last_o 为高时表示事务包的最后一个时钟周期。
rx_req_trac_data_o	output	[63:0]	接收请求事务接口的数据, 包含事务包 (packet) 的 header 信息和 data。
rx_req_trac_id_info_o	output	[N-1:0]	接收请求事务接口事务包 (packet) 对应的 ID 信息, 位宽与 GUI 选项“Device ID Width”有关。 <ul style="list-style-type: none"> ● GUI 选项 “Device ID Width”为 8bit 时, N 为 16, 其中[7:0]对应目的器件 ID (Destination ID), 其中[15:8]对应源器件 ID (Source ID)。 ● GUI 选项“Device ID Width”为 16bit 时, N 为 32, 其中[15:0]对应目的器件 ID (Destination ID), 其中[31:16]对应源器件 ID (Source ID)。
接收响应事务接口			
rx_resp_trac_ready_i	input	1	接收响应事务接口的握手信号, 当 rx_resp_trac_ready_i 为高且 rx_resp_trac_valid_o 为高时, 总线上的数据有效。
rx_resp_trac_valid_o	output	1	接收响应事务接口的数据有效指示, 高电平有效, 为高表示总线上的数据有效。
rx_resp_trac_last_o	output	1	接收响应事务接口的包尾指示信号, 高电平有效, 当 rx_resp_trac_ready_i 为高且 rx_resp_trac_valid_o 为高且 rx_resp_trac_last_o 为高时表示事务包的最后一个时钟周期。
rx_resp_trac_data_o	output	[63:0]	接收响应事务接口的数据, 包含事务包 (packet) 的 header 信息和 data。
rx_resp_trac_id_info_o	output	[N-1:0]	接收响应事务接口事务包 (packet) 对应的 ID 信息, 位宽与 GUI 选项“Device ID Width”有关。 <ul style="list-style-type: none"> ● GUI 选项 “Device ID Width”为 8bit 时, N 为 16, 其中[7:0]对应目的器件 ID (Destination ID), 其中[15:8]对应源器件 ID (Source ID)。 ● GUI 选项“Device ID Width”为 16bit 时, N 为 32, 其中[15:0]对应目的器件 ID (Destination ID), 其中[31:16]对应源器件 ID (Source ID)。
IP 核控制接口			
force_reinit_i	input	1	触发 PHY 层重新进行初始化, 高电平有效, 在 srio_ui_clk_o 时钟域下至少持续 2 个时钟周期。

端口名称	I/O	位宽	描述
phy_tx_mce_i	input	1	触发 PHY 层发送多播事件 (Multicast-event) 控制符号(Control Symbol), 高电平有效, 在 srio_ui_clk_o 时钟域下至少持续 1 个时钟周期。
phy_tx_link_reset_i	input	1	触发 PHY 层发送链路复位 (link-request/reset-device) 控制符号 (Control Symbol), 高电平有效。在 srio_ui_clk_o 时钟域下将 phy_tx_link_reset_i 置成高电平执行链路复位操作, 需要等 port_initialized_o 拉低, 确定对端完成复位后, 再重新将 phy_tx_link_reset_i 置成低电平。
IP 核状态信号			
port_initialized_o	output	1	端口初始化完成信号, 高有效。
link_initialized_o	output	1	链路初始化完成信号, 高有效。
phy_rx_mce_o	output	1	phy 层接收到多播事件 (Multicast-event) 控制符号(Control Symbol)标识, 高有效。在 srio_ui_clk_o 时钟域下每 1 个时钟周期表示收到一个多播事件控制符号。
phy_rx_link_reset_o	output	1	phy 层接收到至少 4 个连续的链路复位 (link-request/reset-device) 控制符号 (Control Symbol), 高有效。当至少收到 4 个连续的链路复位控制符号后, IP 会执行复位操作。
port_error_o	output	1	端口出错指示, 高有效。
port_timeout_o	output	[23:0]	端口响应超时值, 由 CSRs 里的 Port Response Timeout Control 寄存器控制。
srio_host_o	output	1	表示系统是 Host 设备, 高电平有效, 由 CSRs 里的 Port General Control 寄存器控制。
master_enable_o	output	1	Master 使能信号, 高电平有效, 由 CSRs 里的 Port General Control 寄存器控制。
port_decode_error_o	output	1	端口解码出错标识, 表示逻辑层接收到了不支持的事务类型, 高电平有效。
device_id_o	output	[15:0]	本地设备的 ID 信息, 由 CSRs 里的 Base Device ID 寄存器控制。
debug_info_o	output	[31:0]	PHY 层 Debug 信息 <ul style="list-style-type: none"> ● bit0~15, rsv ● bit16~20, 期望下一个接收包的确认标识符。(The value of the ackID field expected in the next packet the port receives.) ● bit21~23, rsv ● bit24~28, 端口状态:

端口名称	I/O	位宽	描述
			<ul style="list-style-type: none"> - 5'd2 表示端口遇到无法恢复的错误，无法接收数据包。(The port has encountered an unrecoverable error and is unable to accept packets.) - 5'd4 表示端口已重试数据包，并且正在输入重试停止状态下等待重新启动。(The port has retried a packet and is waiting in the input retry-stopped state to be restarted.) - 5'd5 表示端口遇到传输错误，正在输入错误停止状态下等待重新启动。(The port has encountered a transmission error and is waiting in the input error-stopped state to be restarted.) - 5'd16 表示端口正常接收包。(The port is accepting packets.) - 5'd0 表示复位状态。 <ul style="list-style-type: none"> ● bit29~30, rsv ● bit31, 链路多通道对齐指示，高电平有效
rxbuf_rewind_o	output	1	接收方向发生重传指示，高有效。
txbuf_rewind_o	output	1	发送方向发生重传指示，高有效。
配置接口			
cfg_sel_i	input	1	片选使能信号，时钟域为 <code>cfg_clk_i</code> 。
cfg_wr_i	input	1	写控制信号，高表示当前操作为写操作。时钟域为 <code>cfg_clk_i</code> 。
cfg_ena_i	input	1	传输使能信号，高表示当前传输有效。时钟域为 <code>cfg_clk_i</code> 。
cfg_addr_i	input	[21:0]	地址线，字节地址。时钟域为 <code>cfg_clk_i</code> 。
cfg_wdata_i	input	[31:0]	写数据总线，时钟域为 <code>cfg_clk_i</code> 。
cfg_strb_i	input	[3:0]	字节有效指示，目前 IP 保留未用，时钟域为 <code>cfg_clk_i</code> 。
cfg_rdy_o	output	1	Ready 信号，时钟域为 <code>cfg_clk_i</code> ，时钟域为 <code>cfg_clk_i</code> 。
cfg_rdata_o	output	[31:0]	读数据总线，时钟域为 <code>cfg_clk_i</code> 。
cfg_slverr_o	output	1	总线出错指示，在 <code>cfg_rdy_o</code> 为高时有效。时钟域为 <code>cfg_clk_i</code> 。
maintenance_interrupt_o	output	1	维护事务中断指示，目前 IP 保留未用。时钟域为 <code>cfg_clk_i</code> 。
maintenance_timeo	output	1	维护事务超时指示，高电平有效，表示配置

端口名称	I/O	位宽	描述
ut_o			接口请求的事务超时未收到正确的应答。时钟域为 <code>cfg_clk_i</code> 。
用户侧控制 SerDes 相关接口			
gtr12_rstn_i	input	1	SerDes 通道复位信号，低有效，同时复位 IP 对应的所有 lane。
gtr12_pcs_tx_rst_i	input	1	SerDes PCS 层发送方向复位，高有效，同时复位 IP 对应的所有 lane。
gtr12_pcs_rx_rst_i	input	1	SerDes PCS 层接收方向复位，高有效，同时复位 IP 对应的所有 lane。
gtr12_align_link_o	output	[N-1:0]	SerDes 通道对齐状态，高表示链路正常，位宽和选项 Lane Width 选择的通道数对应，x1 时位宽为 1 bit，x2 时位宽为 2 bits，x4 时位宽为 4 bits。
gtr12_k_lock_o	output	[N-1:0]	SerDes 通道 K 码锁定状态，高表示链路正常，位宽和选项 Lane Width 选择的通道数对应，x1 时位宽为 1 bit，x2 时位宽为 2 bits，x4 时位宽为 4 bits。
gtr12_pma_rx_lock_o	output	[N-1:0]	SerDes 通道接收 PMA 层锁定状态，高表示链路正常，位宽和选项 Lane Width 选择的通道数对应，x1 时位宽为 1 bit，x2 时位宽为 2 bits，x4 时位宽为 4 bits。
gtr12_pll_ok_o	output	[N-1:0]	SerDes PLL 锁定状态，高表示时钟锁定。 <ul style="list-style-type: none"> 在配置界面的选项 PLL_Selection 选择 QPLL1 或 QPLL0 时，位宽为 1bit。 在配置界面的选项 PLL_Selection 选择 CPLL 时，位宽和选项 Lane Width 选择的通道数对应，x1 时位宽为 1 bit，x2 时位宽为 2 bits，x4 时位宽为 4 bits。
gtr12_pll_ck_ref_o	output	1	SerDes PLL 参考时钟输出。用户用此时钟作为系统 PLL 的参考时钟，重新产生 IP 的工作时钟，具体参照参考设计。
gtr12_rx_fifo_rdusewd_o	output	[N-1:0]	SerDes 通道接收 FIFO 读写两端的指针差异，位宽和选项 Lane Width 选择的通道数对应： <ul style="list-style-type: none"> x1 时位宽为 5 bits x2 时位宽为 10 bits x4 时位宽为 20 bits
gtr12_tx_fifo_wrusewd_o	output	[N-1:0]	SerDes 通道发送 fifo 读写两端的指针差异，位宽和选项 Lane Width 选择的通道数对应： <ul style="list-style-type: none"> x1 时位宽为 5 bits x2 时位宽为 10 bits x4 时位宽为 20 bits
gtr12_tx_pcs_clk_o	output	1	SerDes 输出发送方向 PCS 层时钟
gtr12_rx_pcs_clk_o	output	1	SerDes 输出接收方向 PCS 层时钟

端口名称	I/O	位宽	描述
SerDes 硬核接口			
SerDes_*	-	-	SerDes_开头的信号为 Serial RapidIO IP 与 SerDes 硬核连接信号, 用户可不关注, EDA 工具自动完成连线。

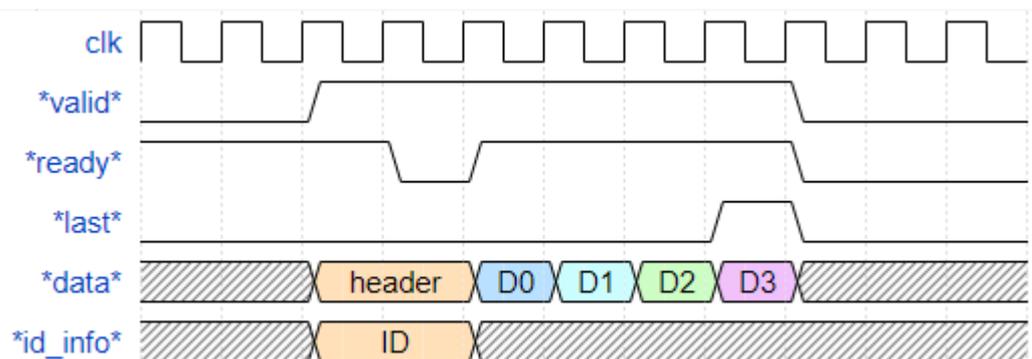
3.5 用户接口时序

3.5.1 I/O 事务接口时序图

Gowin Serial RapidIO IP 为 I/O 事务提供 **valid&ready** 的握手接口。I/O 事务指除了维护(Maintenance)事务外的其它事务, 包含读事务(NREAD)、写事务(NWRITE)、带响应写事务(NWRITE_R)、流写事务(SWRITE)、消息事务(MESSAGE)、门铃事务(DOORBELL)和应答事务(Response)。

接口事务如图 3-7 所示, 约定总线的第一个有效的时钟周期作为头信息(Header), 剩余时钟周期作为数据载荷。当 ***valid*** 与 ***ready*** 同时为高时, 当前的数据才有效, 其中第一个有效的时钟周期对应 Header 信息, Header 信息包含当前事务包的类型、事务包的长度、优先级等, 从第二个有效的时钟周期开始到有效的 ***last*** 信号, 则传输事务包的载荷。需要注意有些事务包类型是不需要载荷的, 此处 ***last*** 信号会出现在第一个有效的时钟周期处。***data*** 的位宽为 64bit, ***id_info*** 的位宽与 GUI 选择的 Device ID Width 有关。I/O 事务接口对应端口列表里的发送请求事务接口、发送响应事务接口、接收请求事务接口、接收响应事务接口。

图 3-7 I/O 事务接口时序图



头信息(Header)定义如图 3-8 所示。Header 信息位宽固定为 64 bits, 在每个事务包有效的第一个时钟周期传递。其中 R 表示保留字段(Reserved), E 表示错误(Error), FTYPE 表示包格式类型, SrcTID 表示源器件事务 ID, Ttype 表示事务类型, FTYPE 与 TTYPE 组合成唯一标识事务的格式, prio 表示优先级(priority), crf (Critical Request Flow) 表示关键请求流, addr 表示地址, Size 表示字节长度, msglen 表示组成 MESSAGE 序列的包数, msgseg 表示当前事务包代表的消息段, mailbox 表示当前事务包对应的邮箱。

图 3-8 Header 信息定义图

Packet Type	[63:56]	[55:48]		[47:40]			[39:32]			[31:24]	[23:16]	[15:08]	[07:00]			
NREAD	SrcTID 8	FTYPE2 4	TTYPE 4	R 1	prio 2	crf 1	Size-1 8	R 1	R 1	addr 34						
NWRITE	SrcTID 8	FTYPE5 4	TTYPE 4	R 1	prio 2	crf 1	Size-1 8	R 1	R 1	addr 34						
SWRITE	R 8	FTYPE6 4	R 4	R 1	prio 2	crf 1	R 8	R 1	R 1	addr 34						
DOORBELL	SrcTID 8	FTYPE10 4	R 4	R 1	prio 2	crf 1	R 8	R 1	R 1	R 2	Info MSB 8	Info LSB 8	R 16			
MESSAGE	msglen 4	msgseg 4	FTYPE11 4	R 4	R 1	prio 2	crf 1	Size-1 8	R 1	R 1	R 2	R 24		mailbox 6	R 2	letter 2
RESPONSE	Target info 8		FTYPE13 4	TTYPE 4	R 1	prio 2	crf 1	R 8	E 1	R 1	R 34					
	Target TID 8															

3.5.2 配置接口时序图

Gowin Serial RapidIO IP 提供配置接口，用户可通过配置接口访问本地 IP 内部寄存器或访问远端设备的寄存器，配置接口读时序如图 3-9 所示，写时序如图 3-10 所示。如果访问本地 IP 内部寄存器，发起配置请求后几个时钟周期就会响应返回结果。但如果访问远端设备的寄存器，则需等待较长时间才会响应返回结果，若超过本地寄存器设置的 timeout 值未收到响应，则会拉高 maintenance_timeout_o 端口一个电平，表示请求事务发生了超时。

图 3-9 cfg 接口读时序图

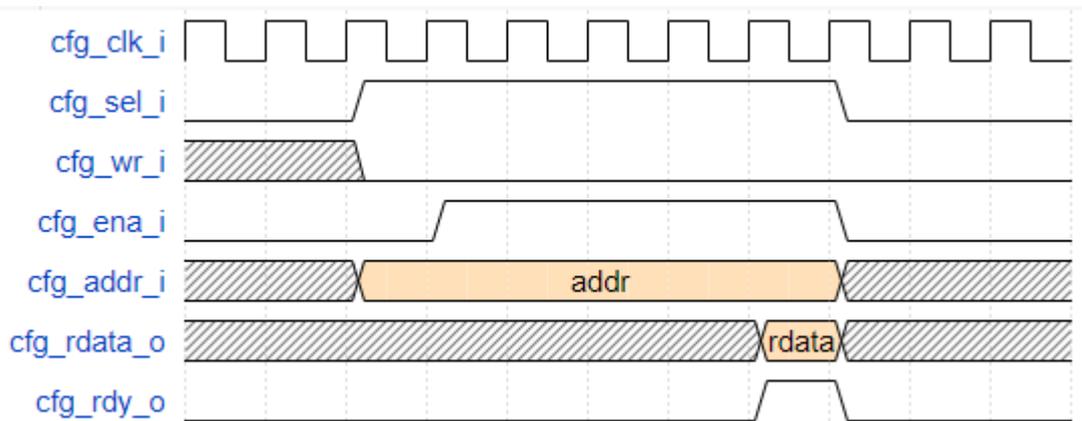
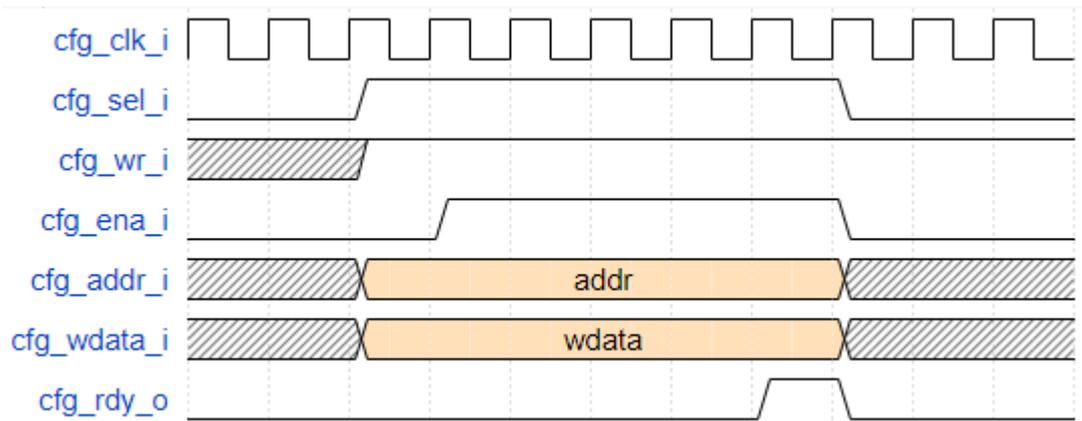


图 3-10 cfg 接口写时序图



3.6 寄存器接口

表 3-2 寄存器地址空间

地址空间 (Byte)	访问设备	描述
0x200000~0x3ffffc	远端设备	访问远端设备的寄存器地址空间，具体寄存器定义需参照远端设备的寄存器定义。 bit21 仅用于区分是访问本地设备还是远端设备。 bit21 为高电平表示访问远端设备，实际往远端设备发送的地址 (cfg_offset) 为低 21bit(bit0~bit20)。
0x000000~0x1ffffc	本地设备	访问本地设备的寄存器地址空间，具体寄存器定义参照下文介绍。 bit21 仅用于区分是访问本地设备还是远端设备。 bit21 为低电平表示访问本地设备，实际最终访问本地设备 IP srio_config 模块只有低 21bit(bit0~20)。

表 3-3 本地设备寄存器列表概述

地址 (Byte)	名称	类型	描述
0x00~0x3c CARs			
0x0	Device Identity CAR	RO	GUI 可配，参见 RapidIO 协议介绍。
0x4	Device Information CAR	RO	GUI 可配，参见 RapidIO 协议介绍。
0x8	Assembly Identity CAR	RO	GUI 可配，参见 RapidIO 协议介绍。
0xc	Assembly Information CAR	RO	GUI 可配，参见 RapidIO 协议介绍。
0x10	Processing Element Features CAR	RO	GUI 可配，参见 RapidIO 协议介绍。
0x14	Switch Port Information CAR	RO	rsv
0x18	Source Operations CAR	RO	源端支持的操作类型，目前固定成初始值，若有需要后续开放

地址 (Byte)	名称	类型	描述
			GUI 可配。
0x1c	Destination Operations CAR	RO	目的端支持的操作类型，目前固定成初始值，若有需要后续开放 GUI 可配。
0x20~0x3c	Reserved	-	-
0x40~0xfc CSRs			
0x40~0x48	Reserved	-	-
0x4c	Processing Element Logical Layer Control CSR	RO	支持的地址位宽。
0x50~0x54	Reserved	-	-
0x58	Local Configuration Space Base Address 0 CSR	RO	地址空间配置。
0x5c	Local Configuration Space Base Address 1 CSR	RW	地址空间配置。
0x60	Base Device ID CSR	RW	GUI 可配，设置设备 ID。
0x64	Reserved	-	-
0x68	Host Base Device ID Lock CSR	RW	用于初始化。
0x6c	Component Tag CSR	RW	组件标签值。
0x70~0xfc	Reserved	-	-
0x0100~0xffff 拓展地址			
0x100	LP-Serial Register Block Header	RO	地址空间配置。
0x104~0x11c	Reserved	-	-
0x120	Port Link Timeout Control CSR	RW	端口建链超时寄存器。
0x124	Port Response Timeout Control CSR	RW	端口响应超时寄存器。
0x128~0x138	Reserved	-	-
0x13c	Port General Control CSR	RW	GUI 可配。
0x140	Port n Link Maintenance Request CSR	RO	rsv
0x144	Port n Link Maintenance Response CSR	RO	rsv
0x148	Port n Local ackID CSR	RO	rsv
0x14c~0x1508	Reserved	-	-
0x154	Port n Control 2 CSR	RO	端口控制。

地址 (Byte)	名称	类型	描述
0x158	Port n Error and Status CSR	RO	端口出错情况和状态。
0x15c	Port n Control CSR	RW	端口控制状态。
0x160~0x3fc	Reserved	-	-
0x400	LP-Serial Lane Command and Status Registers	RO	拓展空间指示。
0x410/0x430/0x450/0x470	Lane n Status 0 CSRs	-	通道状态
0x414/0x434/0x454/0x474	Lane n Status 1 CSRs	RO	rsv
0x010000~0x1ffffc 自定义地址			
0x10000	Watermarks CSR	RW	rsv
0x10004	Buffer Control CSR	RO	缓存控制寄存器。
0x10100	Maintenance Request Information Register	RW	维护事务请求信息寄存器。
0x10104	Maintenance Request HopCount Register	RW	维护事务请求跳数设置 (hopcount) 寄存器。
0x10108	Maintenance Response Time-out Scale Register	RW	维护事务响应超时刻度寄存器。

注!

寄存器读写定义:

- RC 表示读清
- RO 表示只读
- RW 表示读写

3.6.1 Device Identity CAR (0x0)

表 3-4 Device Identity CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
DeviceIdentity	31:16	RO	GUI 可设置(选项“Device Identity for Endpoint”), 由设备供应商分配和管理。	0x0
DeviceVendorIdentity	15:0	RO	GUI 可设置(选项“Device Vendor Identity”), 由 RapidIO 贸易联盟分配给设备供应商。	0x0

3.6.2 Device Information CAR (0x4)

表 3-5 Device Information CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:12	RO	N/A	0x0
Major version	11:8	RO	大版本号	0x0
Minor Revision	7:4	RO	小版本号	0x0

名称	比特位	类型	描述	默认值
Patch	3:0	RO	BUG 修复标识	0x0

3.6.3 Assembly Identity CAR (0x8)

表 3-6 Assembly Identity CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
AssyIdentity	31:16	RO	GUI 可设置(选项“Assembly Identifier”), 由 RapidIO 贸易联盟唯一分配给设备供应商。	0x0
AssyVendorIdentity	15:0	RO	GUI 可设置(选项“Assembly Vendor Identifier”), 由设备供应商分配和管理。	0x0

3.6.4 Assembly Information CAR (0xc)

表 3-7 Assembly Information CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
AssyRev	31:16	RO	GUI 可设置(选项“Assembly Revision Level”), 由设备供应商分配和管理。	0x0
ExtendedFeaturesPtr	15:0	RO	扩展功能的起始地址。	0x100

3.6.5 Processing Element Features CAR (0x10)

表 3-8 Processing Element Features CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
Bridge	31	RO	GUI 可设置 (选项 “Processing Element Features”), 当前端点用作 Bridge 功能。	0x0
Memory	30	RO	GUI 可设置 (选项 “Processing Element Features”), 当前端点用作 Memory 功能。	0x0
Processor	29	RO	GUI 可设置 (选项 “Processing Element Features”), 当前端点用作 Processor 功能。	0x0
rsv	28	RO	N/A	0x0
rsv	27	RO	N/A	0x0
rsv	26:7	RO	N/A	0x0
rsv	6	RO	N/A	0x0
rsv	5	RO	N/A	0x0
common_trans_large_support	4	RO	GUI 可设置, 选项 “Device ID Width” 设置为 8 bits 则值为 1'b0。选项 “Device ID Width” 设置为 16 bits 则值为 1'b1。	0x0
Extended_features	3	RO	支持拓展功能, 值固定为 1'b1。	0x1

名称	比特位	类型	描述	默认值
Extended_addressing_support	2:0	RO	仅支持 34 bits 地址模式	0x1

3.6.6 Switch Port Information CAR (0x14)

表 3-9 Switch Port Information CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.7 Source Operations CAR (0x18)

表 3-10 Source Operations CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:16	RO	N/A	0x0
Source_Read	15	RO	置高电平，后续开放 GUI 可配	0x1
Source_Write	14	RO	置高电平，后续开放 GUI 可配	0x1
Source_Streaming_write	13	RO	置高电平，后续开放 GUI 可配	0x1
Source_Write_with_response	12	RO	置高电平，后续开放 GUI 可配	0x1
Source_Message	11	RO	置高电平，后续开放 GUI 可配	0x1
Source_Doorbell	10	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_compare_and_swap	9	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_test_and_swap	8	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_increment	7	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_decrement	6	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_set	5	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_clear	4	RO	置高电平，后续开放 GUI 可配	0x1
Source_Atomic_swap	3	RO	置高电平，后续开放 GUI 可配	0x1
rsv	2:0	RO	N/A	-

3.6.8 Destination Operations CAR (0x1c)

表 3-11 Destination Operations CAR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:16	RO	N/A	0x0
Destination_Read	15	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Write	14	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Streaming_write	13	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Write_with_response	12	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Message	11	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Doorbell	10	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_compare_and_swap	9	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_test_and_swap	8	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_increment	7	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_decrement	6	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_set	5	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_clear	4	RO	置高电平, 后续开放 GUI 可配	0x1
Destination_Atomic_swap	3	RO	置高电平, 后续开放 GUI 可配	0x1
rsv	2:0	RO	N/A	-

3.6.9 Processing Element Logical Layer Control CSR (0x4c)

表 3-12 Processing Element Logical Layer Control CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:3	RO	N/A	0x0
Extended_addressing_control	2:0	RO	支持 34bit 地址	0x1

3.6.10 Local Configuration Space Base Address 0 CSR (0x58)

表 3-13 Local Configuration Space Base Address 0 CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:3	RO	N/A	0x0

3.6.11 Local Configuration Space Base Address 1 CSR (0x5c)

表 3-14 Local Configuration Space Base Address 1 CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31	RO	N/A	0x0
LCSBA_ADDR1	30:21	RW	默认 0x3ff	0x3ff
rsv	20:0	RO	N/A	0x0

3.6.12 Base Device ID CSR (0x60)

表 3-15 Base Device ID CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:24	RO	N/A	0x0
Base_deviceID	23:16	RW	GUI 可设置 (选项 “Local Device ID”), Device ID Width 为 8 bits 时有效。	0xff
Large_base_deviceID	15:0	RW	GUI 可设置 (选项 “Local Device ID”), Device ID Width 为 16 bits 时有效。	0x00ff

3.6.13 Host Base Device ID Lock CSR (0x68)

表 3-16 Host Base Device ID Lock CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:16	RO	N/A	0x0
Host_base_deviceID	15:0	RW	用于初始化	0xffff

3.6.14 Component Tag CSR (0x6c)

表 3-17 Component Tag CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
component_tag	31:0	RW	组件标签值	0x0

3.6.15 LP-Serial Register Block Header (0x100)

表 3-18 LP-Serial Register Block 各个 bit 含义

名称	比特位	类型	描述	默认值
Extended_Features_Pointer	31:0	RO	下一个拓展空间的起始地址	0x400
Extended_Features_ID	15:0	RO	Hard-wired extended features ID	0x1

3.6.16 Port Link Timeout Control CSR (0x120)

表 3-19 Port Link Timeout Control CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
Port_Link_Timeout_Value	31:8	RW	端口建链超时值, GUI 可配(选项“Port Link Time-out Control”)。	0xffff
Rsv	7:0	RO	N/A	0x0

3.6.17 Port Response Timeout Control CSR (0x124)

表 3-20 Port Response Timeout Control CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
Port_Response_Timeout_Value	31:8	RW	端口响应超时值, GUI 可配(选项“Port Response Time-out Control”)。	0xffff
Rsv	7:0	RO	N/A	0x0

3.6.18 Port General Control CSR (0x13c)

表 3-21 Port General Control CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
Host	31	RW	GUI 可配(选项“Port General Control”)。	0xffff
Master_Enable	30	RW	GUI 可配(选项“Port General Control”)。	-
Discovered	29	RW	GUI 可配(选项“Port General Control”)。	-
rsv	28:0	RO	N/A	0x0

3.6.19 Port n Link Maintenance Request CSR (0x140)

表 3-22 Port n Link Maintenance Request CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.20 Port n Link Maintenance Response CSR (0x144)

表 3-23 Port n Link Maintenance Response CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.21 Port n Local ackID CSR (0x148)

表 3-24 Port n Local ackID CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.22 Port n Control 2 CSR (0x154)

表 3-25 Port n Control 2 CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:16	RO	N/A	0x0
Gbaud_Support_and_Enable	15:6	RO	GUI 选择的速率： <ul style="list-style-type: none"> ● 1.25Gbps – 10'b0001010111 ● 2.5Gbps – 10'b0001011101 ● 3.125Gbps – 10'b0001110101 ● 5Gbps – 10'b0011010101 	N/A
rsv	5:4	RO	N/A	0x0
Select_Baudrate	3:0	RO	GUI 选择的速率： <ul style="list-style-type: none"> ● 4'b0000 - no rate selected ● 4'b0001 - 1.25 Gbps ● 4'b0010 - 2.5 Gbps ● 4'b0011 - 3.125 Gbps ● 4'b0100 - 5.0 Gbps ● 4'b0101 - 6.25 Gbps ● 4'b0110 – 4'b1111 - Reserved 	-

3.6.23 Port n Error and Status CSR (0x158)

表 3-26 Port n Error and Status CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:21	RO	N/A	0x0
Output_Retry_encountered	20	RC	端口发生过 Output Retry-Stopped 状态，高电平有效。	0x0
output_port_retry_2d	19	RO	指示 Output Retry-Stopped 为最后一个响应包，高电平有效。	0x0
output_port_retry_stopped_2d	18	RO	端口处在 Output Retry-Stopped 状态，高电平有效。	0x0
Output_Error_encountered	17	RC	端口发生过 output error 状态，高电平有效。	0x0
output_port_error_2d	16	RO	端口处在 output error 状态，高电平有效。	0x0
rsv	15:11	RO	N/A	0x0
Input_Retry_Stopped_2d	10	RO	端口处在 Input Retry-Stopped 状态，高电平有效。	0x0
Input_Error_encountered	9	RC	端口发生过 Input	0x0

名称	比特位	类型	描述	默认值
			Error-Stopped 状态, 高电平有效。	
Input_Error_Stopped_2d	8	RO	端口处在 Input Error-Stopped 状态, 高电平有效。	0x0
rsv	7:3	RO	N/A	0x0
Port_Error_encountered	2	RC	端口发生过错误, 高电平有效。	0x0
Port_OK_2d	1	RO	链路完成建链, 高电平有效。	0x0
Port_un_initialized_2d	0	RO	链路未完成初始化, 高电平有效。	0x0

3.6.24 Port n Control CSR (0x15c)

表 3-27 Port n Control CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
Port_Width	31:30	RO	端口位宽: <ul style="list-style-type: none"> ● 2'b00 – 1x ● 2'b01 – 4x ● 2'b10 – 2x ● 2'b11 – rsv 	0x0
Initialized_Port_Width	29:27	RO	初始化端口位宽: <ul style="list-style-type: none"> ● 3'b000 – 1x, lane0 ● 3'b001 – 4x, lane R ● 3'b010 – 4x ● 3'b011 – 2x ● 3'b100 – 3'b111 – rsv 	0x0
rsv	26:24	RO	N/A	0x0
Port_Disable	23	RW	端口无效使能	0x0
Output_Port_Enable	22	RW	输出端口使能	0x1
Input_Port_Enable	21	RW	输入端口使能	0x1
Error_Checking_Disable	20	RW	错误检查无效使能	0x0
Multi_cast_Event_Participant	19	RO	能接收 multi-cast 包	0x1
rsv	18:1	RO	N/A	0x0
Port_Type	0	RO	固定为 Serial Port	0x1

3.6.25 LP-Serial Lane Command and Status Registers (0x400)

表 3-28 LP-Serial Lane Command and Status Registers 各个 bit 含义

名称	比特位	类型	描述	默认值
Next_Extended_Features_Pointer	31:16	RO	下个扩展功能起始地址	0x900
Next_Extended_Features_ID	15:0	RO	下一个扩展功能 ID	0xd

3.6.26 Lane n Status 0 CSRs (0x410/0x430/0x450/0x470)

表 3-29 Lane n Status 0 CSRs 各个 bit 含义

名称	比特位	类型	描述	默认值
Lane#_Port_Number	31:24	RO	通道端口号	0x0
Lane#_Lane_Number	23:20	RO	通道号	0x0
rsv	19:15	RO	N/A	0x0
Lane#_Receiver_Trained	14	RO	指示接收通道完成均衡器自适应 (rcvr_trained), 高电平有效。	0x0
Lane#_Receiver_Lane_Sync	13	RO	指示接收通道完成同步, 高电平有效。	0x0
Lane#_Receiver_Lane_Ready	12	RO	指示接收通道 ready 接收数据, 高电平有效。	0x0
Lane#_decoding_8b10b_errors_async_cfg_2d	11:8	RC	指示接收通道解码错误统计	0x0
Lane#_sync_State_Change	7	RC	指示接收通道 lane_sync 状态发生过改变	0x0
Lane#_rcvr_trained_State_Changed	6	RC	指示接收通道 rcvr_trained 状态发生过改变	-
Rsv	5:0	RO	N/A	0x0

3.6.27 Lane n Status 1 CSRs (0x414/0x434/0x454/0x474)

表 3-30 Lane n Status 1 CSRs 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.28 Watermarks CSR (0x10000)

表 3-31 Watermarks CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.29 Buffer Control CSR (0x10004)

表 3-32 Buffer Control CSR 各个 bit 含义

名称	比特位	类型	描述	默认值
rx_flow_control_only	31	RO	支持接收流控	0x1
rsv	30	RO	N/A	0x0
tx_flow_control	29	RO	暂不支持	0x0
tx_request_reorder	28	RO	暂不支持	0x0
rsv	27	RO	N/A	0x0
tx_buffer_size	26:16	RO	GUI 设置（选项“TX Buffer Depth” 0	0x10
force_rx_flow_control	15	RO	暂不支持	0x0
rsv	14:8	RO	N/A	0x0
rx_buffer_size	7:0	RO	GUI 设置（选项“RX Buffer Depth”）	0x10

3.6.30 Maintenance Request Information Register (0x10100)

表 3-33 Maintenance Request Information Register 各个 bit 含义

名称	比特位	类型	描述	默认值
o_maint_req_tid	31:24	RW	发送维护（Maintenance）事务包里 srcTID 字段	0x0
rsv	23:19	RO	N/A	0x0
o_maint_req_prio	18:17	RW	发送维护（Maintenance）事务包里 prio 字段	0x1
o_maint_req_crf	16	RW	发送维护（Maintenance）事务包里 crf 字段	0x0
o_maint_req_destid	15:0	RW	发送维护（Maintenance）事务包里 Destination ID 字段	0x0

3.6.31 Maintenance Request HopCount Register (0x10104)

表 3-34 Maintenance Request HopCount Register 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:8	RO	N/A	0x0
o_maint_hop_count	7:0	RW	发送维护（Maintenance）事务包里 hop count 字段	0x0

3.6.32 Maintenance Response Time-out Scale Register (0x10108)

表 3-35 Maintenance Response Time-out Scale Register 各个 bit 含义

名称	比特位	类型	描述	默认值
rsv	31:8	RO	N/A	0x0
maint_resp_timeout_scale	7:0	RW	发送维护（Maintenance）事务包响应超时刻度，和寄存器 0x124 配合使用。0x124	0x2

名称	比特位	类型	描述	默认值
			<p>寄存器对应的超时值为 M，0x10108 寄存器对应的刻度为 N，则在 <code>cfg_clk_i</code> 时钟域下判定超时的 clock 个数为 M*N。</p> <p>例如配置时钟域为 10M，0x124 寄存器对应的值为 0xffff，0x10108 的值为 0x2，则对应的响应超时时间为 $16777216 * 2 * 100ns = 3355443200ns \approx 3.35second$。</p>	

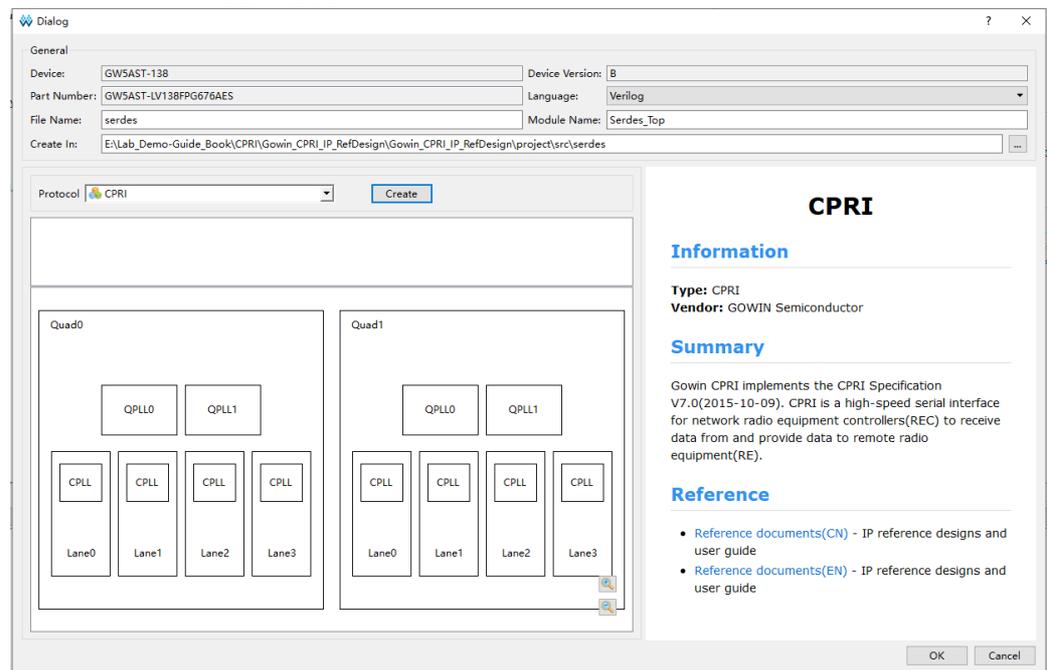
4 界面配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin Serial RapidIO IP。

1. 打开 SerDes IP

用户建立工程后,单击左上角 Tools 选项卡,下拉单元 IP Core Generator 选项,打开 Gowin IP Core Generator。然后找到 Soft IP Core 目录下的 SerDes, 双击打开 SerDes IP。

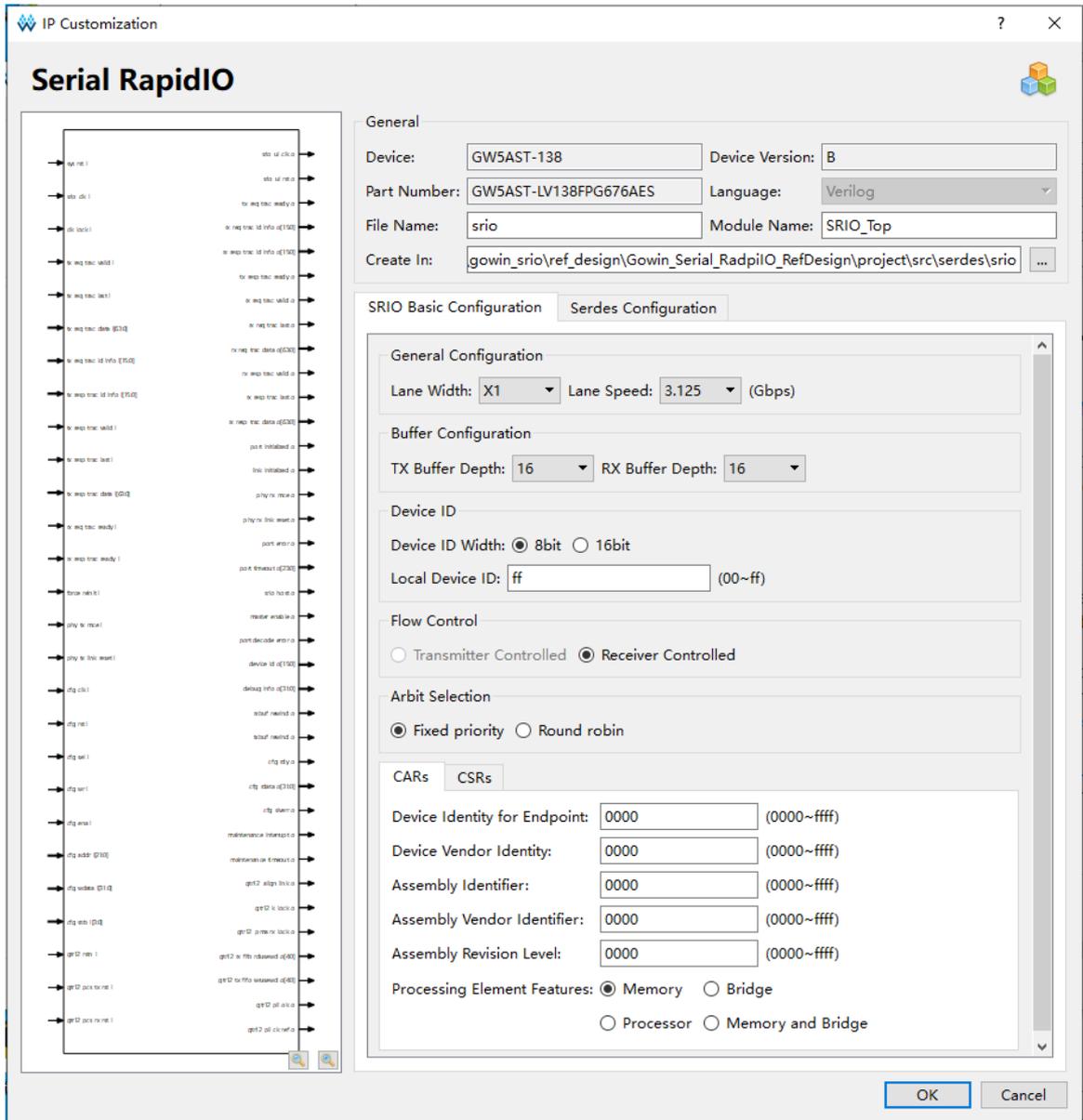
图 4-1 SerDes IP 配置界面



2. 打开 Serial RapidIO IP

用户打开 SerDes IP 后,在 Protocol 下拉列表中找到 Serial RapidIO, 点击 “Create” 即可打开 Serial RapidIO IP 协议配置界面。

图 4-2 Gowin Serial RapidIO IP 配置界面



3. 配置 Serial RapidIO IP 协议

Serial RapidIO IP 配置界面如图 4-3、图 4-4、图 4-5、图 4-6 和图 4-7 所示，包括“SRIO Basic Configuration”、“SerDes Configuration”、“AFE”和“Optional Ports Configuration”选项。各个参数的含义如表 4-1 介绍。选择完 Serial RapidIO IP 参数后，点击“OK”按钮，即可生成 Serial RapidIO IP 协议相关的配置。

4. 完成 SerDes IP 配置

用户在 SerDes IP 界面，完成所有协议的配置后，点击“OK”按钮，完成 SerDes IP 的生成。SerDes IP 顶层文件中，srio_前缀的信号即为 Serial RapidIO IP 的相关信号。

图 4-3 IP 协议配置界面 1

SRIO Basic Configuration Serdes Configuration

General Configuration

Lane Width: X1 Lane Speed: 3.125 (Gbps)

Buffer Configuration

TX Buffer Depth: 16 RX Buffer Depth: 16

Device ID

Device ID Width: 8bit 16bit

Local Device ID: ff (00~ff)

Flow Control

Transmitter Controlled Receiver Controlled

Arbit Selection

Fixed priority Round robin

CARs CSRs

Device Identity for Endpoint: 0000 (0000~ffff)

Device Vendor Identity: 0000 (0000~ffff)

Assembly Identifier: 0000 (0000~ffff)

Assembly Vendor Identifier: 0000 (0000~ffff)

Assembly Revision Level: 0000 (0000~ffff)

Processing Element Features: Memory Bridge

Processor Memory and Bridge

图 4-4 IP 协议配置界面 2

The image shows a configuration window titled "Serdes Configuration" with two tabs: "SRIO Basic Configuration" and "Serdes Configuration". The "Serdes Configuration" tab is active. The window is divided into several sections:

- General Configuration:** Lane Width: X1, Lane Speed: 3.125 (Gbps).
- Buffer Configuration:** TX Buffer Depth: 16, RX Buffer Depth: 16.
- Device ID:** Device ID Width: 8bit (selected), 16bit. Local Device ID: ff (00~ff).
- Flow Control:** Transmitter Controlled, Receiver Controlled (selected).
- Arbit Selection:** Fixed priority (selected), Round robin.
- CARs / CSRs:** Port General Control: Host (checked), Master Enable (checked), Discovered (unchecked). Port Link Time-out Control: ffffff (0000~ffffff). Port Response Time-out Control: ffffff (0000~ffffff).

图 4-5 SerDes 配置界面

The image shows a software configuration window for SerDes. It has two tabs: "SRIO Basic Configuration" and "Serdes Configuration", with the latter being active. The configuration is organized into several sections:

- Channel Selection:** A group box containing four dropdown menus:
 - Channel0 Selection: Q0 Lane0
 - Channel1 Selection: Q0 Lane1
 - Channel2 Selection: Q0 Lane2
 - Channel3 Selection: Q0 Lane3
- Loopback Mode:** A dropdown menu set to "OFF".
- Line Rate:** A text input field containing "3.125" followed by "(Gbps)".
- Refclk Selection:** A group box containing three fields:
 - Reference Clock Source: Q0 REFCLK0
 - Reference Clock Frequency: 125.000 (MHz)
 - PLL Selection: QPLL0

A "Calculate" button is located in the bottom right corner of the configuration area.

图 4-6 AFE 配置界面

The screenshot displays the AFE configuration interface with four tabs: SRIO Basic Configuration, Serdes Configuration, AFE, and Optional Ports Configuration. The AFE tab is active, showing TX and RX configuration sections.

TX Configuration:

- Differential Swing: 900mV (dropdown)
- FFE Mode: Auto (dropdown)
- Cm: 0 (0~19)
- C0: 40 (21~40)
- C1: 0 (0~19)

RX Configuration:

- SD Threshold: 100mV (dropdown)
- Equalization Mode: Auto (dropdown)
- ATT: 7 (0~10)
- BOOST: 9 (0~15)
- BIAS: 7 (0~15)

图 4-7 Optional Ports Configuration 配置界面

The screenshot displays the Optional Ports Configuration interface with four tabs: SRIO Basic Configuration, Serdes Configuration, AFE, and Optional Ports Configuration. The Optional Ports Configuration tab is active, showing two sections:

- RX Clock Correction:** RX Clock Correction
- DRP Ports:** DRP Ports

表 4-1 Serial RapidIO IP 配置界面参数

参数名称	允许范围	默认值	描述
SRIO Basic Configuration			
Lane Width	x1、x2、x4	x1	选择 IP 通道数
Lane Speed	1.25Gbps、2.5Gbps、3.125Gbps、5Gbps	3.125Gbps	选择每个通道的线速率。 注！暂不支持选择 5Gbps x2/x4 模式；暂不支持选择 2.5Gbps/3.125Gbps x4 模式
TX Buffer Depth	8、16、32	16	设置发送缓存的深度
RX Buffer Depth	8、16、32	16	设置接收缓存的深度
Device ID Width	8 bits、16 bits	8 bits	选择设备 ID 的位宽
Local Device ID	0x00~0xff or 0x0000~0xffff	ff	设置设备 ID 的值
Flow Control	Transmitter Controlled、Receiver Controlled	Receiver Controlled	流控模式选择，目前只支持 Receiver Controlled
Arbit Selection	Fixed priority、Round robin	Fixed priority	发送仲裁优先级选择
Device Identity for Endpoint	0x0000~0xffff	0000	参照 RapidIO 协议分配，对应寄存器 0x0
Device Vendor Identity	0x0000~0xffff	0000	参照 RapidIO 协议分配，对应寄存器 0x0
Assembly Identity	0x0000~0xffff	0000	参照 RapidIO 协议分配，对应寄存器 0x8
Assembly Vendor Identifier	0x0000~0xffff	0000	参照 RapidIO 协议分配，对应寄存器 0x8
Assembly Revision Level	0x0000~0xffff	0000	参照 RapidIO 协议分配，对应寄存器 0xC
Processing Element Features	Memory、Bridge、Processor、Memory and Bridge	Memory	参照 RapidIO 协议分配，对应寄存器 0x10
Host	勾选、不勾选	勾选	参照 RapidIO 协议分配，对应寄存器 0x10
Master Enable	勾选、不勾选	勾选	参照 RapidIO 协议分配，对应寄存器 0x10
Port Link Time-out Control	0x0000~0xffff	ffff	设置端口超时值。参照 RapidIO 协议分配，对应寄存器 0x120
Port Response Time-out Control	0x0000~0xffff	ffff	设置端口应答超时值。参照 RapidIO 协议分配，对应寄存器 0x124
PHY Configuration			
Channel0 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane0	SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。 注！GUI 可选的通道数与选项“Lane Width”关联；同一个 IP 选择的通道需要在同一个 Quad。
Channel1 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、	Q0 Lane1	SerDes 通道选择，Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3

参数名称	允许范围	默认值	描述
	Q1 Lane0、Q1 Lane1、 Q1 Lane2、Q1 Lane3、		表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel2 Selection	Q0 Lane0、Q0 Lane1、 Q0 Lane2、Q0 Lane3、 Q1 Lane0、Q1 Lane1、 Q1 Lane2、Q1 Lane3、	Q0 Lane2	SerDes 通道选择，Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel3 Selection	Q0 Lane0、Q0 Lane1、 Q0 Lane2、Q0 Lane3、 Q1 Lane0、Q1 Lane1、 Q1 Lane2、Q1 Lane3、	Q0 Lane3	SerDes 通道选择，Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Loopback Mode	OFF、LB_NES、 LB_FES、LB_ENC	OFF	SerDes 环回模式选择： <ul style="list-style-type: none"> ● OFF 表示 Normal 模式，SerDes 数据正常收发。 ● LB_NES, SerDes 自环，数据从 SerDes 的发送环回给接收。 ● LB_ENC, SerDes 自环，数据从 SerDes 的发送环回给接收。 ● LB_FES, SerDes 外环，数据从 SerDes 的接收环回给发送。
Reference Clock Source	<ul style="list-style-type: none"> ● 若器件为 GW5AST-138/GW5AT-138/GW5AT-75 Q0 REFCLK0、 Q0 REFCLK1、 Q1 REFCLK 0、 Q1 REFCLK 1 ● 若器件为 GW5AT-60 Q0 REFCLK0、 Q0 REFCLK1、 Q0 REFCLK2、 Q0 REFCLK3、 SERDES Q0CLKIN0、 SERDES Q0CLKIN1、 SERDES Q0CLKIN2、 SERDES Q0CLKIN3 	Q0 REFCLK0	<ul style="list-style-type: none"> ● 若器件为 GW5AST-138/GW5AT-138/GW5AT-75 高速收发器的参考时钟选择，Q0/Q1 对应 SerDes 的两个 Quad。REFCLK0 和 REFCLK1 对应 SerDes 每个 Quad 的两路输入参考时钟。用户可根据应用选择输入参考时钟。 ● 若器件为 GW5AT-60 高速收发器的参考时钟选择，Q0REFCLK0、Q0REFCLK1、Q0REFCLK2、Q0REFCLK3 对应 Quad0 的 4 路输入参考时钟。SERDES Q0CLKIN0、SERDES Q0CLKIN1、SERDES Q0CLKIN2、SERDES Q0CLKIN3 对应专门的 GPIO 管脚输入参考时钟。不同封装的芯片对应可选的输入参考时钟会有差异。
Reference Clock Frequency	用户输入	125M	输入的高速收发器的参考时钟，输入参考时钟后，可点击“Calculate”按钮，确认频率是否正确。
PLL Selection	QPLL0 、QPLL1、 CPLL	QPLL0	PLL 选择

参数名称	允许范围	默认值	描述
AFE			
Differential Swing	100mV~900mV	900mV	配置发送差分信号摆幅 V_{diffpp} , $V_{diffpp}=2xV_{diff}$
FFE Mode	Auto、Manual	Auto	配置发送 FFE 模式 <ul style="list-style-type: none"> ● Auto:自动模式 ● Manual:手动模式
Cm	0~19	0	发送 FFE pre-cursor
C0	21~40	40	发送 FFE main-cursor
C1	0~19	0	发送 FFE post-cursor
SD Threshold	25mV~200mV	100mV	接收差分信号 SD 门限
Equalization Mode	Auto、Manual	Auto	配置接收均衡模式 <ul style="list-style-type: none"> ● Auto:自动模式 ● Manual:手动模式
ATT	0~10	7	调整接收中频衰减,数值越小表示衰减越大。
BOOST	0~15	9	调整接收高频放大,数值越大表示增益越大。
BIAS	0~15	7	配置 SerDes 对接收信号的放大参数。配置越高,对信号的放大作用越强。
Optional Ports Configuration			
RX Clock Correction	勾选、不勾选	不勾选	环回端口选择: <ul style="list-style-type: none"> ● 若勾选,则 IP 支持 CTC 功能。 ● 若不勾选,则 IP 不支持 CTC 功能。
DRP Ports	勾选、不勾选	不勾选	DRP 端口选择: <ul style="list-style-type: none"> ● 若勾选,则 IP 输出 DRP 端口。端口支持访问 SerDes 内部的寄存器。 ● 若不勾选,则 IP 不输出此端口。

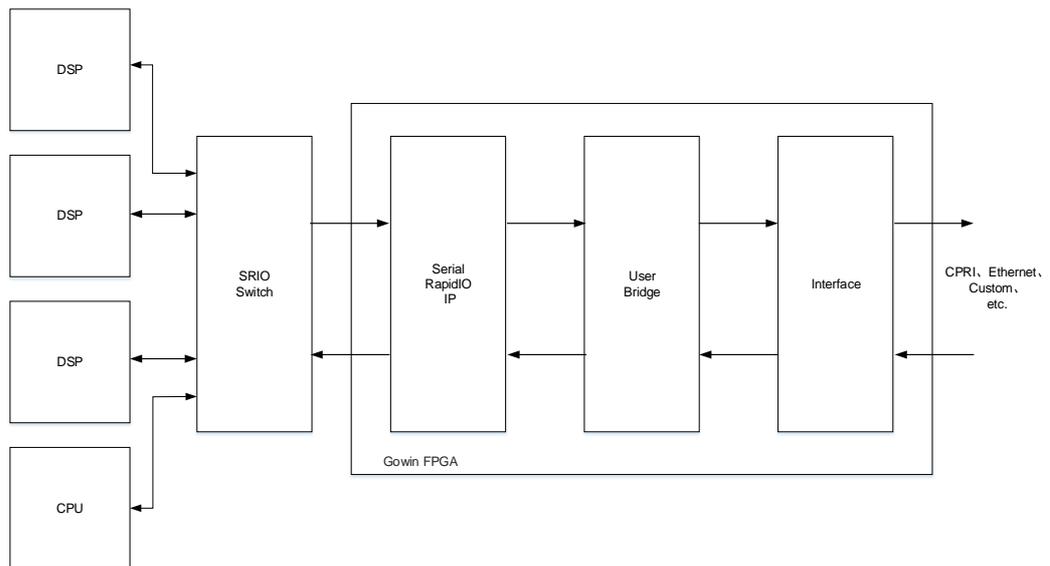
5 参考设计

详细信息请参见高云半导体官网 [Serial RapidIO 相关参考设计](#)。

5.1 应用

RapidIO 协议是一种高性能、低引脚数、基于数据包交换的互联体系结构，是为满足高性能嵌入式系统需求而设计的一种开放式互连技术标准。如图 5-1 所示为应用实例，Serial RapidIO IP 通过交换板与其它 Serial RapidIO 端点（Endpoint）设备进行通讯。

图 5-1 应用示例框图



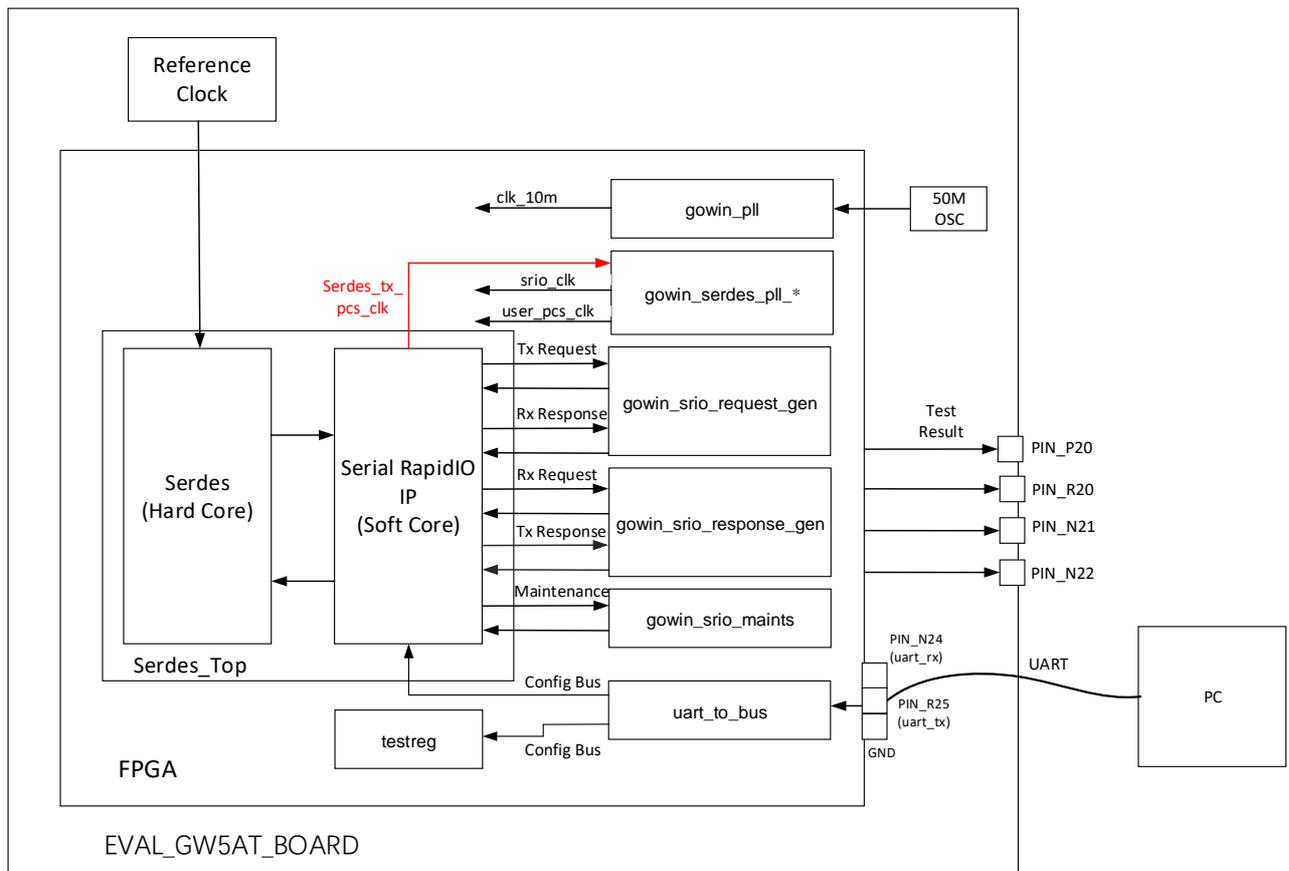
5.2 Serial RapidIO IP 参考设计工程

Gowin Serial RapidIO IP 参考设计包含 Serdes IP 模块(含 Serial RapidIO IP 软核)、时钟与复位、功能测试模块和调试模块：

- `uart_to_bus`: 将 UART 串口转成 FPGA 内部配置总线接口，便于读或者写寄存器，便于单板调测。
- `testreg`: 维护一组内部寄存器，用户访问可获取链路状态。
- `gowin_pll`: 单板内部 50MHz 晶振锁出配置模块的工作时钟。

- **gowin_serdes_pll_1p25g**: 使用 SerDes 输出给 Fabric 侧的 pcs 时钟, 作为 PLL 参考时钟锁出 IP 工作时钟, 用于 IP Lane Speed 配置为 1.25Gbps 线速率时。具体线速率和时钟频率对应关系, 可参照表 3-1 的 srio_clk_i 信号描述。
- **gowin_serdes_pll_2p5g**: 使用 SerDes 输出给 Fabric 侧的 pcs 时钟, 作为 PLL 参考时钟锁出 IP 工作时钟, 用于 IP Lane Speed 配置为 2.5Gbps 线速率时。具体线速率和时钟频率对应关系, 可参照表 3-1 的 srio_clk_i 信号描述。
- **gowin_serdes_pll_3p125g**: 使用 SerDes 输出给 Fabric 侧的 pcs 时钟, 作为 PLL 参考时钟锁出 IP 工作时钟, 用于 IP Lane Speed 配置为 3.125Gbps 线速率时。具体线速率和时钟频率对应关系, 可参照表 3-1 的 srio_clk_i 信号描述。
- **gowin_serdes_pll_5g**: 使用 SerDes 输出给 Fabric 侧的 pcs 时钟, 作为 PLL 参考时钟锁出 IP 工作时钟, 用于 IP Lane Speed 配置为 5Gbps 线速率时。具体线速率和时钟频率对应关系, 可参照表 3-1 Gowin Serial RapidIO IP 端口列表的 srio_clk_i 信号描述。
- **gowin_srio_request_gen**: 本地设备向远端设备发送请求事务, 并校验远端设备返回的响应事务, 最终输出测试完成指示和接收错误指示。
- **gowin_srio_response_gen**: 本地设备接收远端设备发送的请求事务, 并按事务类型产生响应事务发送给远端设备。
- **gowin_srio_maints**: 产生维护事务, 读取本地设备寄存器和远端设备寄存器。
- **Serdes_Top**: 模块包含 SerDes 硬核和 Serial RapidIO IP 软核, Gowin EDA 工具自动完成 SerDes 硬核与 Serial RapidIO IP 的连线, 用户只需关注封装后 SerDes 顶层的接口。

图 5-2 参考设计实例基本结构图



5.3 参考设计板测一

Gowin 目前提供的参考设计为单个 Serial RapidIO IP 的 SerDes 自环测试，便于用户不依赖于子卡能快速的熟悉 Gowin Serial RapidIO IP 的接口、时序和功能。

参考工程板测的步骤如下：

- 从官网下载工程，编译生成 fs 文件
- 搭建环境如图 5-3 所示
- 下载 fs 到单板
- 按下 SW1 (PIN_L25) 按钮开始测试
- 确认测试结果，有两种方法：

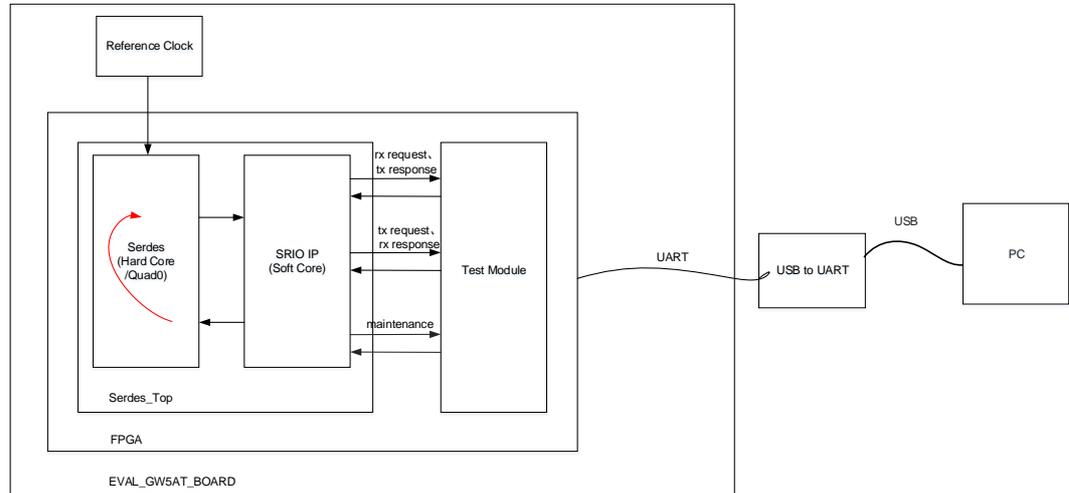
方法一：观察 LED 灯确认测试结果。

- LED0(PIN_P20)：常亮表示板上 50M 晶振作为参考的 PLL 锁定，同时表示 Serdes 输出参考时钟作为参考的 PLL 锁定。
- LED1(PIN_R20)：常亮表示 SRIO IP 内部完成 port_initialized 和 link_initialized。

- LED2(PIN_N21): 常亮表示完成发送所有请求事务包。
- LED3(PIN_N22): 常亮表示校验所有接收的应答事务包正确。

方法二：通过串口工具读取寄存器，确认链路状态和测试结果。

图 5-3 板测一测试环境框图



PC 通过串口工具可访问参考设计的 `testreg` 模块寄存器和 `Serial RapidIO IP` 寄存器和远端设备的寄存器。`testreg` 的地址空间为 `0x000000~0x3ffffc`(字节地址)，`Serial RapidIO IP` 本地设备的地址空间为 `0x400000~0x5ffffc`(字节地址)，`Serial RapidIO IP` 远端设备的地址空间为 `0x600000~0x7ffffc`(字节地址)。

环境搭好后，在串口工具输入“R 0”，会显示寄存器值，如图 5-4 所示。输入“W 0 value”，会将 `value` 对应的寄存器值写入寄存器，重新回读“R 0”，则寄存器变成重新写入的值。

注！

通过串口工具操作的寄存器地址为字地址，字地址乘以 4 等于寄存器列表里的字节地址。例如 R2，表示读字地址 0x2，对应寄存器列表里的 0x8 字节地址。

表 5-1 `testreg` 寄存器列表

地址(Byte)	类型	位宽	信号名称	描述
0x0	RW	[31:0]	test_reg	测试寄存器，可写入回读，确认寄存器读写功能
0x4	RO	[31:2]	Rsv.	N/A
	RW	[1:0]	loop_en	rsv
0x8	RO	[31:20]	Rsv.	N/A
	RO	[19:16]	lane_k_lock	通道 K 码锁定指示
	RO	[15:12]	lane_align_link	通道对齐指示
	RO	[11:8]	pma_rx_lock	通道 PMA 锁定指示
	RO	[7:4]	cmu_ok	SerDes PLL 锁定指示
	RO	[3:2]	Rsv.	N/A
	RO	[1]	Pll1_lock	Gowin_Serdes_pll* 锁定指示

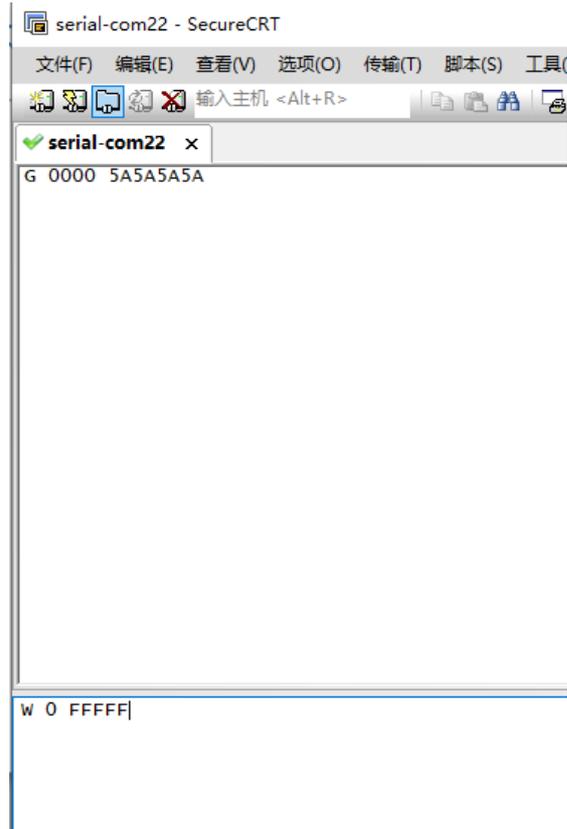
地址(Byte)	类型	位宽	信号名称	描述
	RO	[0]	pll0_lock	Gowin_pll 锁定指示
0xc	RO	[31:2]	Rsv.	N/A
	RO	[1]	link_initialized	IP 链路完成初始化指示
	RO	[0]	port_initialized	IP 端口完成初始化指示
0x10	RO	[31:1]	Rsv.	N/A
	RW	[0]	test_start_o	开始进行测试, 上升沿有效
0x14	RO	[31:3]	Rsv.	N/A
	RW	[2]	ln_pcs_rx_rst_o	SerDes 通道接收方向 PCS 复位
	RW	[1]	ln_pcs_tx_rst_o	SerDes 通道发送方向 PCS 复位
	RW	[0]	ln_rst_o	SerDes 通道 PMA 复位
0x18	RO	[31:4]	Rsv.	N/A
	RO	[3:2]	request_check_error	响应事务校验正确
	RO	[1:0]	request_done	完成发送请求事务指示
0x30	RO	[31:3]	Rsv.	N/A
	RW	[2]	force_reinit_o	触发 IP 重新初始化
	RW	[1]	phy_tx_link_reset_o	触发 IP 发送 link-reset 控制符
	RW	[0]	phy_tx_mce_o	触发 IP 发送 MCE 控制符
0x34	RO	[31:16]	Rsv.	N/A
	RO	[15:0]	srio_device_id_2d	当前本地设备 ID 值
0x40	RO	[31:2]	Rsv.	N/A
	RO	[1]	test_ok_2d	测试成功指示, 高电平有效
	RO	[0]	test_done_2d	测试完成指示, 高电平有效
0x41	RO	[31:16]	error_cnt_2d	测试发生错误计数器
	RO	[15:0]	done_cnt_2d	测试完成计数器

注!

寄存器读写定义:

- RO 表示只读
- RW 表示读写

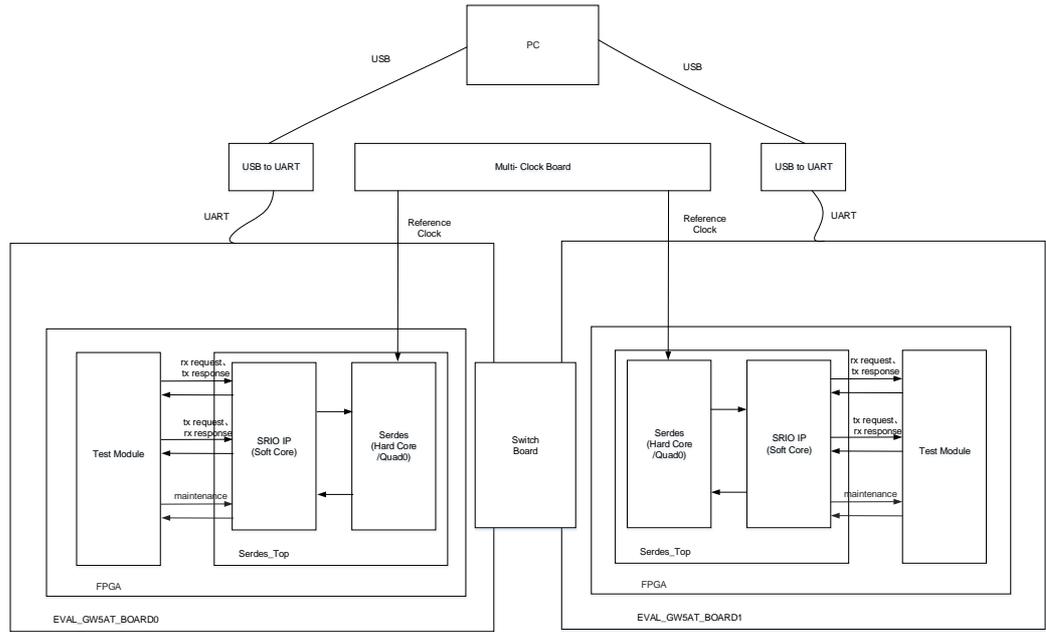
图 5-4 串口工具显示



5.4 参考设计板测二

Serial RapidIO IP 支持点对点的连接，[5.3 参考设计板测一](#)描述的为 SerDes 自环测试，用户也可修改参考工程，搭建环境进行单板对单板的对接测试。测试方法和 [5.3 参考设计板测一](#)描述一样，区别只在于环境搭建和 IP 环回设置。相比于 SerDes 自环测试，用户需要两块开发板进行对接，并加上 Gowin 的多时钟子卡和开发板连接子卡。

图 5-5 板测二测试环境框图



由于用户进行的是两块开发板的对接测试，所以需要更改参考设计 IP GUI 界面的环回设置，将选项“Loopback Mode”设置为 OFF 表示正常对接模式。

图 5-6 Serial RapidIO IP 板测二 GUI 设置



6 文件交付

Gowin Serial RapidIO IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1023, Gowin Serial RapidIO IP 用户指南	高云 Serial RapidIO IP 用户手册, 即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin Serial RapidIO IP 的 RTL 加密代码, 供 GUI 使用, 以配合高云半导体云源软件产生用户所需的 IP 核。

表 6-2 Gowin Serial RapidIO IP 设计源代码列表

名称	描述
srio_core_encryption.v	IP 核顶层文件, 给用户接口提供信息, 加密。

6.3 参考设计

Gowin Serial RapidIO IP RefDesign 文件夹主要包含 Gowin Serial RapidIO IP 的网表文件, 用户参考设计, 约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin Serial RapidIO IP RefDesign 文件夹内容列表

名称	描述
srio_board.v	参考设计的顶层 module
srio_ed_prj.cst	工程物理约束文件
srio_ed_prj.sdc	工程时序约束文件
srio_ed_prj.rao	工程抓取文件
test	测试激励文件夹, 包含测试激励模块 gowin_srio_maints.v、

名称	描述
	gowin_srio_request_gen.v、 gowin_srio_response_gen.v 和 gowin_sdpram.v
SerDes	SerDes IP 文件夹, 包含 EDA 工具生成的 SerDes 相关文件和 srio 协议文件夹
debug	调测相关文件夹, 包含测试寄存器模块 testreg.v、 配置接口仲裁模块 cfg_2to1.v
uart_to_bus	生成的 uart to bus IP 文件, 用于将串口转成内部 配置总线
gowin_pll	PLL 模块文件夹, 包含五个 IP: <ul style="list-style-type: none"> ● gowin_pll: 使用外部输入 50MHz 时钟作为参考时钟, 锁出内部配置时钟。 ● gowin_serdes_pll_1p25g: 使用 SerDes 输出的 PCS 时钟作为 PLL 的参考时钟, 锁出内部 IP 工作时钟, 用于通道线速率 1.25G。 ● gowin_serdes_pll_2p5g: 使用 SerDes 输出的 PCS 时钟作为 PLL 的参考时钟, 锁出内部 IP 工作时钟, 用于通道线速率 2.5G。 ● gowin_serdes_pll_3p125g: 使用 SerDes 输出的 PCS 时钟作为 PLL 的参考时钟, 锁出内部 IP 工作时钟, 用于通道线速率 3.125G。 ● gowin_serdes_pll_5g: 使用 SerDes 输出的 PCS 时钟作为 PLL 的参考时钟, 锁出内部 IP 工作时钟, 用于通道线速率 5G。
fifo_sc_top	生成的 FIFO IP 文件, 用于 test 模块

