




Gowin Customized PHY IP 用户指南

IPUG1024-1.6.1,2024-11-08

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/07/21	1.0	初始版本。
2023/09/08	1.1	新增模拟前端（AFE）配置选项。
2023/10/12	1.2	<ul style="list-style-type: none">● 发送数据速率范围更新为 0.025Gbps~12.5Gbps;● 新增 TX Line Rate Ratio 配置选项和说明。
2024/03/07	1.3	新增 AFE 配置选项描述。
2024/04/12	1.4	新增 DRP 描述。
2024/05/17	1.5	新增 Clock Schematic 和 Reconfiguration 描述。
2024/11/01	1.6	支持 GW5AT-60 器件并新增相关描述。
2024/11/08	1.6.1	更新 3.6.1 10GBASER with FIFO 模式描述。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 主要特性	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.1.1 GW5AT-138	5
3.1.2 GW5AT-60	5
3.2 功能模块	6
3.2.1 发送	6
3.2.2 接收	7
3.3 时钟	8
3.3.1 发送时钟	8
3.3.2 接收时钟	8
3.4 数据	9
3.4.1 发送数据	9
3.4.2 接收数据	9
3.5 用户接口（无编码或 8B10B 编解码）	11
3.5.1 发送数据	11
3.5.2 接收数据	14

3.5.3 状态接口	17
3.6 用户接口（64B66B 编解码）	18
3.6.1 10GBASER with FIFO 模式	18
3.6.2 Async with FIFO 模式	19
3.7 用户接口（64B67B 编解码）	20
3.8 AFE	21
3.8.1 发送	21
3.8.2 接收	22
3.9 动态配置功能	22
3.9.1 Clock Schematic 选项	23
3.9.2 Reconfiguration 选项	24
4 端口列表	27
5 界面配置	31
6 参考设计	41

图目录

图 3-1 GW5AT-138 系统框图	5
图 3-2 GW5AT-60 系统框图	6
图 3-3 SerDes 发送部分	6
图 3-4 SerDes 接收部分	7
图 3-5 速率 ≥ 1 Gbps 发送数据接口时序	11
图 3-6 速率 < 1 Gbps 发送数据接口时序	12
图 3-7 接收数据接口时序	14
图 3-8 10GBASER with FIFO 模式时钟结构	18
图 3-9 10GABSER with FIFO 模式收发数据时序	18
图 3-10 Async with FIFO 模式时钟结构	19
图 3-11 Async with FIFO 模式发送时序	19
图 3-12 Async with FIFO 模式接收时序	19
图 3-13 64B67B 时钟结构	20
图 3-14 64B67B 发送时序	20
图 3-15 64B67B 接收时序	20
图 3-16 发送差分信号摆幅 V_{diffpp}	21
图 3-17 FFE TX 电压定义	21
图 3-18 DRP 接口读时序图	23
图 3-19 DRP 接口写时序图	23
图 3-20 Clock Schematic	24
图 3-21 Reconfiguration 配置	26
图 5-1 GW5AT-138 Channel, Line Rate, Refclk Selection 配置界面	32
图 5-2 GW5AT-60 Channel, Line Rate, Refclk Selection 配置界面	33
图 5-3 GW5AT-138 Data Width, Encoding, RX Word Alignment 配置界面	34
图 5-4 GW5AT-60 Data Width, Encoding, RX Word Alignment 配置界面	34
图 5-5 Channel Bonding 配置界面	35
图 5-6 RX Clock Correction 配置界面	35
图 5-7 AFE 配置界面	36

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin Customized PHY IP 概述	3
表 3-1 禁止 8B10B 编码, 配置不同 x8 位宽	12
表 3-2 禁止 8B10B 编码, 配置不同 x10 位宽	13
表 3-3 使能 8B10B 编码, 配置不同 x10 位宽	13
表 3-4 禁止 8B10B 编码, 配置不同 x8 位宽	15
表 3-5 禁止 8B10B 编码, 配置不同 x10 位宽	16
表 3-6 使能 8B10B 编码, 配置不同 x10 位宽	16
表 4-1 Gowin Customized PHY IP 端口列表	27
表 5-1 Customized IP 配置界面参数	36

1 关于本手册

1.1 手册内容

Gowin Customized PHY IP 用户指南主要包括功能简介、功能描述、界面配置和参考设计，旨在帮助用户快速了解 Gowin Customized PHY IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.10.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AFE	Analog Front End	模拟前端
ATT	Attenuator	衰减器
DRP	Dynamic Reconfiguration Port	动态配置端口
FFE	Feed-Forward Equalization	前馈均衡
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
PCS	Physical Coding Sublayer	物理编码子层
CDR	Clock and Data Recovery	时钟数据恢复
RXEQ	Receive Equalization	接收均衡

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

Gowin Customized PHY IP 支持用户灵活配置 Gowin SerDes 功能，例如 Line Rate、Reference Clock、Data Width、8B10B Encoding/Decoding、Channel Bonding 和 RX Clock Correction 等。GW5AT-60 器件在具有以上功能的同时，增加 64B66B 和 64B67B 功能。

表 2-1 Gowin Customized PHY IP 概述

Gowin Customized IP	
逻辑资源	参见 2.3 资源利用
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9 Beta-1 及以上)

注!

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特性

- 支持数据速率配置，范围 1Gbps~12.5Gbps
- 支持低速发送数据速率，最低可至 25Mbps
- 支持参考时钟频率配置，范围 50MHz~800MHz
- 支持 PLL 可选 CPLL 或 QPLL
- 支持用户数据位宽可选 8/10/16/20/32/40/64/80
- 支持 8B10B 编解码功能
- 支持 Word Alignment 功能
- 支持 Channel Bonding 功能

- 支持 RX Clock Correction 功能
- GW5AT-60 支持 64B66B、64B67B 功能

2.3 资源利用

Gowin Customized PHY IP 仅对 SerDes 进行配置，不占用 Fabric 资源。

3 功能描述

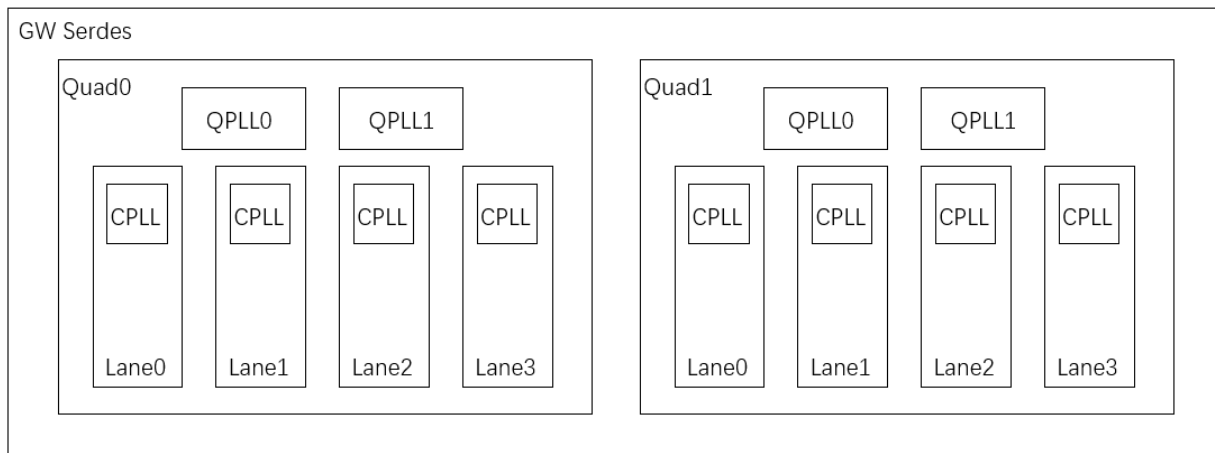
3.1 系统框图

3.1.1 GW5AT-138

Gowin SerDes 共 2 个 Quad，每个 Quad 包含 4 个独立的 Lane，共 8 个 Lane 提供用户使用。每个 Quad 包含 2 个 QPLL 和 4 个 CPLL。其中，QPLL 可被所在 Quad 的 4 个 Lane 共享，CPLL 仅可被所在的 Lane 使用。

每个 Quad 有两个独立的参考时钟输入管脚，输入的参考时钟可以作为 QPLL 和 CPLL 的参考时钟源，SerDes 框图如图 3-1 所示。

图 3-1 GW5AT-138 系统框图

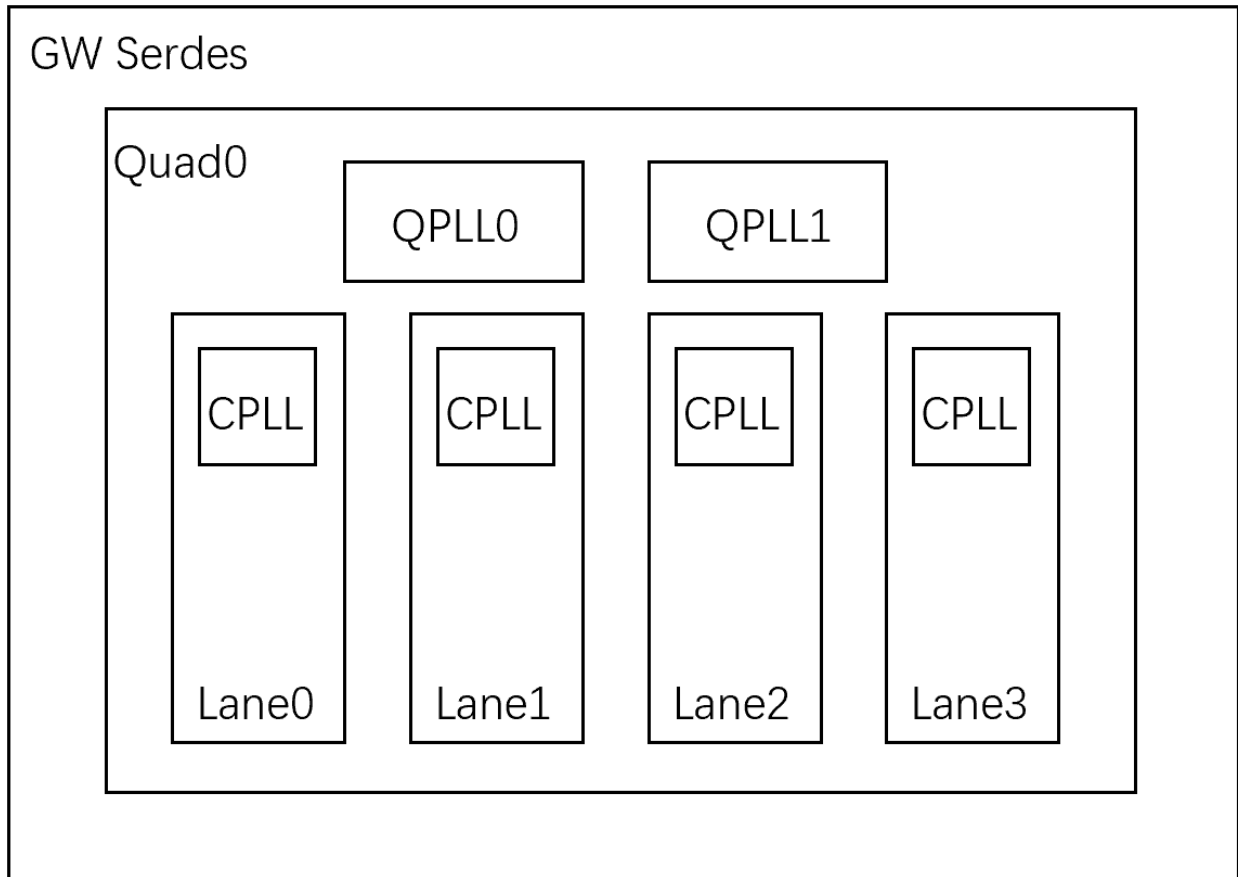


3.1.2 GW5AT-60

Gowin SerDes 共 1 个 Quad，Quad 包含 4 个独立的 Lane 提供用户使用。Quad 包含 2 个 QPLL 和 4 个 CPLL。其中 QPLL 可被所在 Quad 的 4 个 Lane 共享，CPLL 仅可被所在的 Lane 使用。

每个 Quad 有 8 个独立的参考时钟输入管脚，其中 4 个为 SerDes 专用时钟输入管脚，4 个为与 GPIO 复用管脚。输入的参考时钟可以作为 QPLL 和 CPLL 的参考时钟源。参考时钟的选择需要根据所选芯片的封装来确定，SerDes 框图如图 3-2 所示。

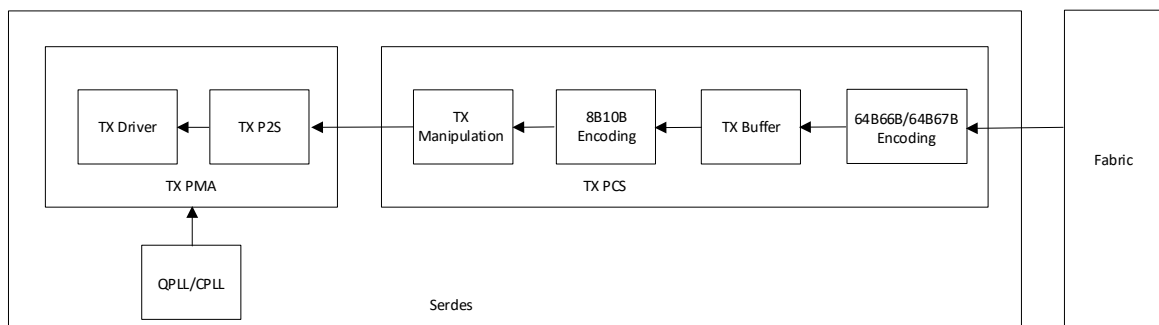
图 3-2 GW5AT-60 系统框图



3.2 功能模块

3.2.1 发送

图 3-3 SerDes 发送部分



如上图，SerDes 发送部分由以下 6 个模块组成，其中 64B66B/64B67B Encoding 模块仅 GW5AT-60 支持，TX PCS 中的模块均可独立 bypass。

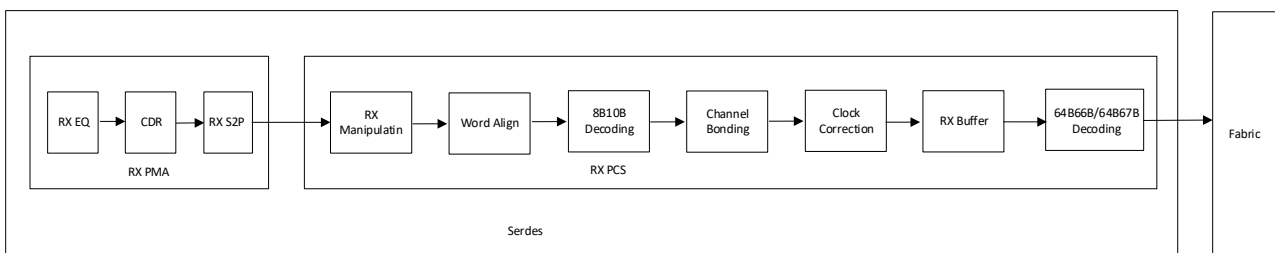
- **TX Driver**: 提供发送通道模拟部分的驱动，把串行数据转换为差分数据输出到芯片 IO
- **TX P2S**: 把 PCS 的发送并行数据转换为串行数据，输出到 TX

Driver，并行数据支持 8/10/16/20 bits 位宽

- **TX Manipulation:** 在数据发送到 TX P2S 之前，可对并行数据进行处理，例如 bit 极性取反、bit 高低位交换、byte 取反的功能，该模块可选择 bypass
- **8B10B Encoding:** 实现 8B10B 编码功能，该模块可选择 bypass
- **TX Buffer:** 实现发送数据位宽转换功能，支持 1:1、1:2、1:4 比例转换。同时根据比例降低输出到 Fabric 时钟的频率
- **64B66B/64B67B Encoding:** 实现 64B66B 和 64B67B 编码功能

3.2.2 接收

图 3-4 SerDes 接收部分



如图 3-4 所示，SerDes 接收部分由以下 10 个模块组成，其中 64B66B/64B67B Decoding 模块仅 GW5AT-60 支持，RX PCS 中的模块均可独立 bypass。

- **RXEQ:** 接收均衡功能，对接收差分数据进行均衡处理，为 CDR 模块提供稳定的眼图
- **CDR:** 时钟数据恢复功能，提取接收数据的时钟，并对齐数据中心位置
- **S2P:** 把接收串行数据转换为并行数据，输出到 PCS 侧，并行数据支持 8/10/16/20 bits 位宽。
- **RX Manipulation:** 在数据进入 PCS 之后，可对并行数据进行处理，例如 bit 极性取反、bit 高低位交换、byte 取反的功能，该模块可选择 bypass。
- **Word Align:** 对自动接收数据进行滑动，实现对齐 K 码的功能，该模块可选择 bypass
- **8B10B Decoding:** 实现对接收数据进行 8B10B 解码的功能，该模块可选择 bypass
- **Channel Bonding:** 实现对多通道接收数据进行对齐的功能，该模块可选择 bypass
- **Clock Correction:** 通过增加或删除某些字段，实现对接收数据的时钟转换功能，该模块可选择 bypass
- **RX Buffer:** 实现接收数据位宽转换功能，支持 1:1、1:2、1:4 比例转换，同时根据比例降低输出到 Fabric 时钟的频率

- 64B66B/64B67B Decoding: 实现 64B66B 和 64B67B 解码功能

3.3 时钟

3.3.1 发送时钟

发送时钟由 CPLL/QPLL 生成。用户在配置发送通道时，需要配置发送通道的速率、所使用的 PLL（CPLL/QPLL）和参考时钟源及其频率。根据以上配置，IP 配置 SerDes PLL 生成高速时钟，用于数据的发送。同时，SerDes 会根据用户配置，将高速时钟分频，输出到 Fabric，作为 Fabric 发送时钟使用。输出到 Fabric 的发送时钟频率计算如下：

- 若配置通道的发送速率 $\geq 1\text{Gbps}$ ，则：

$$F = \text{发送通道速率}^{[1]} / \text{Fabric 数据位宽}$$

注！

^[1]界面中 TX Line Rate 输入值。

例如用户配置发送数据速率为 1.25Gbps，配置发送并行数据位宽为 40 bits，则 Fabric 发送时钟为 $1.25\text{Gbps}/40=31.25\text{MHz}$ 。

- 若配置发送速率 $< 1\text{Gbps}$ ，则：

$$F = \text{发送通道速率}^{[1]} \times \text{Ratio}^{[2]} / \text{Fabric 数据位宽}$$

注！

- ^[1]界面中 TX Line Rate 输入值；

- ^[2]界面中相应 Ratio 选项配置，5x=5，10x=10，20x=20，40x=40。

例如用户配置发送数据速率为 0.5Gbps，Ratio 配置为 5x，配置发送并行数据位宽为 40 bits，则 Fabric 发送时钟为 $(0.5\text{Gbps} \times 5)/40=62.5\text{MHz}$ 。

3.3.2 接收时钟

用户在配置接收通道时，需要配置接收通道的速率。

接收时钟由 CDR 通过数据恢复，CDR 输出恢复后的串行数据时钟供 RX S2P 模块使用。同时 SerDes 会根据用户配置，把串行数据时钟分频，输出到 Fabric，作为 Fabric 接收时钟使用。输出到 Fabric 的接收时钟频率计算如下：

$$F = \text{接收通道速率} / \text{Fabric 数据位宽}$$

例如用户配置接收数据速率为 1.25Gbps，配置接收并行数据位宽为 40 bits，则 Fabric 接收时钟为 $1.25\text{Gbps}/40=31.25\text{MHz}$ 。

3.4 数据

3.4.1 发送数据

TX Data Width

TX Data Width 由 Internal Data Width 和 TX External Data Ratio 两个选项确定。

Internal Data Width 配置 SerDes 内部数据的位宽，TX External Data Ratio 配置 TX Buffer 把内部位宽转换为用户接口位宽的比例。当用户需要选择较大位宽时，需优先配置 Internal Data Width 为最大。例如，当用户配置位宽为 40 时，需要配置 Internal Data Width=20，且 TX External Data Ratio=1: 2。

注！

- 对于 GW5AT-138，接收和发送两个方向的 Internal Data Width 需要一致。
- 对于 GW5AT-60，接收和发送两个方向的 Internal Data Width 可独立配置。

8B10B Encoding

8B10B Encoding 模块实现发送数据 8B10B 编码功能。当 Internal Data Width 选项配置为 10/20 时，用户可选择使能/禁止此功能。当 Internal Data Width 选项配置为 8/16 时，用户不可使能此功能。

当用户禁止此功能时，Fabric 侧发送的数据为 Raw Data；当用户使能此功能时，Fabric 侧发送的数据是 K 码指示和编码前的数据。

Channel Bonding

Channel Bonding 模块可实现发送数据多通道的 bonding 绑定。当用户不勾选时，禁止此功能。当用户勾选时，SerDes 利用 TX Buffer 实现此功能。使能此功能后，需要配置 Master Channel，一般情况下，可以在所选通道内任选一路即可。最后配置 Read Start Depth，控制 TX Buffer 读开始操作的数据深度。

3.4.2 接收数据

RX Data Width

RX Data Width 由 Internal Data Width 和 RX External Data Ratio 两个选项确定。

Internal Data Width 配置 SerDes 内部数据的位宽，RX External Data Ratio 配置 RX Buffer 把内部位宽转换为用户接口位宽的比例。例如，当用户配置位宽为 40 时，需要配置 Internal Data Width=20，且 RX External Data Ratio=1: 2。

注！

- 对于 GW5AT-138，接收和发送两个方向的 Internal Data Width 需要一致。
- 对于 GW5AT-60，接收和发送两个方向的 Internal Data Width 可独立配置。

Word Alignment

Word Alignment 模块实现接收数据对齐功能。当用户使能此功能时，该模块根据用户配置的 **Pattern**，对齐接收并行数据的边界，使其输出的并行数据与所配置的 **K** 码一致。当用户使用 **8B10B Decoding** 功能时，需要使能此模块。

8B10B Decoding

8B10B Decoding 模块实现接收数据 8B10B 解码功能。当 **Internal Data Width** 选项配置为 10 或 20 时，用户可选择使能/禁止此功能。当 **Internal Data Width** 选项配置为 8/16 时，用户不可使能此功能。

当用户禁止此功能时，Fabric 侧接收到的数据为 **Raw Data**；当用户使能此功能时，Fabric 侧接收到的数据是 **K** 码指示和解码后的数据。

Channel Bonding

Channel Bonding 模块可实现接收数据多通道的 bonding 功能。当用户选择 **None** 时，禁止此功能。当用户选择 **One Word/Two Words/Four Words** 时，IP 自动使能此功能，同时配置了对齐 **Pattern** 的数量。使能此功能后，需要配置 **Master Channel**，一般情况下，可以在所选通道内任选一路即可。最后配置对齐 **Pattern**、**Max Skew** 和 **Read Start Depth**。对齐 **Pattern** 和 **Max Skew** 需要根据具体协议配置。对齐 **Pattern** 最大支持 4 bytes，且第一个 **Pattern** 必须是 **K** 码。

用户使能此功能时，必须先使能 **8B10B Decoding** 和 **Word Alignment**。

Clock Correction

Clock Correction 模块可实现接收数据时钟域的转换。当用户选择 **None** 时，禁用此功能。当用户选择 **One Word/Two Words** 时，IP 自动使能此功能，同时配置 **Correction Pattern** 的数量。使能此功能后，需要配置 **Master Channel**，一般情况下，可以在所选通道内任选一路即可。最后配置 **Correction Pattern** 和 **Read Start Depth**。**Correction Pattern** 需要根据具体协议配置。**Correction Pattern** 最大支持 2 bytes，且第一个 **Pattern** 必须是 **K** 码。

用户可以通过 **RX Clock Correction** 选项页的 **Clock Source** 选项，设置接收时钟源，即把接收时钟调整到哪个时钟源上。**User** 选项表示设置 **Clock Source** 为 Fabric 输入时钟（例如 **q0_ln0_cc_clk_i**），**TX** 选项表示设置 **Clock Source** 为 TX 时钟。其中 **q0_ln0_cc_clk_i** 输入时钟频率为：

- 对于 GW5AT-138， $F = \text{接收通道速率} / \text{Internal Data Width}$
- 对于 GW5AT-60， $F = \text{接收通道速率} / \text{RX Internal Data Width}$

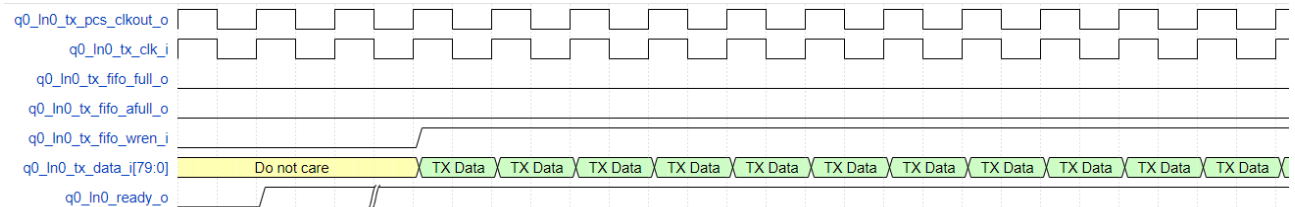
3.5 用户接口（无编码或 8B10B 编解码）

SerDes 用户接口为 FIFO 形式，其读写操作与 FIFO 读写操作类似。

3.5.1 发送数据

速率 \geq 1Gbps

图 3-5 速率 \geq 1Gbps 发送数据接口时序



如图 3-5 所示，以 Quad0 Lane0 为例：

- `q0_in0_tx_pcs_clkout_o` 为 SerDes PCS 发送时钟，作为 TX Buffer 的读时钟。
- `q0_in0_tx_clk_i` 为输入时钟，作为 TX Buffer 写时钟，这个时钟可以直接连接 `q0_in0_tx_pcs_clkout_o`，实现 TX Buffer 读写时钟同频。
- `q0_in0_tx_fifo_full_o` 为 TX Buffer 满信号，1 表示满，0 表示非满。
- `q0_in0_tx_fifo_afull_o` 为 TX Buffer 几乎满信号，1 表示几乎满，0 表示非几乎满。
- `q0_in0_tx_fifo_wren_i` 为 TX Buffer 写使能，1 表示写有效，0 表示写无效。
- `q0_in0_tx_data_i` 为 TX Buffer 写数据，当 `q0_in0_tx_fifo_wren_i` 为 1 时，`q0_in0_tx_data_i` 写入 TX Buffer。当 `q0_in0_tx_fifo_wren_i` 为 0 时，`q0_in0_tx_data_i` 不写入 TX Buffer。
- `q0_in0_tx_fifo_wrusewd_o` 指示在 TX Buffer 里存入多少数据。

如图所示，当 TX Buffer 读写时钟同频时，`q0_in0_tx_fifo_full_o` 和 `q0_in0_tx_fifo_afull_o` 为常 0，表示 TX Buffer 一直有剩余的空间供数据写入。此时，可以把 `q0_in0_tx_fifo_wren_i` 置 1，`q0_in0_tx_data_i` 作为连续数据流写入即可。

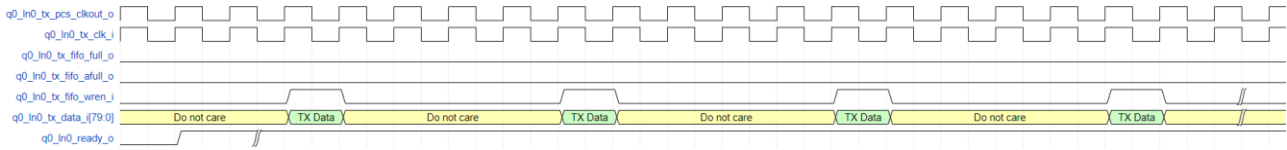
速率 $<$ 1Gbps

当配置 TX Line Rate $<$ 1Gbps 时，会启用界面相应的 Ratio 配置选项。用户需要确保 TX Line Rate \times Ratio^[1] \geq 1Gbps。

注!

[1]界面中相应 Ratio 选项配置，5x=5，10x=10，20x=20，40x=40。

图 3-6 速率<1Gbps 发送数据接口时序



如图 3-6 所示，以 Quad0 Lane0，Ratio=5x 为例：

- q0_in0_tx_pcs_clkout_o 为 SerDes PCS 发送时钟，作为 TX Buffer 的读时钟。
- q0_in0_tx_clk_i 为输入时钟，作为 TX Buffer 写时钟，这个时钟可以直接连接 q0_in0_tx_pcs_clkout_o，实现 TX Buffer 读写时钟同频。
- q0_in0_tx_fifo_full_o 为 TX Buffer 满信号，1 表示满，0 表示非满。
- q0_in0_tx_fifo_afull_o 为 TX Buffer 几乎满信号，1 表示几乎满，0 表示非几乎满。
- q0_in0_tx_fifo_wren_i 为 TX Buffer 写使能，1 表示写有效，0 表示写无效。
- q0_in0_tx_data_i 为 TX Buffer 写数据，当 q0_in0_tx_fifo_wren_i 为 1 时，q0_in0_tx_data_i 写入 TX Buffer。当 q0_in0_tx_fifo_wren_i 为 0 时，q0_in0_tx_data_i 不写入 TX Buffer。
- q0_in0_tx_fifo_wrusewd_o 指示在 TX Buffer 里存入多少数据。

如图所示，当 TX Buffer 读写时钟同频时，可每 5 个时钟周期写入一次数据，此时 q0_in0_tx_fifo_full_o 和 q0_in0_tx_fifo_afull_o 为常 0，表示 TX Buffer 一直有剩余的空间供数据写入。

以此类推，当 Ratio=10x，则每 10 个时钟周期写入一次数据；当 Ratio=20x，则每 20 个时钟周期写入一次数据；当 Ratio=40x，则每 40 个时钟周期写入一次数据。如上操作可保证 TX Buffer 读写操作按照相同节拍进行，且不会读空或写满。

除上述操作方式外，用户可根据设计需求，按照写入 FIFO 的模式写入数据。例如当检测到 TX Buffer 不满时，即可写入数据。

q0_in0_tx_data_i 为发送数据输入，共 80 bits，低位先发。在不同的编码和位宽模式下，其每一位所表示的意义不同，可参考表 3-1、表 3-2、表 3-3 所示。

表 3-1 禁止 8B10B 编码，配置不同 x8 位宽

q0_in0_tx_data_i bit[n]	width=8	width=16	width=32	width=64
7~0	7~0	7~0	7~0	7~0
8	N/A	N/A	N/A	N/A
9	N/A	N/A	N/A	N/A
17~10	N/A	15~8	15~8	15~8
18	N/A	N/A	N/A	N/A

q0_In0_tx_data_i bit[n]	width=8	width=16	width=32	width=64
19	N/A	N/A	N/A	N/A
27~20	N/A	N/A	23~16	23~16
28	N/A	N/A	N/A	N/A
29	N/A	N/A	N/A	N/A
37~30	N/A	N/A	31~24	31~24
38	N/A	N/A	N/A	N/A
39	N/A	N/A	N/A	N/A
47~40	N/A	N/A	N/A	39~32
48	N/A	N/A	N/A	N/A
49	N/A	N/A	N/A	N/A
57~50	N/A	N/A	N/A	47~40
58	N/A	N/A	N/A	N/A
59	N/A	N/A	N/A	N/A
67~60	N/A	N/A	N/A	55~48
68	N/A	N/A	N/A	N/A
69	N/A	N/A	N/A	N/A
77~70	N/A	N/A	N/A	63~56
78	N/A	N/A	N/A	N/A
79	N/A	N/A	N/A	N/A

注！

在某种位宽模式下，只需要关注有底纹的 Bit 即可。

表 3-2 禁止 8B10B 编码，配置不同 x10 位宽

q0_In0_tx_data_i bit[n]	width=10	width=20	width=40	width=80
9~0	9~0	9~0	9~0	9~0
19~10	N/A	19~10	19~10	19~10
29~20	N/A	N/A	29~20	29~20
39~30	N/A	N/A	39~30	39~30
49~40	N/A	N/A	N/A	49~40
59~50	N/A	N/A	N/A	59~50
69~60	N/A	N/A	N/A	69~60
79~70	N/A	N/A	N/A	79~70

注！

在某种位宽模式下，只需要关注有底纹的 Bit 即可。

表 3-3 使能 8B10B 编码，配置不同 x10 位宽

q0_In0_tx_data_i bit[n]	width=10	width=20	width=40	width=80
7~0	Code	Code	Code	Code
8	K	K	K	K
9	N/A	N/A	N/A	N/A

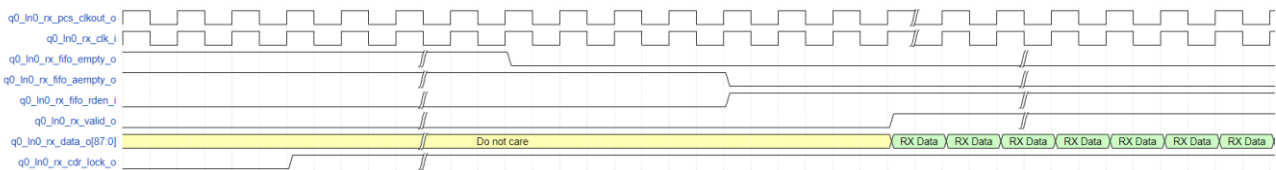
q0_in0_tx_data_i bit[n]	width=10	width=20	width=40	width=80
17~10	N/A	Code	Code	Code
18	N/A	K	K	K
19	N/A	N/A	N/A	N/A
27~20	N/A	N/A	Code	Code
28	N/A	N/A	K	K
29	N/A	N/A	N/A	N/A
37~30	N/A	N/A	Code	Code
38	N/A	N/A	K	K
39	N/A	N/A	N/A	N/A
47~40	N/A	N/A	N/A	Code
48	N/A	N/A	N/A	K
49	N/A	N/A	N/A	N/A
57~50	N/A	N/A	N/A	Code
58	N/A	N/A	N/A	K
59	N/A	N/A	N/A	N/A
67~60	N/A	N/A	N/A	Code
68	N/A	N/A	N/A	K
69	N/A	N/A	N/A	N/A
77~70	N/A	N/A	N/A	Code
78	N/A	N/A	N/A	K
79	N/A	N/A	N/A	N/A

注！

在某种位宽模式下，只需要关注有底纹的 Bit 即可。

3.5.2 接收数据

图 3-7 接收数据接口时序



如图 3-7 所示，以 Quad0 Lane0 为例，当用户监测到 `q0_in0_rx_cdr_lock_o` 为 1 时，说明接收 CDR 已经进入 lock 状态。

- `q0_in0_rx_pcs_clkout_o` 为 SerDes PCS 接收时钟，作为 RX Buffer 的写时钟。
- `q0_in0_rx_clk_i` 为输入时钟，作为 RX Buffer 读时钟，这个时钟可以直接连接 `q0_in0_rx_pcs_clkout_o`，实现 RX Buffer 读写时钟同频。
- `q0_in0_rx_fifo_empty_o` 为 RX Buffer 空信号，1 表示空，0 表示非

空。

- `q0_ln0_rx_fifo_aempty_o` 为 RX Buffer 几乎空信号，1 表示几乎空，0 表示非几乎空。
- `q0_ln0_rx_fifo_rden_i` 为 RX Buffer 读使能，1 表示读有效，0 表示读无效。
- `q0_ln0_rx_data_o` 为 RX Buffer 读数据，当 `q0_ln0_rx_fifo_rden_i` 为 1 时，数据从 RX Buffer 读出。当 `q0_ln0_rx_fifo_rden_i` 为 0 时，不读 RX Buffer 数据。
- `q0_ln0_rx_valid_o` 指示 `q0_ln0_rx_data_o` 有效。当 `q0_ln0_rx_fifo_rden_i` 为 1 时，数据会延时 3 个周期输出到 `q0_ln0_rx_data_o`。用户可以通过 `q0_ln0_rx_valid_o` 判断 `q0_ln0_rx_data_o` 是否有效。当 `q0_ln0_rx_valid_o` 为 1 时，`q0_ln0_rx_data_o` 有效。当 `q0_ln0_rx_valid_o` 为 0 时，`q0_ln0_rx_data_o` 无效。
- `q0_ln0_rx_fifo_rdueswd_o` 指示在 RX Buffer 里有多少数据未被读出。

如图所示，当 RX Buffer 读写时钟同频时，用户可以把 `q0_ln0_rx_fifo_aempty_o` 取反作为 `q0_ln0_rx_fifo_rden_i`。此时，`q0_ln0_rx_fifo_aempty_o` 会一直为 0，`q0_ln0_rx_data_o` 作为连续数据流读出即可。

`q0_ln0_rx_data_o` 为接收数据输出，共 88 bits，低位先收。在不同的编码和位宽模式下，其每一位所表示的意义不同，参考表 3-4、表 3-5、表 3-6。

表 3-4 禁止 8B10B 编码，配置不同 x8 位宽

<code>q0_ln0_rx_data_o</code> bit[n]	width=8	width=16	width=32	width=64
7~0	7~0	7~0	7~0	7~0
8	N/A	N/A	N/A	N/A
9	N/A	N/A	N/A	N/A
17~10	N/A	15~8	15~8	15~8
18	N/A	N/A	N/A	N/A
19	N/A	N/A	N/A	N/A
27~20	N/A	N/A	23~16	23~16
28	N/A	N/A	N/A	N/A
29	N/A	N/A	N/A	N/A
37~30	N/A	N/A	31~24	31~24
38	N/A	N/A	N/A	N/A
39	N/A	N/A	N/A	N/A
47~40	N/A	N/A	N/A	39~32
48	N/A	N/A	N/A	N/A
49	N/A	N/A	N/A	N/A

q0_in0_rx_data_o bit[n]	width=8	width=16	width=32	width=64
57~50	N/A	N/A	N/A	47~40
58	N/A	N/A	N/A	N/A
59	N/A	N/A	N/A	N/A
67~60	N/A	N/A	N/A	55~48
68	N/A	N/A	N/A	N/A
69	N/A	N/A	N/A	N/A
77~70	N/A	N/A	N/A	63~56
78	N/A	N/A	N/A	N/A
79	N/A	N/A	N/A	N/A
87~80	N/A	N/A	N/A	N/A

注！

在某种位宽模式下，只需要关注有底纹的 Bit 即可。

表 3-5 禁止 8B10B 编码，配置不同 x10 位宽

q0_in0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
9~0	9~0	9~0	9~0	9~0
19~10	N/A	19~10	19~10	19~10
29~20	N/A	N/A	29~20	29~20
39~30	N/A	N/A	39~30	39~30
49~40	N/A	N/A	N/A	49~40
59~50	N/A	N/A	N/A	59~50
69~60	N/A	N/A	N/A	69~60
79~70	N/A	N/A	N/A	79~70
87~80	N/A	N/A	N/A	N/A

注！

在某种位宽模式下，只需要关注有底纹的 Bit 即可。

表 3-6 使能 8B10B 编码，配置不同 x10 位宽

q0_in0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
7~0	Code	Code	Code	Code
8	K	K	K	K
9	Disparity Error	Disparity Error	Disparity Error	Disparity Error
80	Decoder Error	Decoder Error	Decoder Error	Decoder Error
17~10	N/A	Code	Code	Code
18	N/A	K	K	K
19	N/A	Disparity Error	Disparity Error	Disparity Error
81	N/A	Decoder Error	Decoder Error	Decoder Error
27~20	N/A	N/A	Code	Code
28	N/A	N/A	K	K

q0_In0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
29	N/A	N/A	Disparity Error	Disparity Error
82	N/A	N/A	Decoder Error	Decoder Error
37~30	N/A	N/A	Code	Code
38	N/A	N/A	K	K
39	N/A	N/A	Disparity Error	Disparity Error
83	N/A	N/A	Decoder Error	Decoder Error
47~40	N/A	N/A	N/A	Code
48	N/A	N/A	N/A	K
49	N/A	N/A	N/A	Disparity Error
84	N/A	N/A	N/A	Decoder Error
57~50	N/A	N/A	N/A	Code
58	N/A	N/A	N/A	K
59	N/A	N/A	N/A	Disparity Error
85	N/A	N/A	N/A	Decoder Error
67~60	N/A	N/A	N/A	Code
68	N/A	N/A	N/A	K
69	N/A	N/A	N/A	Disparity Error
86	N/A	N/A	N/A	Decoder Error
77~70	N/A	N/A	N/A	Code
78	N/A	N/A	N/A	K
79	N/A	N/A	N/A	Disparity Error
87	N/A	N/A	N/A	Decoder Error

注！

在某种位宽模式下，只需要关注有底纹的 Bit 即可。

3.5.3 状态接口

IP 为用户提供了状态接口，方便用户实时查看通道状态，详见表 4-1。

3.6 用户接口（64B66B 编解码）

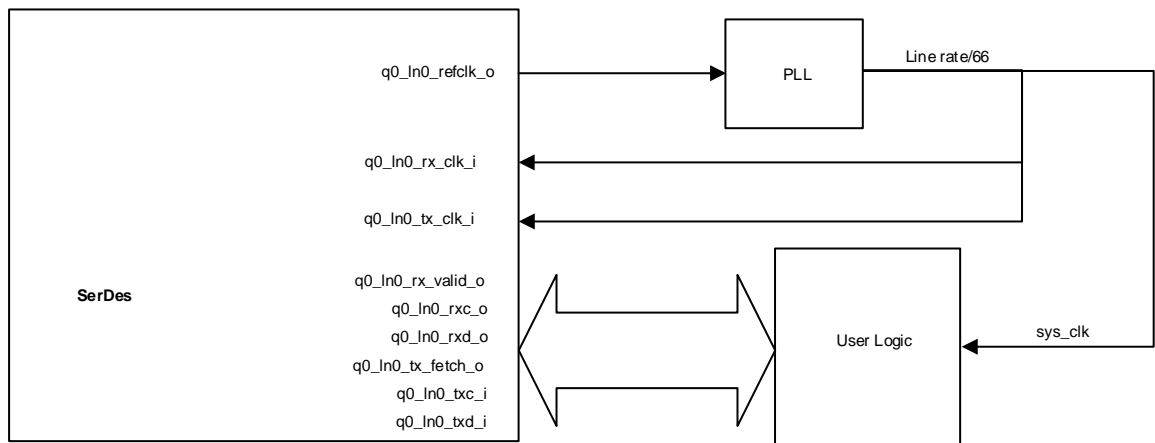
GW5AT-60 芯片支持符合 10GBASE-R 协议的 64B66B 编解码，用户使用此功能时，需要确保目标协议符合 10GBASE-R 协议或为 10GBASE-R 协议的子集。

当用户需要使能 64B66B 编解码时，需要将 TX/RX Internal Data Width 配置为 16，TX/RX External Data Ratio 配置为 1:4。此时 Encoding 和 Decoding 配置可选 64B66B。

3.6.1 10GBASER with FIFO 模式

当用户配置 64B66B Mode 为 10GBASER with FIFO 时，接收侧启用 CTC 功能，通过 PLL 可使接收时钟与发送时钟同源且同频同相。

图 3-8 10GBASER with FIFO 模式时钟结构



如图 3-8 所示，以 q0_In0 时钟为例，q0_In0_refclk_o 输出时钟频率与输入参考时钟相关（等于参考时钟或是参考时钟的 n 分频）。用户可在工程中例化 PLL，q0_In0_refclk_o 经过 PLL 输出 Line rate/66 频率时钟作为 q0_In0_rx_clk_i 和 q0_In0_tx_clk_i 输入时钟，同时可作为 sys_clk 驱动用户逻辑。此时，64B66B 相关信号均同步于 sys_clk。此种时钟结构下，q0_In0_tx_fetch_o 和 q0_In0_rx_valid_o 为常 1。

图 3-9 10GABSER with FIFO 模式收发数据时序

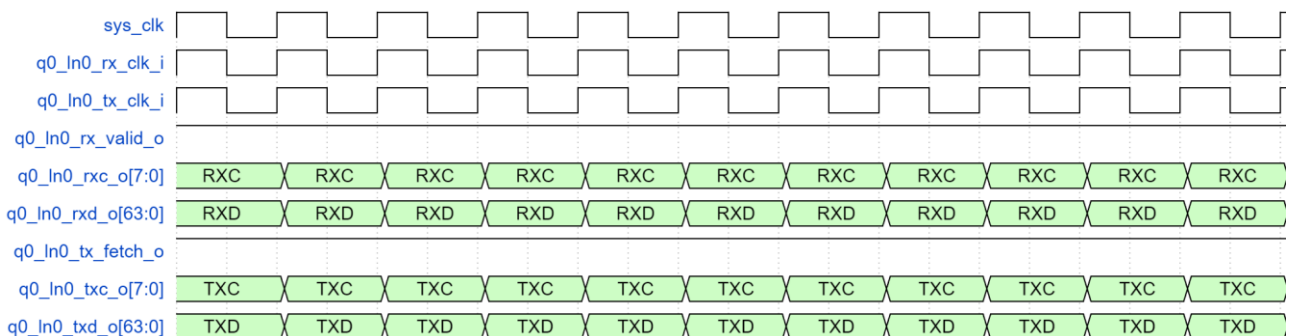


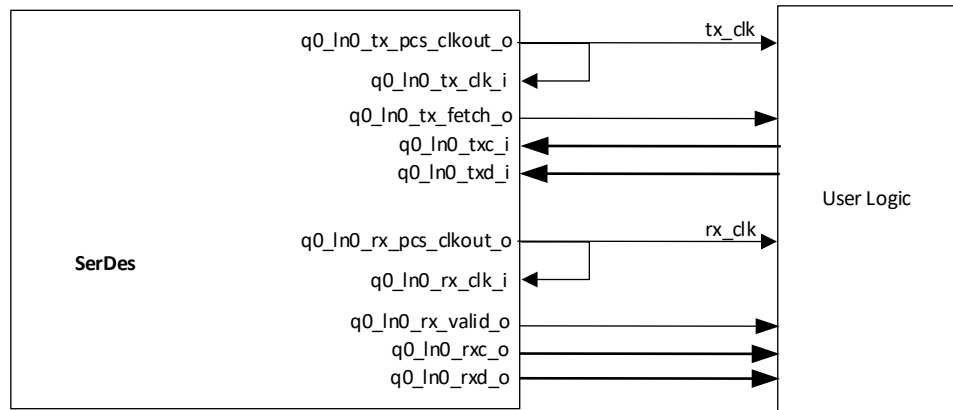
图 3-9 为 10GBASER with FIFO 模式时序图。q0_In0_rxc_i、q0_In0_rxd_i、q0_In0_txc_o、q0_In0_txd_o 均同步与 sys_clk。

q0_ln0_rx_valid_o 和 q0_ln0_tx_fetch_o 为常 1。

3.6.2 Async with FIFO 模式

当用户配置 64B66B Mode 为 Async with FIFO 时，接收侧禁止 CTC 功能，用户数据可同步于 SerDes 输出的时钟对数据进行收发。同时 q0_ln0_rx_valid_o 和 q0_ln0_tx_fetch_o 会根据时钟比例，每 32 个有效周期产生 1 个无效周期，用户需要判断这两个信号对收发数据进行操作。

图 3-10 Async with FIFO 模式时钟结构



以 q0_ln0 为例，时钟结构如图 3-10 所示，发送数据同步与 tx_clk，接收数据同步与 rx_clk。

图 3-11 Async with FIFO 模式发送时序

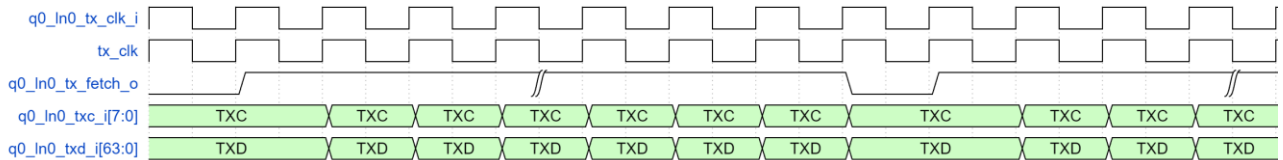


图 3-11 为发送数据时序。当 q0_ln0_tx_fetch_o 为 1 时，IP 获取 TXC 和 TXD；当 q0_ln0_tx_fetch_o 为 0 时，IP 不获取 TXC 和 TXD。用户需要确保发送的数据均在 q0_ln0_tx_fetch_o 为 1 时输入。

图 3-12 Async with FIFO 模式接收时序

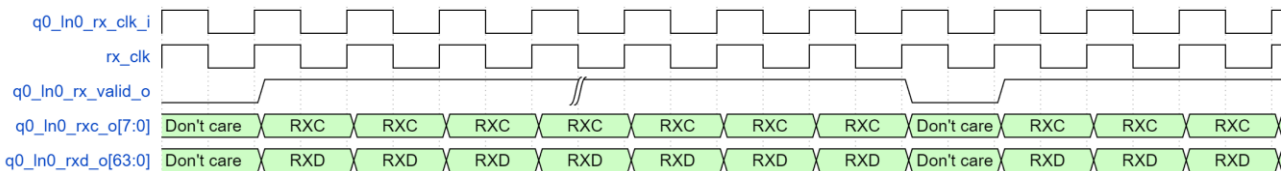
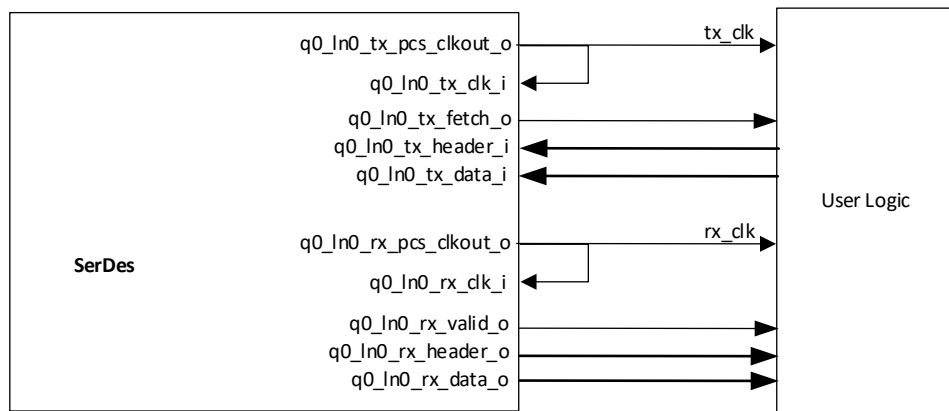


图 3-12 为接收数据时序。当 q0_ln0_rx_valid_o 为 1 时，RXC 和 RXD 有效；当 q0_ln0_rx_valid_o 为 0 时，RXC 和 RXD 无效。

3.7 用户接口 (64B67B 编解码)

GW5AT-60 芯片支持符合 Interlaken 协议的 64B67B 编解码。当用户配置为 64B67B Mode 时，用户数据可同步于 SerDes 输出的时钟对数据进行收发。

图 3-13 64B67B 时钟结构



以 q0_In0 为例，时钟结构如图 3-13 所示，发送数据同步与 tx_clk，接收数据同步与 rx_clk。

图 3-14 64B67B 发送时序

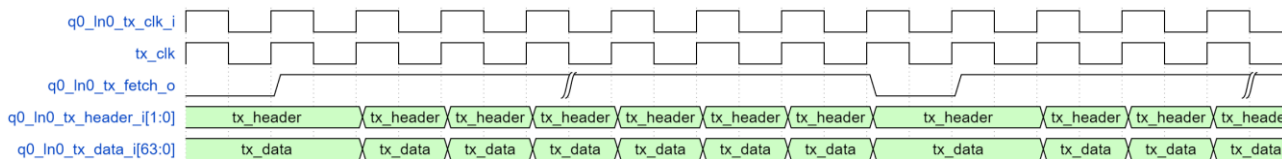


图 3-14 为发送数据时序。当 q0_In0_tx_fetch_o 为 1 时，IP 获取 tx_header 和 tx_data；当 q0_In0_tx_fetch_o 为 0 时，IP 不获取 tx_header 和 tx_data。用户需要确保发送的数据均在 q0_In0_tx_fetch_o 为 1 时输入。

图 3-15 64B67B 接收时序

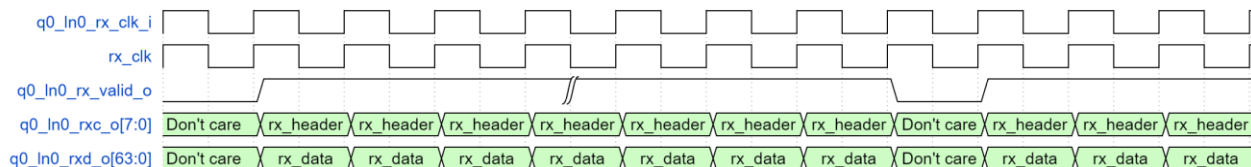


图 3-15 为接收数据时序。当 q0_In0_rx_valid_o 为 1 时，rx_header 和 rx_data 有效；当 q0_In0_rx_valid_o 为 0 时，rx_header 和 rx_data 无效。

3.8 AFE

AFE 为模拟前端，用户可通过界面配置 SerDes 的模拟参数。

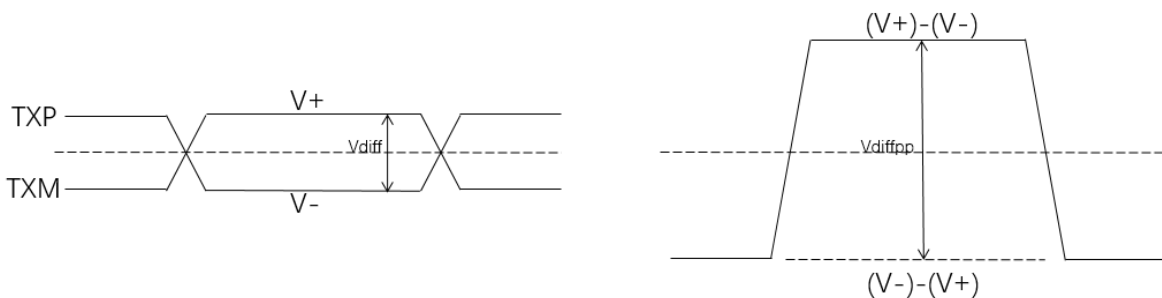
3.8.1 发送

在发送侧，用户可配置发送信号的差分摆幅和 FFE 参数。

发送差分摆幅

如图 3-16 所示，发送信号差分电压为 $V_{diff}=(V+)-(V-)$ ，发送差分信号摆幅为 $V_{diffpp}=2 \times V_{diff}$ 。用户可通过界面配置 V_{diffpp} ，范围为 180mV~900mV。

图 3-16 发送差分信号摆幅 V_{diffpp}



TX FFE

FFE 为前馈均衡(Feed-Forward Equalization)，SerDes 支持自动和手动调整 TX FFE 系数。当用户配置 FFE Mode 为 Auto 时，SerDes 根据硬件环境自动调整 FFE 系数，此时 C_m ， C_0 和 C_1 配置无效。当用户配置 FFE Mode 为 Manual 时，用户可手动调整 3-tap 系数，配置发送信号的去加重状态。

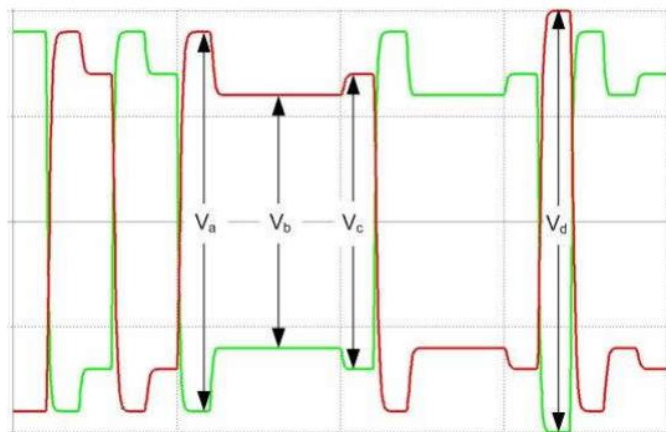
如图 3-17 所示，当用户配置 FFE Mode 为 Manual 时，可通过调整 C_m ， C_0 和 C_1 的值，调整 V_a ， V_b 和 V_c 的电压幅度。计算公式如下：

$$V_a = V_{diffpp} * (-C_m + C_0 + C_1) / 40$$

$$V_b = V_{diffpp} * (-C_m + C_0 - C_1) / 40$$

$$V_c = V_{diffpp} * (C_m + C_0 - C_1) / 40$$

图 3-17 FFE TX 电压定义



3.8.2 接收

接收差分信号门限

在接收侧，用户可以通过配置 **SD Threshold** 选项，来调整接收信号有效电压门限。当接收差分信号大于 **SD Threshold** 时，**SerDes** 判断接收到有效数据；当接收差分信号小于 **SD Threshold** 时，**SerDes** 判断未接收到有效数据，进入 **Electrical Idle** 状态。

接收均衡

在接收侧 **SerDes** 具有均衡功能，用户可以根据数据速率和通道衰减情况调整均衡器配置，以达到接收最优状态。

SerDes 均衡器可分为自动模式和手动模式。当用户配置选项 **Equalization Mode** 为 **Auto** 时，均衡器为自动模式。此模式下，在 **SerDes** 接收建立连接时，均衡器会根据当前接收数据质量自动调整均衡器到最佳状态。此时 **ATT** 选项和 **BOOST** 选项不可配置。当用户配置选项 **Equalization Mode** 为 **Manual** 时，均衡器为手动模式。此模式下，用户需要手动配置 **ATT** 选项和 **BOOST** 选项，使均衡器达到最佳状态。

ATT 为衰减器，用来调整接收中频衰减。数值越小表示衰减越大，范围 0~10。

BOOST 为 analog boost，用来调整接收高频放大。数值越大表示增益越大，范围 0~15。

若用户配置均衡器为 **Manual**，需要不断尝试 **ATT** 和 **BOOST** 选项组合，使得 **SerDes** 接收达到最优状态。因此推荐用户优先使用 **Auto** 模式。若 **Auto** 模式无法自适应到最优状态，可尝试 **Manual** 模式。

BIAS

BIAS 选项可配置 **SerDes** 对接收信号的放大参数。当接收信号速率较高且衰减较大时，用户可改变此选项配置。此选项配置越高，对信号的放大作用越强。此选项是基于 **QUAD** 的配置。当改变一条 **Lane** 的配置时，会同时改变当前 **Lane** 所在 **Quad** 所有 **Lane** 的配置。

3.9 动态配置功能

在 **SerDes** 初始化配置完成后，用户可以通过 **DRP** 接口动态配置 **SerDes** 寄存器，以调整 **SerDes** 功能。当用户在 **IP** 界面勾选“**DRP Port**”后，**IP** 会生成 **DRP** 接口，以实现动态配置功能。

用户可通过 **DRP** 接口访问 **SerDes** 内部寄存器。

在执行读操作时，将 **drp_rden_i** 置为高电平，在 **drp_rden_i** 置为高电平的第一个时钟周期往 **drp_addr_i[23:0]** 输入读寄存器地址。**drp_rden_i** 保持高电平直到 **drp_rdvld_o** 置为高电平，**drp_rdvld_o** 为高电平时对应的 **drp_rddata_o[31:0]** 数据是执行读操作返回的读数据，**drp_rden_i** 需要在 **drp_rdvld_o** 置为高电平的下个时钟周期置为低电平，结束本次读操作。**DRP** 接口读时序如图 3-18 所示。

在执行写操作时，将 `drp_wren_i` 置为高电平，在 `drp_wren_i` 置为高电平的第一个时钟周期往 `drp_addr_i[23:0]` 输入写寄存器地址，同一个时钟周期往 `drp_wrdata_i[31:0]` 输入写数据，`drp_strb_i[7:0]` 输入固定 `8'hff`。`drp_wren_i` 保持高电平直到 `drp_ready_o` 置为高电平，`drp_ready_o` 置为高电平表示本次写操作执行完成，`drp_wren_i` 需要在 `drp_ready_o` 为高电平的下一个时钟周期置为低电平，结束本次写操作。写时序如图 3-19 所示。

图 3-18 DRP 接口读时序图

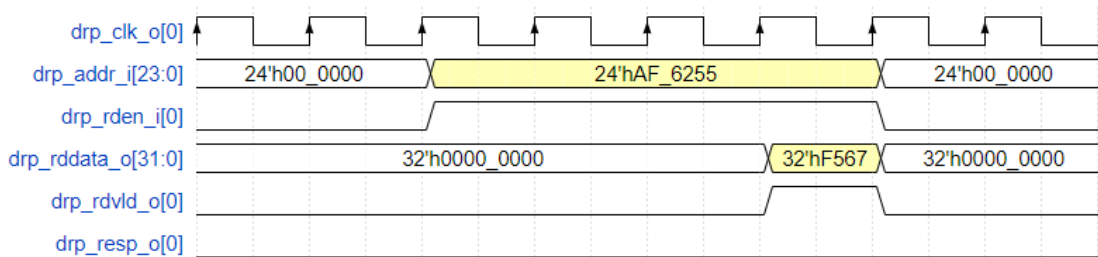
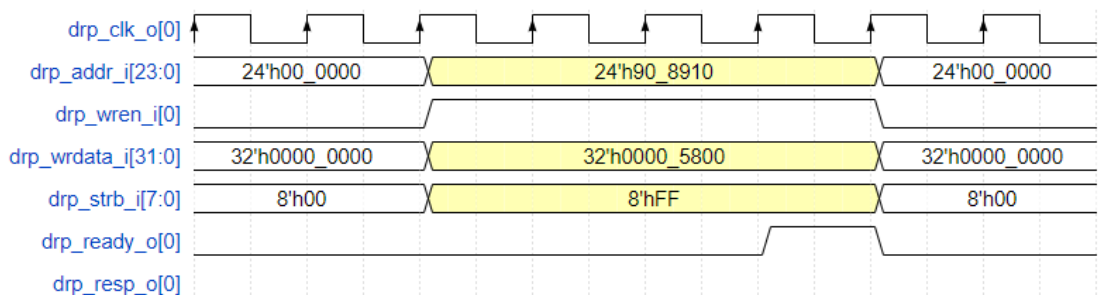


图 3-19 DRP 接口写时序图



3.9.1 Clock Schematic 选项

Gowin SerDes 中每个 Quad 中均有两个 REFMUX，称为 REFMUX0 和 REFMUX1。REFMUX 可以接收来自于本 Quad 参考时钟管脚的输入时钟，也可以接收来自于相邻 Quad 参考时钟管脚的输入时钟。REFMUX 为每个 TX PLL 和 RX CDR 提供参考时钟。在实际应用中，用户在界面上选择参考时钟源和 PLL，软件自动计算出 MUX 路径，完成时钟的连接。

用户可以通过 SerDes 界面中 View Clock Schematic 功能查看当前时钟连接关系，如图 3-20 所示。

图 3-20 Clock Schematic

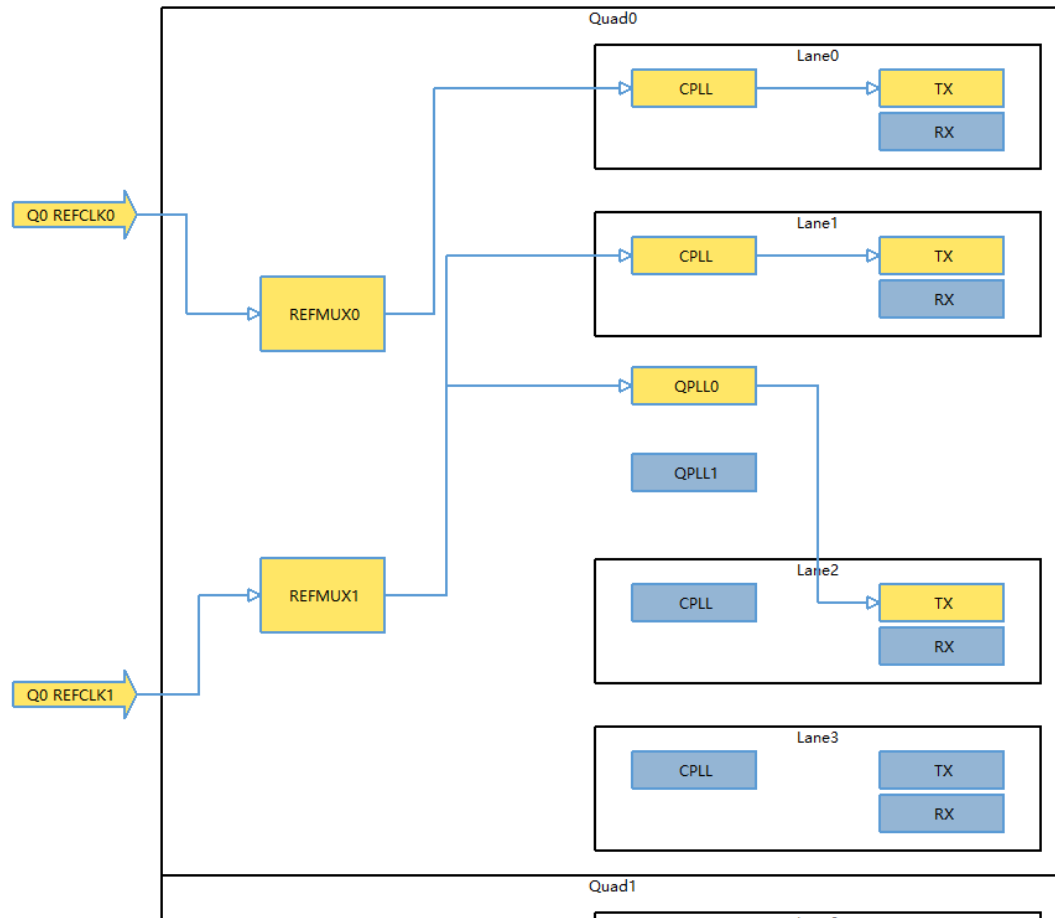


图 3-20 是已经配置部分功能后的时钟连接关系。被占用的资源为黄色，未被占用的资源为蓝色。

以 Quad0 Lane0 为例。此 Lane TX 通道使用 CPLL 作为发送时钟源。CPLL 的参考时钟来自 REFMUX0，REFMUX0 选择 Q0 REFCLK0 作为时钟输入。RX 通道的参考时钟源为自动选择，图中暂未表示。

3.9.2 Reconfiguration 选项

对于 GW5AT-138 器件，Gowin SerDes IP 界面为用户提供重配置支持，用户可点击界面中的“Reconfiguration”按钮打开相关界面，并在此界面选择动态配置功能选项并输入相关参数。最后点击“Export”，导出当前动态功能需要配置的寄存器地址和值文件(.csr)。

.csr 文件

.csr 为 IP 导出的动态配置寄存器地址和值文件，每一行表示一个寄存器地址+值，为 16 进制。其中高 24 bits 为寄存器地址，低 32 bits 为寄存器值。

例如，某一行为 80a00400022322，则 0x80a004 为寄存器地址，0x00022322 为该地址需要配置的值。用户需要按照从上到下的顺序把 csr 文件中的配置通过 drp 接口写入 SerDes，即可实现相应功能的动态配置。

Channel 选项

勾选本次需要动态配置的 Channel。

Reconfiguration 选项

此选项包括不同功能，例如 TX Data Rate, RX Data Rate 等。每个功能下均有 Enable 选项。若用户勾选某个功能的 Enable，则导出的 .csr 文件包括此功能的动态配置寄存器；若用户不勾选某个功能的 Enable，则导出的 .csr 文件不涉及此功能的动态配置寄存器。

TX Data Rate 功能如下所示：

- TX Data Rate: 配置发送数据速率
- TX PLL: 选择当前 TX PLL
- Refclk MUX: 选择 PLL 参考时钟源为 REFMUX0 或 REFMUX1
- Q0/1 REFMUX0/1 Frequency: 输入 REFMUX 参考时钟频率，仅输入 Refclk MUX 选项所选择参考时钟的频率即可，无关参考时钟可输入 0
- PMA Width: 选择当前 PMA Width

RX Data Rate 功能如下所示：

- RX Data Rate: 配置接收数据速率
- Refclk MUX: 选择 CDR 参考时钟源为 REFMUX0 或 REFMUX1
- Q0/1 REFMUX0/1 Frequency: 输入 REFMUX 参考时钟频率，仅输入 Refclk MUX 选项所选择参考时钟的频率即可，无关参考时钟可输入 0

Loopback 功能如下所示：

- Mode: 选择环回模式

TX AFE 功能如下所示：

- Mode: 选择 Auto 或 Manual
- TX Swing Level: 配置 TX Swing
- FFE CM: 配置 CM 参数，Manual 时有效
- FFE C1: 配置 C1 参数，Manual 时有效

以如下动态配置为例，如图 3-21 所示。

- 配置 Q0 Lane0/1/2/3 收发数据速率为 1Gbps
- 参考时钟均来自于 REFMUX0
- 参考时钟频率为 100MHz
- 使用 CPLL 为 TX 提供参考时钟
- PMA Width 为 8

图 3-21 Reconfiguration 配置

Reconfiguration ? X

Channel

Q0 Lane0 Lane1 Lane2 Lane3

Q1 Lane0 Lane1 Lane2 Lane3

Reconfiguration

TX Data Rate

Enable

TX Data Rate(Gbps): 1.00000000

TX PLL: CPLL Refclk MUX: REFMUX0

Q0 REFMUX0 Frequency(MHz): 100.00000000 Q0 REFMUX1 Frequency(MHz): 0.00000000

Q1 REFMUX0 Frequency(MHz): 0.00000000 Q1 REFMUX1 Frequency(MHz): 0.00000000

PMA Width: 8

RX Data Rate

Enable

RX Data Rate(Gbps): 1.00000000

Refclk MUX: REFMUX0

Q0 REFMUX0 Frequency(MHz): 100.00000000 Q0 REFMUX1 Frequency(MHz): 0.00000000

Q1 REFMUX0 Frequency(MHz): 0.00000000 Q1 REFMUX1 Frequency(MHz): 0.00000000

4 端口列表

Gowin Customized PHY IP 的详细端口列表如表 4-1 所示，表中以 Quad0 Lane0 为例，其他 Lane 修改序号即可。

表 4-1 Gowin Customized PHY IP 端口列表

端口名称	I/O	位宽	描述
时钟			
q0_ln0_rx_pcs_clkout_o	output	1	Quad0 Lane0 PCS 接收时钟输出
q0_ln0_rx_clk_i	input	1	Quad0 Lane0 RX Buffer 读时钟，可直接连接 q0_ln0_rx_pcs_clkout_o，做到 RX Buffer 读写时钟同频
q0_ln0_tx_pcs_clkout_o	output	1	Quad0 Lane0 PCS 发送时钟输出
q0_ln0_tx_clk_i	input	1	Quad0 Lane0 TX Buffer 写时钟，可直接连接 q0_ln0_tx_pcs_clkout_o，做到 TX Buffer 读写时钟同频
q0_ln0_cc_clk_i	input	1	当 RX Clock Correction 选项页的 Clock Source 选项选择 User 时，用户需要通过此端口输入时钟，作为 RX Clock Correction 模块调整时钟的目的时钟源
q0_ln0_refclk_o	output	1	Quad0 Lane0 所使用的参考时钟分频后的输出
复位			
q0_ln0_pma_rstn_i	input	1	PMA 复位输入，低有效
q0_ln0_pcs_rx_rst_i	input	1	接收方向 PCS 复位输入，高有效
q0_ln0_pcs_tx_rst_i	input	1	发送方向 PCS 复位输入，高有效
接收数据接口			
q0_ln0_rx_data_o	output	88	Quad0 Lane0 RX Buffer 读数据，同步于 q0_ln0_rx_clk_i，当 q0_ln0_rx_valid_o 为 1 时有效
q0_ln0_rx_fifo_rden_i	input	1	Quad0 Lane0 读使能，同步于 q0_ln0_rx_clk_i 1: 读有效 0: 读无效
q0_ln0_rx_fifo_rdusewd_o	output	5	Quad0 Lane0 RX Buffer 剩余数据指示
q0_ln0_rx_fifo_aempty_o	output	1	Quad0 Lane0 RX Buffer 几乎空指示

端口名称	I/O	位宽	描述
			1: RX Buffer 几乎空 0: RX Buffer 非几乎空
q0_ln0_rx_fifo_empty_o	output	1	Quad0 Lane0 RX Buffer 空指示 1: RX Buffer 空 0: RX Buffer 非空
q0_ln0_rx_valid_o	output	1	Quad0 Lane0 RX Buffer 读数据有效指示, 指示 q0_ln0_rx_data_o 是否有效 1: 有效 0: 无效
q0_ln0_rxc_o	output	8	Quad0 Lane0 64B66B RXC
q0_ln0_rxd_o	output	64	Quad0 Lane0 64B66B RXD
q0_ln0_rx_header_o	output	2	Quad0 Lane0 64B67B 接收 header
q0_ln0_rx_data_o	output	64	Quad0 Lane0 64B67B 接收 data
发送数据接口			
q0_ln0_tx_data_i	input	80	Quad0 Lane0 TX Buffer 写数据, 同步于 q0_ln0_tx_clk_i, 当 q0_ln0_tx_fifo_wren_i 为 1 时, 数据写入 TX Buffer
q0_ln0_tx_fifo_wren_i	input	1	Quad0 Lane0 写使能, 同步于 q0_ln0_tx_clk_i 1: 写有效 0: 写无效
q0_ln0_tx_fifo_wrusewd_o	output	5	Quad0 Lane0 TX Buffer 剩余数据指示
q0_ln0_tx_fifo_afull_o	output	1	Quad0 Lane0 TX Buffer 几乎满指示 1: TX Buffer 几乎满 0: TX Buffer 非几乎满
q0_ln0_tx_fifo_full_o	output	1	Quad0 Lane0 TX Buffer 满指示 1: TX Buffer 满 0: TX Buffer 非满
q0_ln0_tx_fetch_o	output	1	Quad0 Lane0 64B66B/64B67B 发送数据获取指示 1: 发送数据获取 0: 发送数据未获取
q0_ln0_txc_i	input	8	Quad0 Lane0 64B66B TXC
q0_ln0_txd_i	input	8	Quad0 Lane0 64B66B TXD
控制接口			
q0_ln0_cb_start_i	input	1	当 IP 使能接收 Channel Bonding 时, 此端口有效。当用户拉高此管脚后, SerDes 内部的 Channel Bonding 模块开始对齐数据操作。用户需要等所选通道的 word_align_link_o 均为 1 后, 才能同时拉高所选通道的此管脚。
q0_ln0_tx_ctrl_i	input	3	Quad0 Lane0 64B66B/64B67B 发送控制信号, 需赋值 3'b000
状态接口			

端口名称	I/O	位宽	描述
q0_ln0_signal_detect_o	output	1	接收差分信号状态指示 1: 检测到有效信号输入 0: 未检测到有效信号输入, 接收在 Electrical Idle 状态
q0_ln0_rx_cdr_lock_o	output	1	接收 CDR lock 指示 1: CDR 已锁定 0: CDR 未锁定
q0_ln0_k_lock_o	output	1	接收 word align 模块预锁定指示 1: Word align 模块进入预锁定状态 0: Word align 模块未进入预锁定状态
q0_ln0_word_align_link_o	output	1	接收 word align 模块锁定指示 1: Word align 模块进入锁定状态 0: Word align 模块未进入锁定状态
q0_ln0_pll_lock_o	output	1	发送 PLL 锁定指示 1: 发送 PLL 锁定 0: 发送 PLL 未锁定
q0_ln0_ready_o	output	1	收发通道状态指示 1: 通道已准备完成 0: 通道未准备完成
q0_ln0_tx_invl_d_blk_o	output	1	Quad0 Lane0 64B66B/64B67B 编码收到 invalid block 1: 收到 invalid block 0: 未收到 invalid block
q0_ln0_rx_blk_lock_o	output	1	Quad0 Lane0 64B66B/64B67B 协议块锁定指示 1: 锁定 0: 未锁定
q0_ln0_rx_dec_err_o	output	1	Quad0 Lane0 64B66B/64B67B 协议 decoder error 指示 1: decode 错误 0: decode 正确
q0_ln0_rx_dscr_err_o	output	1	Quad0 Lane0 64B67B descrambler error 指示 1: descrambler 错误 0: descrambler 正确
q0_ln0_rx_invl_header_o	output	1	Quad0 Lane0 64B66B/64B67B 协议 invalid sync header 指示 1: invalid sync header 0: valid sync header
q0_ln0_rx_ctc_ins_o	output	2	Quad0 Lane0 64B66B CTC 模块插入 word 指示 bit[1]: 1: upper word (higher four-byte) is added bit[0]: 1: lower word (lower four-byte) is added
q0_ln0_rx_ctc_del_o	output	2	Quad0 Lane0 64B66B CTC 模块删除 word 指示 bit[1]: 1: the previous upper word (higher four-byte) is deleted bit[0]: 1: the previous lower word (lower four-byte) is

端口名称	I/O	位宽	描述
			deleted
q0_ln0_rx_her_hi_o	output	1	Quad0 Lane0 64B66B/64B67B 协议 high BER 指示 1: high BER
动态配置接口			
drp_clk_o	output	1	DRP 接口时钟
drp_addr_i	input	24	DRP 操作地址，同步于 drp_clk_o
drp_wren_i	input	1	DRP 写操作使能，同步于 drp_clk_o 1: 写操作 0: 无操作
drp_wrdata_i	input	32	DRP 写数据，同步于 drp_clk_o
drp_strb_i	input	8	DRP 写操作选通信号，高有效，同步于 drp_clk_o。当写操作时，需要置为全 1。
drp_ready_o	output	1	DRP 写操作完成指示，同步于 drp_clk_o 1: 写操作完成 0: 写操作未完成
drp_rden_i	input	1	DRP 读操作使能，同步于 drp_clk_o 1: 读操作 0: 无操作
drp_rdvld_o	output	1	DRP 读操作返回数据有效指示，同步于 drp_clk_o 1: 返回有效数据 0: 未返回有效数据
drp_rddata_o	output	32	DRP 读数据，同步于 drp_clk_o
drp_resp_o	output	1	保留

5 界面配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin Customized IP。

1. 打开 SerDes IP

用户建立工程后，单击左上角“Tools”选项卡，下拉单元“IP Core Generator”选项，打开 Gowin IP Core Generator，双击打开“SerDes IP”。

2. 打开 Customized IP

用户打开 SerDes IP 后，在“Protocol”下拉列表中找到“Customized”，点击“Create”即可打开 Customized IP 协议配置界面。

3. 配置 Customized IP

Customized IP 配置界面如图 5-1、图 5-2、图 5-3、图 5-4、图 5-5、图 5-6、图 5-7 所示，包括“Channel,Line Rate,Refclk Selection”，“Data Width,Encoding,RX Word Alignment”，“Channel Bonding”，“RX Clock Correction”和“AFE”。用户在这些选项页选择 Customized IP 相关的参数。各个参数的含义如表 5-1 所示。

图 5-1 GW5AT-138 Channel,Line Rate,Refclk Selection 配置界面

Channel,Line Rate,Refclk Selection Data Width,Encoding,RX Word Alignment Channel Bonding RX Clock Correcti

Channel Selection

Q0 Lane0 Q0 Lane1 Q0 Lane2 Q0 Lane3

Q1 Lane0 Q1 Lane1 Q1 Lane2 Q1 Lane3

Line Rate

TX Line Rate: Gbps Ratio:

RX Line Rate: Gbps

Refclk Selection

Mode:

Reference Clock Source:

Reference Clock Frequency: MHz

PLL Selection:

REFMUX0 Source: Frequency: MHz

REFMUX1 Source: Frequency: MHz

PLL Refclk Source:

RX Refclk Source:

Loopback

Loopback Mode:

DRP Port

图 5-2 GW5AT-60 Channel,Line Rate,Refclk Selection 配置界面

Channel,Line Rate,Refclk Selection
Data Width,Encoding,RX Word Alignment
Channel Bonding
RX Clock Correction
AFE

Channel Selection

Q0 Lane0 Q0 Lane1 Q0 Lane2 Q0 Lane3
 Q1 Lane0 Q1 Lane1 Q1 Lane2 Q1 Lane3

Line Rate

TX Line Rate: Gbps Ratio: NA ▾

RX Line Rate: Gbps

Refclk Selection

Mode: Auto ▾

Reference Clock Source: Q0 REFCLK0 ▾

Reference Clock Frequency: MHz

PLL Selection: CPLL ▾

REFMUX0 Source: ▾ Frequency: MHz

REFMUX1 Source: ▾ Frequency: MHz

REFMUX2 Source: ▾ Frequency: MHz

REFMUX3 Source: ▾ Frequency: MHz

PLL Refclk Source: ▾

RX Refclk Source: ▾

Calculate

Loopback

Loopback Mode: OFF ▾

DRP Port

图 5-3 GW5AT-138 Data Width,Encoding,RX Word Alignment 配置界面

Channel,Line Rate,Refclk Selection Data Width,Encoding,RX Word Alignment

Data Width

Internal Data Width: 10

TX External Data Ratio: 1:1 RX External Data Ratio: 1:1

Encoding and Decoding

Enable 8B/10B Encoding Enable 8B/10B Decoding

RX Word Alignment

Word Alignment

Pattern: K28.5 Mask: 111111111

图 5-4 GW5AT-60 Data Width,Encoding,RX Word Alignment 配置界面

Channel,Line Rate,Refclk Selection Data Width,Encoding,RX Word Alignment Chann < | >

Data Width

TX Internal Data Width: 10 RX Internal Data Width: 10

TX External Data Ratio: 1:1 RX External Data Ratio: 1:1

Encoding and Decoding

TX Encoding Mode: OFF RX Decoding Mode: OFF

64B66B Mode: RX Interlaken Meta Frame Length:

RX Word Alignment

Word Alignment

Pattern: K28.5 Mask: 111111111

图 5-5 Channel Bonding 配置界面

Channel, Line Rate, Refclk Selection Data Width, Encoding, RX Word Alignment Channel Bonding RX Clock Correction

RX Channel Bonding

Channel Bonding: None

Master Channel Selection: [Dropdown]

Pattern 0: 7C Pattern 0 must be K Character

Pattern 1: 7C K Character

Pattern 2: 7C K Character

Pattern 3: 7C K Character

Max Skew: 8

Read Start Depth: 16

TX Channel Bonding

Channel Bonding

Master Channel Selection: [Dropdown]

Read Start Depth: 16

图 5-6 RX Clock Correction 配置界面

rd Alignment Channel Bonding RX Clock Correction Interface Buffer

Clock Correction: None

Clock Source: User

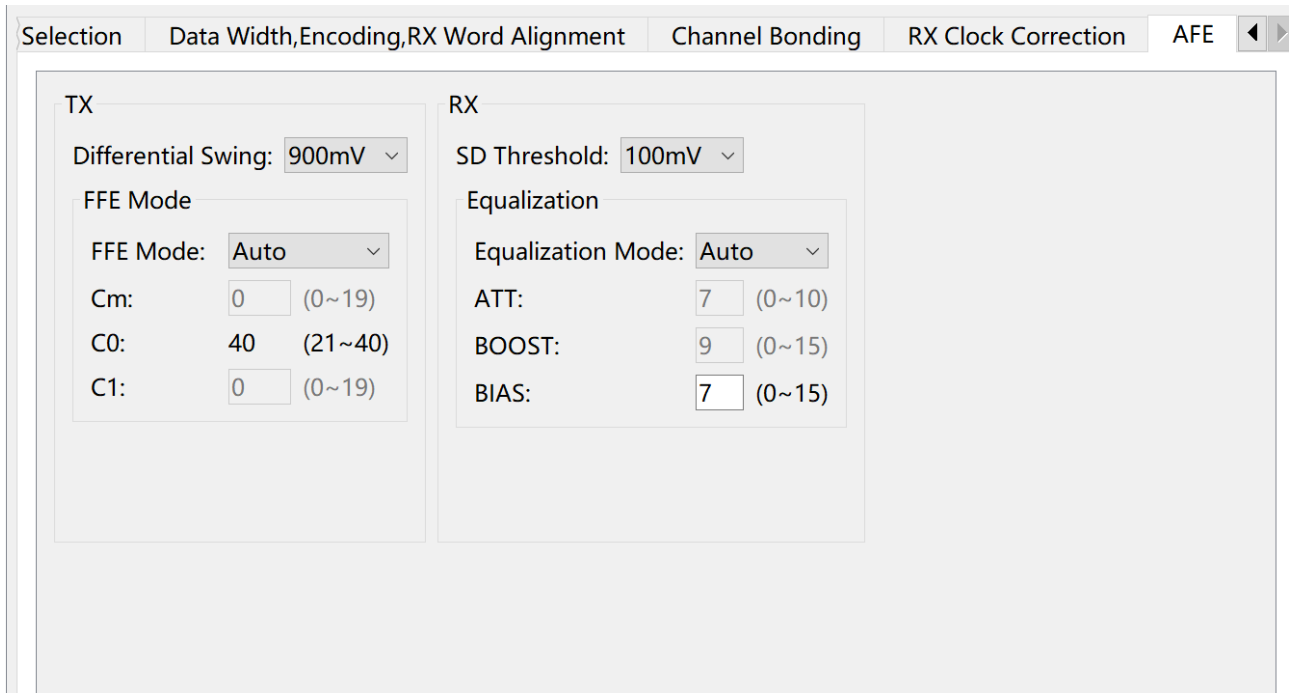
Master Channel Selection: [Dropdown]

Pattern 0: 7C Pattern 0 must be K Character

Pattern 1: 7C K Character

Read Start Depth: 16

图 5-7 AFE 配置界面



选择完 Customized IP 参数后，点击“OK”按钮，即可生成完 Customized IP 相关的配置。

4. 完成 SerDes IP 配置

用户在 SerDes IP 界面，完成所有协议的配置后，点击“OK”按钮，完成 SerDes IP 的生成。SerDes IP 顶层文件中，该 IP 所使用的信号其前缀与 Customized PHY IP 界面 Module Name 一致。

表 5-1 Customized IP 配置界面参数

参数名称	允许范围	描述
Channel,Line Rate,Refclk Selection		
Channel Selection	Q0 Lane0 Q0 Lane1 Q0 Lane2 Q0 Lane3 Q1 Lane0 Q1 Lane1 Q1 Lane2 Q1 Lane3	用户可勾选任意一个或多个 Lane； 如果用户勾选一个 Lane，则之后的配置均针对于这个 Lane；如果用户勾选多个 Lane，则之后的配置针对于勾选的所有 Lane。
TX Line Rate	0.025Gbps~12.5Gbps	配置发送数据速率
Ratio	NA 5x 10x 20x 40x	当 TX Line Rate < 1Gbps 时，配置发送数据速率比率，详见 速率 < 1Gbps
RX Line Rate	1Gbps~12.5Gbps	配置接收数据速率

参数名称	允许范围	描述
Mode	Auto Manual	时钟模式选择 Auto: 自动模式 Manual: 手动模式 如无特殊需求, 建议选择 Auto
Reference Clock Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	选择参考时钟源
Reference Clock Frequency	50~800MHz	配置参考时钟频率
PLL Selection	CPLL QPLL0 QPLL1	选择 PLL 注! 如果是单个 lane 推荐用 CPLL ; 如果是多个 lane 需要用 QPLL 。
REFMUX0 Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	选择 REFMUX0 的参考时钟源
REFMUX1 Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	选择 REFMUX1 的参考时钟源
REFMUX2 Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	选择 REFMUX2 的参考时钟源
REFMUX3 Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	选择 REFMUX3 的参考时钟源
PLL Refclk Source	REFMUX0 REFMUX1	选择 PLL 参考时钟源
RX Refclk Source	REFMUX0 REFMUX1	选择接收参考时钟源
Loopback Mode	OFF LB_NES LB_FES LB_ENC	OFF: 不环回, 正常工作模式 LB_NES: 模拟侧向内环 LB_FES: 模拟侧向外环 LB_ENC: 数字侧向内环
Calculate	-	检查参考时钟频率与数据速率是否匹配, 若匹配, 则弹出 “ Succeed ”。
DRP Port	勾选/不勾选	勾选: 使能 DRP 功能 不勾选: 禁止 DRP 功能
Data Width,Encoding,RX Word Alignment		
Internal Data Width	8 10	SerDes 内部数据位宽

参数名称	允许范围	描述
	16 20	
TX External Data Ratio	1:1 1:2 1:4	发送接口数据位宽比例 发送接口数据位宽= Internal Data Width* TX External Data Ratio
RX External Data Ratio	1:1 1:2 1:4	接收接口数据位宽比例 接收接口数据位宽= Internal Data Width* RX External Data Ratio
Enable 8B/10B Encoding	勾选/不勾选	勾选: 使能发送 8B/10B 编码功能 不勾选: 禁止发送 8B/10B 编码功能
Enable 8B/10B Decoding	勾选/不勾选	勾选: 使能接收 8B/10B 解码功能 不勾选: 禁止接收 8B/10B 解码功能
TX Internal Data Width	8 10 16 20	SerDes 发送内部数据位宽
RX Internal Data Width	8 10 16 20	SerDes 接收内部数据位宽
TX Encoding Mode	OFF 8B10B 64B66B 64B67B	发送数据编码格式
RX Decoding Mode	OFF 8B10B 64B66B 64B67B	接收数据解码格式
64B66B Mode	10GBASER with FIFO Async with FIFO	64B66B 模式选择
Interlaken Meta Frame Length	5~16383	64B67B meta frame length, 单位为 word (64bit)
Word Alignment	勾选/不勾选	勾选: 使能接收 Word Alignment 功能 不勾选: 禁止接收 Word Alignment 功能
Pattern	K28.0, K28.5 等有效 K 码	选择 Word Alignment 对齐码型。
Mask	0000000000~ 1111111111	Pattern 掩码。SerDes 在做 Word Align 时, 比较掩码是 1 的 bit, 不比较掩码是 0 的 bit。
RX Channel Bonding		
Channel Bonding	None One Word Two Words Four Words	接收 Channel Bonding 使能: None: 不使能 Channel Bonding One Word: 使能 1 个 Word 的 Channel Bonding 功能 Two Words: 使能 2 个 Word 的 Channel Bonding 功

参数名称	允许范围	描述
		能 Four Words: 使能 4 个 Word 的 Channel Bonding 功能
Master Channel Selection	所选 Lane	选择接收 Channel Bonding 主通道
Pattern0	0x00~0xFF	第 1 个对齐码, 必须是 K 码。
Pattern1/2/3	0x00~0xFF	第 2/3/4 个对齐码, 可选是否是 K 码。
K Character	勾选 不勾选	配置对齐码是否是 K 码 勾选: K 码 不勾选: 数据
Max Skew	0~31	配置接收各个通道之间最大 skew
Read Start Depth	0~31	数据绑定后, 配置该模块的读开始深度。
TX Channel Bonding		
Channel Bonding	勾选/不勾选	发送 Channel Bonding 使能 勾选: 使能发送 Channel Bonding 不勾选: 禁止发送 Channel Bonding
Master Channel Selection	所选 Lane	选择发送 Channel Bonding 主通道
Read Start Depth	0~31	配置数据绑定后, 配置 TX Buffer 的读开始深度。
RX Clock Correction		
Clock Correction	None One Word Two Words	接收 Clock Correction 使能: None: 不使能 Clock Correction One Word: 使能 1 个 Word 的 Clock Correction 功能 Two Words: 使能 2 个 Word 的 Clock Correction 功能
Clock Source	User Quad TX	选择接收 Clock Correction 需要同步的目的时钟源: User: 设置 Clock Source 为 Fabric 输入时钟 (例如 q0_ln0_cc_clk_i) TX: 选项表示设置 Clock Source 为 TX 时钟 Quad: 保留
Master Channel Selection	所选 Lane	选择接收 Clock Correction 主通道
Pattern0	0x00~0xFF	第 1 个调整码, 必须是 K 码。
Pattern1	0x00~0xFF	第 2 个调整码, 可选是否是 K 码。
K Character	勾选 不勾选	配置调整码是否是 K 码: 勾选: K 码 不勾选: 数据
Read Start Depth	0~31	数据调整后, 配置该模块的读开始深度。
AFE		
Differential Swing	100mV~900mV	配置发送差分信号摆幅 Vdiffpp, Vdiffpp=2xVdiff
FFE Mode	Auto	配置发送 FFE 模式。

参数名称	允许范围	描述
	Manual	Auto: 自动模式 Manual: 手动模式
Cm	0~19	发送 FFE pre-cursor
C0	21~40	发送 FFE main-cursor
C1	0~19	发送 FFE post-cursor
SD Threshold	25mV~200mV	接收差分信号 SD 门限
Equalization Mode	Auto Manual	接收均衡模式。 Auto: 自动模式 Manual: 手动模式
ATT	0~10	调整接收中频衰减, 数值越小表示衰减越大。
BOOST	0~15	调整接收高频放大, 数值越大表示增益越大。
BIAS	0~15	配置 SerDes 对接收信号的放大参数。配置越高, 对信号的放大作用越强。

6 参考设计

详细信息请参见高云半导体官网 Customized PHY 相关参考设计。

