




Gowin AXI-Stream FIFO IP

用户指南

IPUG1028-1.0,2023-11-16

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/11/16	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语和简写	2
1.4 技术支持与反馈	2
2 概述	3
2.1 介绍	3
2.2 特征	3
2.3 工作频率	4
2.4 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 模块功能	5
3.3 寄存器描述	6
3.3.1 ISR 和 IER	6
3.3.2 TDFR	7
3.3.3 TDFV	7
3.3.4 TLR	8
3.3.5 RDFR	8
3.3.6 RDFO	8
3.3.7 RLR	9
3.3.8 SRR	9
3.3.9 TDR	9
3.3.10 RDR	10
3.4 工作原理	10
3.4.1 Transmit 工作原理	10
3.4.2 Receive 工作原理	11

4 端口描述	13
4.1 系统信号	14
4.2 AXI4-Lite 端信号	14
4.3 AXI4 端信号	15
4.4 AXI4-Stream 端信号	16
5 时序说明	17
5.1 AXI4-Stream 时序	17
5.2 AXI4-Lite 时序	18
5.2.1 AXI4-Lite Transmit 时序	18
5.2.2 AXI4-Lite Receive 时序	19
5.3 AXI4 时序	19
5.3.1 AXI4 Transmit 时序	19
5.3.2 AXI4 Receive 时序	20
6 调用及配置	21
6.1 IP 调用	21
6.2 IP 配置	22
6.2.1 Data Interface	22
6.2.2 Transmit/Receive Mode	22
7 参考设计	23
7.1 硬件平台	23
7.2 工作原理	23
7.3 参数配置	24
7.4 操作步骤	24
8 文件交付	25
8.1 文档	25
8.2 参考设计	25

图目录

图 3-1 Gowin AXI-Stream FIFO IP 结构图	5
图 3-2 中断结构	6
图 3-3 TDFR	7
图 3-4 TDFV	7
图 3-5 TLR	8
图 3-6 TLR 时序	8
图 3-7 RDFR	8
图 3-8 RDFO	8
图 3-9 RLR(存储转发模式)	9
图 3-10 RLR 时序	9
图 3-11 RLR(直通模式)	9
图 3-12 SRR	9
图 3-13 TDR	10
图 3-14 RDR	10
图 3-15 Transmit 流程图	10
图 3-16 Receive 流程图	11
图 4-1 AXI-Stream FIFO IP 端口示意图	13
图 5-1 AXI4-Stream 与 IP 接口时序图	17
图 5-2 M1 与 IP 接口写时序(地址与事务对齐的传输)	18
图 5-3 M1 与 IP 接口写时序(事务滞后地址的传输)	18
图 5-4 M1 与 IP 接口读时序	19
图 5-5 M2 与 IP 接口写时序	19
图 5-6 M2 与 IP 接口读时序	20
图 6-1 IP Core Generator 界面	21
图 6-2 AXI-Stream FIFO 配置界面	22
图 7-1 参考设计系统结构	23

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin AXI-Stream FIFO IP 概述	3
表 2-2 资源利用	4
表 3-1 寄存器描述	6
表 3-2 ISR 中断定义	7
表 4-1 系统信号	14
表 4-2 AXI4-Lite 端口信号	14
表 4-3 AXI4 端口信号	15
表 4-4 AXI4-Stream 端口信号	16
表 6-1 IP 配置项	22
表 8-1 文档列表	25
表 8-2 参考设计文件列表	25

1 关于本手册

1.1 手册内容

Gowin® AXI-Stream FIFO IP 用户指南主要内容包括功能描述、信号定义、界面配置、参考设计，旨在助用户快速了解 Gowin AXI-Stream FIFO IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9 Beta-3 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

登录高云®半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语和简写

表 1-1 中列出了本手册中出现的术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	释义	
ALU	Arithmetic Logic Unit	算术逻辑单元	
AXI4	Advanced eXtensible Interface 4	高级可扩展接口4	
BSRAM	Block Static Random Access Memory	块状静态随机存储器	
FIFO	First-In-First-Out	先进先出	
I/O	Input/Output Bus	输入/输出总线	
IP	Intellectual Property	知识产权	
LUT	Look-up Table	查找表	
REG	Register	寄存器	
M1	Master1 Port	AXI4-Lite主机端	统称M端
M2	Master2 Port	AXI4主机端	
A-S	AXI4-Stream Port	AXI4-Stream主/从机端	
TX-FIFO	Transmit FIFO	存储M端→IP的事务的FIFO	
RX-FIFO	Receive FIFO	存储A-S→IP的事务的FIFO	
WE-ADDR	Write Enable Address	M端→IP的写有效地址	
WE-DATA	Write Enable Data	M端→IP的写有效事务	
WE-RESP	Write Enable Response	IP→M端的写有效响应	
OE-ADDR	Output Enable Address	M端→IP的读有效地址	
OE-DATA	Output Enable Data	M端→IP的读有效事务	
TX-Sel	Transmit Selector	M端→IP的事务选择器	
RX-Sel	Receive Selector	IP→M端的事务选择器	

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: 86 755 8262 0391

2 概述

2.1 介绍

Gowin AXI-Stream FIFO IP 实现了 AXI4/AXI4-Lite 事务与 AXI4-Stream 事务的相互转换，用户可以使用该 IP 对 AXI4-Stream 接口内存映射访问。

表 2-1 Gowin AXI-Stream FIFO IP 概述

Gowin AXI-Stream FIFO IP	
逻辑资源	见表2-2
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software(V1.9.9Beta-3及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 特征

- 32 位 AXI4-Lite 管理接口
- 事务接口类型可配置为 AXI4/AXI4-Lite；配置为 AXI4-Lite 时，事务位宽 32 位；配置为 AXI4 时，事务位宽 32/64 位
- TX-FIFO 和 RX-FIFO 相互独立，FIFO 深度可配置
- 全双工模式
- 提供中断和监控
- 事务传输模式可配置为存储转发模式(Store-and-Forward Mode)或直通模式(Cut-Through Mode)，收发独立

2.3 工作频率

Gowin AXI-Stream FIFO IP 工作频率由 M1 提供的时钟和所选 FPGA 支持的最大时钟频率共同限定。例如使用 GW2A-55 系列器件，默认配置下最大工作频率 150 MHz。

2.4 资源利用

Gowin AXI-Stream FIFO IP 采用 Verilog HDL 实现，因使用器件的密度、速度和等级的不同，其性能和资源利用情况可能不一致。以高云 GW2A-55 为例，默认配置下资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

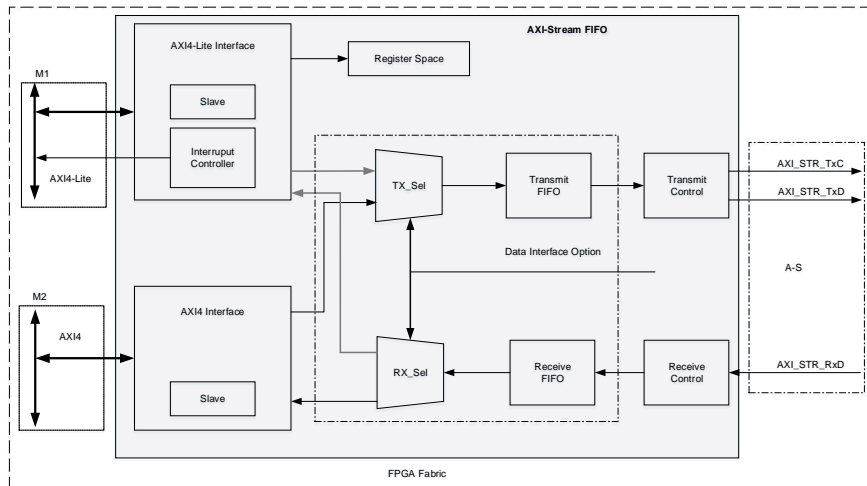
器件	编程语言	LUTs	ALUs	REGs	BSRAM
GW2A-55	Verilog HDL	1863	28	845	2

3 功能描述

3.1 系统框图

Gowin AXI-Stream FIFO IP 由 AXI4-Lite Interface、AXI4 Interface、Data Interface、Transmit Control 和 Receive Control 等构成，如图 3-1 所示，IP 外接 M 端和 A-S，支持 AXI4 基准协议。

图 3-1 Gowin AXI-Stream FIFO IP 结构图



3.2 模块功能

- AXI4-Lite Interface: 连接 IP 与 M1，实现内存映射事务(Slave)和管理事务(Interrupt Controller、Register Space)的读写
- AXI4 Interface: 连接 IP 与 M2，实现内存映射事务(Slave)的读写
- Data Interface: Transmit FIFO 存储并转发“M 端→IP→A-S”的事务，Receive FIFO 实现逆向过程
- Transmit Control/Receive Control: 连接 IP 与 A-S，实现流事务的收发
- Register Space: 监控 IP，具体参见 [3.3 寄存器描述](#)

3.3 寄存器描述

Register Space 的所有 REG 皆用于监控 IP，且大小均为 4 字节，具体名称、地址及描述见表 3-1。

表 3-1 寄存器描述

REG	地址	类型	描述
ISR	0x00	读/写	中断状态寄存器(Interrupt Status Register)
IER	0x04	读/写	中断使能寄存器(Interrupt Enable Register)
TDFR	0x08	只写	TX-FIFO复位寄存器(Transmit Data FIFO Reset)
TDFV	0x0C	只读	TX-FIFO空置率寄存器(Transmit Data FIFO Vacancy)
TLR	0x14	只写	发送事务包长值寄存器(Transmit Length Register)
RDFR	0x18	只写	RX-FIFO复位寄存器(Receive Data FIFO reset)
RDFO	0x1C	只读	RX-FIFO占用率寄存器(Receive Data FIFO Occupancy)
RLR	0x24	只读	接收事务包长值寄存器(Receive Length Register)
SRR	0x28	只读	A-S复位寄存器(AXI4-Stream Reset)
TDR	0x2C	只写	发送目标寄存器(Transmit Destination Register)
RDR	0x30	只读	接收目标寄存器(Receive Destination Register)

注！

- M1“WE-ADDR=0x10 对应的 WE-DATA”写入 TX-FIFO；
- M1“OE-ADDR=0x20 对应的 OE-DATA”自 RX-FIFO 读取；
- M2“WE-ADDR=0x00 对应的 WE-DATA”写入 TX-FIFO；
- M2“OE-ADDR=0x00 对应的 OE-DATA”自 RX-FIFO 读取。

3.3.1 ISR 和 IER

中断由 ISR 与 IER 共同管理，ISR[n]、IER[n]同为 1 时输出中断信号有效(Interrupt=1)，中断结构如图 3-2 所示。

图 3-2 中断结构

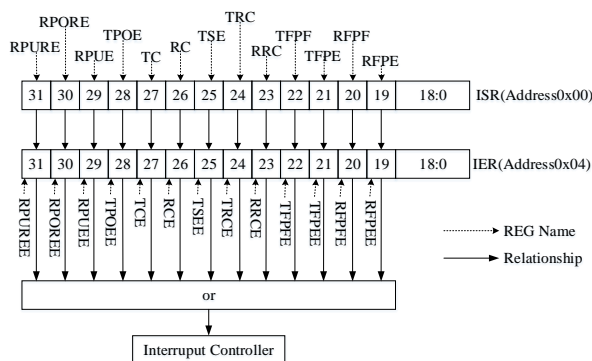


图 3-2 中 ISR[31:19]每位都表示一个中断状态，IER[31:19]用于一一对应使能/屏蔽 ISR[31:19]。ISR[n]为 1，表示某中断发生过或正在进行，此时，若 IER[n]为 1，则输出 Interrupt=1。中断定义如表 3-2 所示。

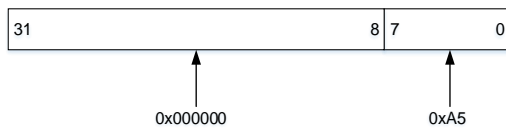
表 3-2 ISR 中断定义

位	名称	定义
18:0	保留位	全部默认为0，写/读为1时无影响
19	RFPE	Receive FIFO Programmable Empty: RX-FIFO的读写指针差值达到可编程空阈值时生成
20	RFPF	Receive FIFO Programmable Full: RX-FIFO的读写指针差值达到可编程满阈值时产生
21	TFPE	Transmit FIFO Programmable Empty: TX-FIFO的读写指针差值达到可编程空阈值时生成
22	TFPF	Transmit FIFO Programmable Full: TX-FIFO的读写指针差值达到可编程满阈值时生成
23	RRC	Receive Reset Complete: 接收逻辑重置完成后生成该中断
24	TRC	Transmit Reset Complete: 发送逻辑重置完成后生成该中断
25	TSE	Transmit Size Error: 写入TX-FIFO的字节数与写入TLR的值不匹配时生成该中断
26	RC	Receive Complete: 至少成功接收一包且接收的事务和读取的RLR的值可用时生成该中断
27	TC	Transmit Complete: 至少有一次发送成功时生成该中断
28	TPOE	Transmit Packet Overrun Error: TX-FIFO已满且却又要存入事务时生成该中断，重置发送逻辑方可恢复
29	RPUE	Receive Packet Underrun Error: RX-FIFO已空且却又要读取事务时生成该中断，重置接收逻辑方可恢复
30	RPORE	Receive Packet Overrun Read Error: RX-FIFO读取的字多于分组中正在处理的字时生成该中断，重置接收逻辑方可恢复
31	RPURE	Receive Packet Underrun Read Error: 试图读取为空的RLR时生成该中断，事务读取无效，重置接收逻辑方可恢复

3.3.2 TDFR

TDFR 的值为 0x000000A5 时，如图 3-3 所示，生成 TX-FIFO 复位信号，写入其他值无影响，且 0x000000A5 只在 TX-FIFO→A-S 事务空闲时写入。

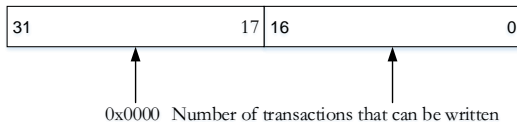
图 3-3 TDFR



3.3.3 TDFV

TDFV 用于记录 TX-FIFO 的可用空间如图 3-4 所示。

图 3-4 TDFV



3.3.4 TLR

TLR 用于存储每包事务的包长度值(单位字节)如图 3-5 所示, IP 需先将来自 M 端的每包事务完全写入 TX-FIFO, 后将对应事务包长度值写入 TLR 如图 3-6 所示。

图 3-5 TLR

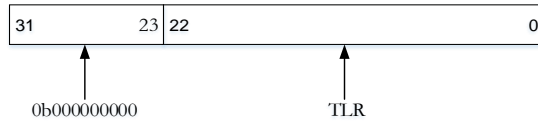
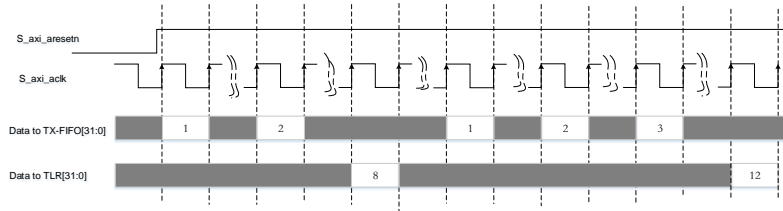


图 3-6 TLR 时序



- 存储转发模式

该模式下 M 端的每包事务需完全存入 TX-FIFO 中, 待 TLR 写入有效值后才可将事务从 TX-FIFO 中取出并传输至 A-S。

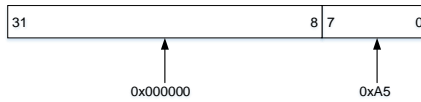
- 直通模式

该模式下无需等待事务包的完整性即可先往 A-S 转发部分事务(TX-FIFO 中至少保留一拍事务等待 TLR 写入有效值), 待 TLR 写入有效值后再往 A-S 转发剩余的至少一拍事务。

3.3.5 RDFR

RDFR 的值为 0x000000A5 时, 如图 3-7 所示, 生成 RX-FIFO 复位信号, 写入其他值无影响, 且 0x000000A5 只在 RX-FIFO→M 端事务空闲时写入。

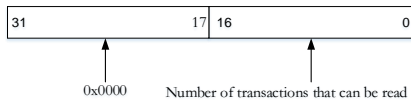
图 3-7 RDFR



3.3.6 RDFO

RDFO 用于记录 RX-FIFO 的已使用空间如图 3-8 所示。

图 3-8 RDFO



3.3.7 RLR

RLR 用于存储 M 端当前需要读取的事务长度值(单位字节)。

- 存储转发模式

该模式下每包来自 A-S 的事务需完全存入 RX-FIFO 中，由 IP 计算 RLR 的值等待 M1 读取，之后 M 端根据读取到的 RLR 的值读取事务如图 3-9、图 3-10 所示。

图 3-9 RLR(存储转发模式)

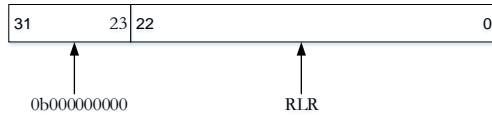
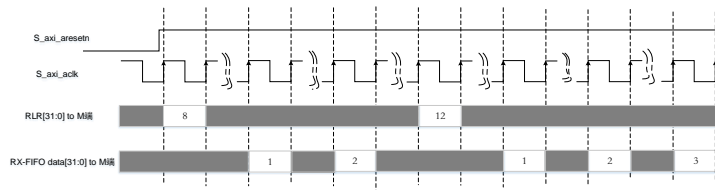


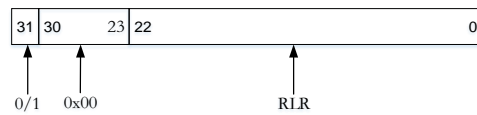
图 3-10 RLR 时序



- 直通模式

该模式下 RX-FIFO 非空时，IP 可将 RLR 的最高位置 1，此时 M 端无需等待事务包的完整性即可先读取 RX-FIFO 中的事务，待读取完整个事务包时，IP 将 RLR 的最高位置 0，如图 3-11 所示，表明该包事务已经完全读取。

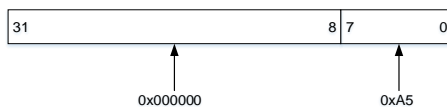
图 3-11 RLR(直通模式)



3.3.8 SRR

SRR 的值为 0x000000A5 时，如图 3-12 所示，生成 A-S 复位信号，写入其他值无影响。

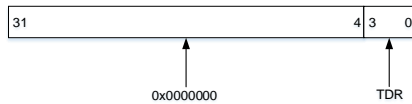
图 3-12 SRR



3.3.9 TDR

TDR 用于保存需要发送的事务对应的目的地址如图 3-13 所示，当前版本未使用。

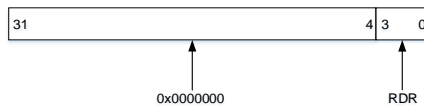
图 3-13 TDR



3.3.10 RDR

RDR 于保存需要接收的事务所对应的目的地址如图 3-14 所示，当前版本未使用。

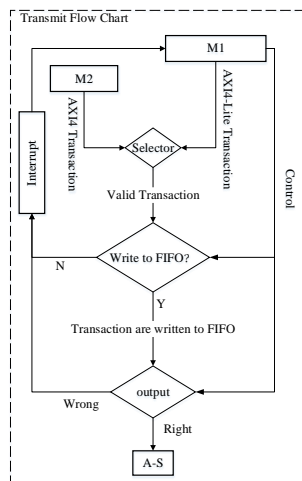
图 3-14 RDR



3.4 工作原理

3.4.1 Transmit 工作原理

图 3-15 Transmit 流程图



Transmit 流程如图 3-15 所示，工作原理如下：

接口类型选择 M1，IP 将来自 M1 的事务存储并转发至 A-S。

1. M1→IP

IP 将每拍 M1 “WE-ADDR=0x10 对应的 WE-DATA” 写入 TX-FIFO，一旦与 M1 “WE-ADDR=0x14 对应的 WE-DATA” (即事务包长值)握手成功后即将该值写入 TLR，至此完成完整的事务包写入 TX-FIFO 且对应包长值写入 TLR 的过程

2. IP→A-S

- 存储转发模式(Store-and-Forward Mode)

IP 比较每组写入 TX-FIFO 的事务字节数与对应 TLR 的值是否匹配，若匹配则该组事务可以转发至 A-S，否则生成 TSE 中断输出至 Interrupt Controller.

- 直通模式(Cut-Through Mode)

若 TX-FIFO 非空且事务个数大于 1 时，部分事务可以先转发至 A-S，待 IP 写入有效 TLR 值且该值与写入 IP 的事务字节数匹配，即可把剩余的至少一拍事务转发至 A-S，否则生成 TSE 中断输出至 Interrupt Controller。

接口类型选择 M2，IP 将来自 M2 的事务存储并转发至 A-S。

1. M2→IP

IP 将每拍 M2 “WE-ADDR=0x00 对应的 WE-DATA” 写入 TX-FIFO，一旦与 M1 “WE-ADDR=0x14 对应的 WE-DATA” (即事务包长值)握手成功后即将该值写入 TLR，至此完成完整的事务包写入 TX-FIFO 且包长值写入 TLR 的过程

2. IP→A-S

- 存储转发模式(Store-and-Forward Mode)

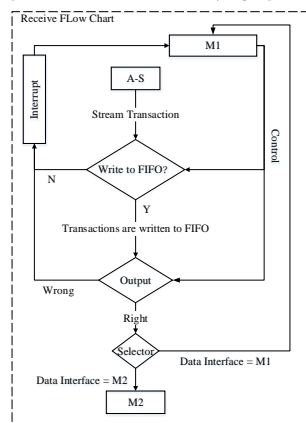
IP 比较每组写入 TX-FIFO 的事务字节数与对应 TLR 的值是否匹配，若它们匹配则该组事务可以转发至 A-S，否则生成 TSE 中断输出至 Interrupt Controller

- 直通模式(Cut-Through Mode)

若 TX-FIFO 非空，且事务个数大于 1 时，部分事务可以先转发至 A-S，待 IP 写入有效 TLR 的值且该值与写入 IP 的事务字节数匹配，即可把剩余的至少一拍事务转发至 A-S，否则生成 TSE 中断输出至 Interrupt Controller。

3.4.2 Receive 工作原理

图 3-16 Receive 流程图



Receive 流程如图 3-16 所示，工作原理如下：

接口类型选择 M1，IP 将来自 A-S 的事务存储并转发至 M1。

1. A-S→IP

IP 将来自 A-S 的流事务写入 RX-FIFO，last=1 确定事务包边界，计算出每组事务 RLR 的值

2. IP→M1

- 存储转发模式

M1 读取当前 RLR 的值(OE-ADDR=0x24 对应的 OE-DATA), 然后根据 RLR 的值读取事务(OE-ADDR=0x20 对应的 OE-DATA)。

- 直通模式

允许 M1 不按照顺序读取事务和 RLR 的值, 以 RLR 的最高位确定事务包边界。

接口类型选择 M2, IP 将来自 A-S 的事务存储并转发至 M2。

1. A-S→IP

IP 将来自 A-S 的流事务写入 RX-FIFO, last=1 确定事务包边界, 计算每组事务 RLR 的值。

2. IP→M2

- 存储转发模式

M1 读取当前 RLR 的值(OE-ADDR=0x24 对应的 OE-DATA), 然后 M2 根据 RLR 的值读取事务(OE-ADDR=0x00 对应的 OE-DATA)。

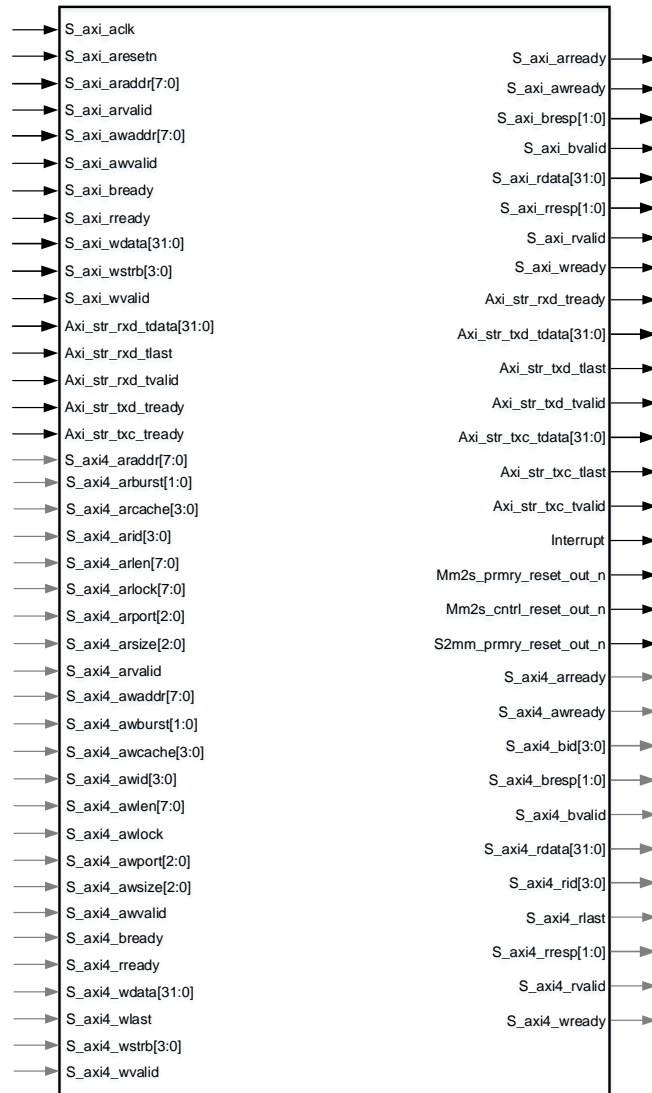
- 直通模式

允许 M2 与 M1 不按照顺序分别读取事务和 RLR 的值, 以 RLR 的最高位确定事务包边界。

4 端口描述

IP 端口示意图如图 4-1 所示。

图 4-1 AXI-Stream FIFO IP 端口示意图



注！

灰色箭头端口会根据所选模式显示或隐藏。

4.1 系统信号

表 4-1 系统信号

序号	信号名称	类型	描述	位宽	备注
1	S_axi_aclk	Input	时钟	1	仅上升沿有效
2	S_axi_aresetn	Input	复位	1	低电平有效

注!

系统信号由 M1 输入。

4.2 AXI4-Lite 端信号

表 4-2 AXI4-Lite 端口信号

序号	信号名称	类型	描述	位宽	备注
1	S_axi_araddr	Input	读地址	8	-
2	S_axi_arready	Output	读地址准备	1	高电平有效
3	S_axi_arvalid	Input	读地址就绪	1	高电平有效
4	S_axi_awaddr	Input	写地址	8	-
5	S_axi_awready	Output	写地址准备	1	高电平有效
6	S_axi_awvalid	Input	写地址就绪	1	高电平有效
7	S_axi_bresp	Output	写响应	2	00有效
8	S_axi_bready	Input	写响应准备	1	高电平有效
9	S_axi_bvalid	Output	写响应就绪	1	高电平有效
10	S_axi_rdata	Output	读事务	32	-
11	S_axi_rready	Input	读事务准备	1	高电平有效
12	S_axi_rresp	Output	读事务响应	2	00有效
13	S_axi_rvalid	Output	读事务就绪	1	高电平有效
14	S_axi_wdata	Input	写事务	32	-
15	S_axi_wready	Output	写事务准备	1	高电平有效
16	S_axi_wstrb	Input	写字节有效	4	当前版本只支持bit位全'1'
17	S_axi_wvalid	Input	写事务就绪	1	高电平有效
18	Interrupt	Output	中断信号	1	高电平有效

注!

该部分信号用于连接 IP 与 M1。

4.3 AXI4 端信号

表 4-3 AXI4 端口信号

序号	信号名称	类型	描述	位宽	备注
1	S_axi4_araddr	Input	读地址	8	当前版本仅启用0x00
2	S_axi4_arburst	Input	读突发	2	当前版本未启用
3	S_axi4_arcache	Input	读缓存	4	当前版本未启用
4	S_axi4_arid	Input	读地址ID	4	当前版本未启用
5	S_axi4_arlen	Input	读长度	8	当前版本未启用
6	S_axi4_arlock	Input	读锁	1	当前版本未启用
7	S_axi4_arport	Input	读保护	3	当前版本未启用
8	S_axi4_arready	Output	读地址准备	1	高电平有效
9	S_axi4_arsize	Input	读事务大小	3	当前版本未启用
10	S_axi4_arvalid	Input	读地址就绪	1	高电平有效
11	S_axi4_awaddr	Input	写地址	8	当前版本仅启用0x00
12	S_axi4_awburst	Input	写突发	2	当前版本未启用
13	S_axi4_awcache	Input	写缓存	4	当前版本未启用
14	S_axi4_awid	Input	写地址ID	4	当前版本未启用
15	S_axi4_awlen	Input	写长度	8	当前版本未启用
16	S_axi4_awlock	Input	写锁	1	当前版本未启用
17	S_axi4_awport	Input	写保护	3	当前版本未启用
18	S_axi4_awready	Output	写地址准备	1	高电平有效
19	S_axi4_awsiz	Input	写事务大小	3	当前版本未启用
20	S_axi4_awvalid	Input	写地址就绪	1	高电平有效
21	S_axi4_bid	Output	写响应ID	4	当前版本未启用
22	S_axi4_bready	Input	写响应准备	1	高电平有效
23	S_axi4_bresp	Output	写响应	2	00有效
24	S_axi4_bvalid	Output	写响应就绪	1	高电平有效
25	S_axi4_rdata	Output	读事务	32/6 4	-
26	S_axi4_rid	Output	读事务ID	4	当前版本未启用
27	S_axi4_rlast	Output	读事务结束	1	高电平有效
28	S_axi4_rready	Input	读事务准备	1	高电平有效
29	S_axi4_rresp	Output	读事务响应	2	00有效
30	S_axi4_rvalid	Output	读事务就绪	1	高电平有效
31	S_axi4_wdata	Input	写事务	32/6 4	-
32	S_axi4_wlast	Input	写事务结束	1	高电平有效
33	S_axi4_wready	Output	写准备	1	高电平有效

序号	信号名称	类型	描述	位宽	备注
34	S_axi4_wstrb	Input	写有效	4/8	当前版本只支持bit位全'1'
35	S_axi4_wvalid	Input	写就绪	1	高电平有效

注!

该部分信号用于连接 IP 与 M2，Data Interface 选择 AXI-Lite，该部分接口全部隐藏。

4.4 AXI4-Stream 端信号

表 4-4 AXI4-Stream 端口信号

序号	信号名称	类型	描述	位宽	备注
1	Axi_str_txd_tdata	Input	发送的流事务	32/64	-
2	Axi_str_txd_tlast	Output	发送结束标识	1	高电平有效
3	Axi_str_txd_tready	Input	发送准备	1	高电平有效
4	Axi_str_txd_tvalid	Input	发送就绪	1	高电平有效
5	Axi_str_txc_tdata	Output	发送事务管理	32/64	当前版本未启用
6	Axi_str_txc_tlast	Input	发送结束管理	1	当前版本未启用
7	Axi_str_txc_tready	Output	发送准备管理	1	当前版本未启用
8	Axi_str_txc_tvalid	Input	发送响应管理	1	当前版本未启用
9	Axi_str_rxd_tdata	Input	接收的流事务	32/64	-
10	Axi_str_rxd_tlast	Input	接收结束标识	1	高电平有效
11	Axi_str_rxd_tready	Output	接收准备	1	高电平有效
12	Axi_str_rxd_tvalid	Input	接收就绪	1	高电平有效
13	Mm2s_prmry_reset_out_n	Output	IP→A-S 业务复位标识	1	低电平有效
14	Mm2s_cntrl_reset_out_n	Output	IP→A-S 管理复位标识	1	当前版本未启用
15	S2mm_prmry_reset_out_n	Output	A-S→IP业务复位标识	1	低电平有效

注!

该部分信号用于连接 IP 与 A-S。

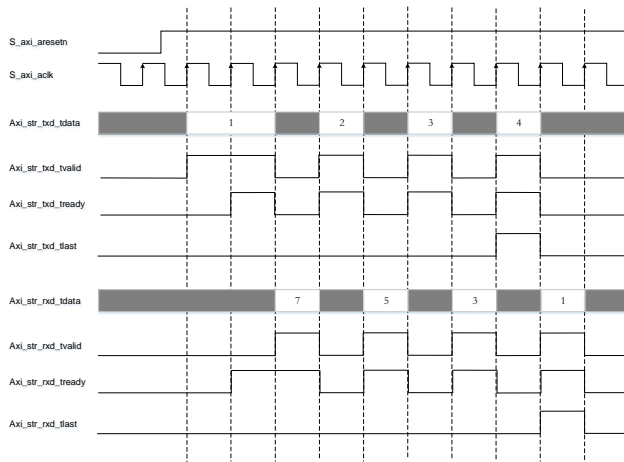
5 时序说明

Gowin AXI-Stream FIFO IP 支持 AXI4 基准协议，本手册只介绍 IP 的接口时序，AXI4 详细协议请用户参考官方标准。

- valid 信号包括 awvalid、wvalid、bwvalid、arvalid、rvalid、tvalid;
- ready 信号包括 awready、wready、bready、arready、rready、tready;
- last 信号包括 Axi_str_rxd_tlast、Axi_str_txd_tlast。

5.1 AXI4-Stream 时序

图 5-1 AXI4-Stream 与 IP 接口时序图

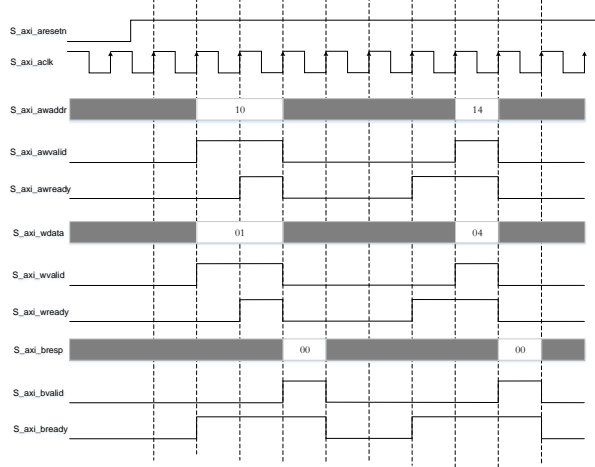


IP 与 A-S 的接口时序如图 5-1，收发独立，valid=1 且 ready=1 表示握手成功，last=1 定位每组流事务的最后一拍。

5.2 AXI4-Lite 时序

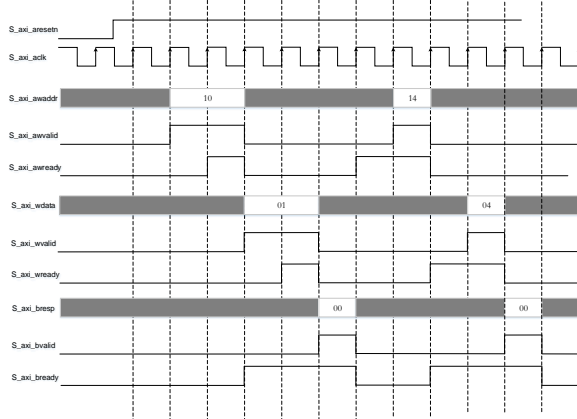
5.2.1 AXI4-Lite Transmit 时序

图 5-2 M1 与 IP 接口写时序(地址与事务对齐的传输)



- 对于 M1 发起事务与地址对齐的传输如图 5-2 所示，IP 准备好与 M1 握手则 awready/wready/bvalid 置 1(反之为 0)，同时/先后 M1 进行 WE-ADDR、WE-DATA、WE-RESP 握手，ready=1 且 valid=1 表示握手成功，成功后 awready/wready/bvalid 置 0。

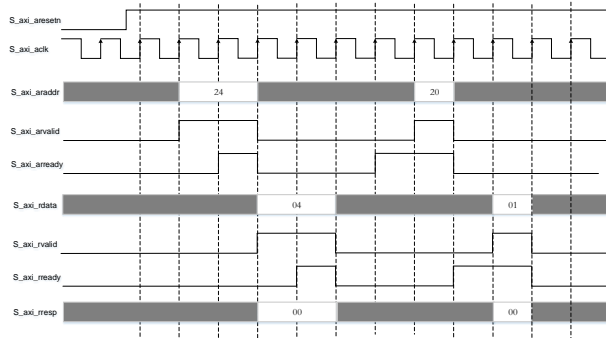
图 5-3 M1 与 IP 接口写时序(事务滞后地址的传输)



- 对于 M1 发起事务滞后地址的传输如图 5-3 所示，IP 准备好与 M1 握手 awready/wready/bvalid 置 1(反之为 0)，先后与 M1 进行 WE-ADDR、WE-DATA、WE-RESP 握手，ready=1 且 valid=1 表示握手成功，成功后 awready/wready/bvalid 置 0。

5.2.2 AXI4-Lite Receive 时序

图 5-4 M1 与 IP 接口读时序

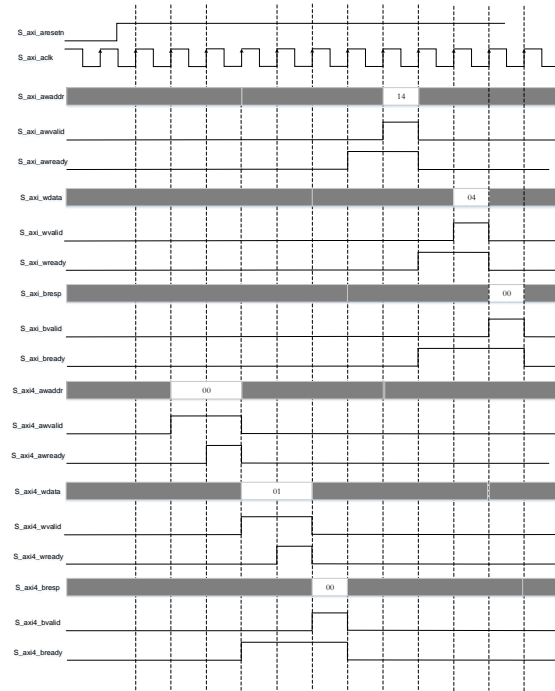


Receive 时序如图 5-4 所示，IP 准备好与 M1 握手则 arready/rvalid 置 1(反之为 0)，先后与 M1 进行 OE-ADDR、OE-DATA 握手，valid=1 且 ready=1 表示握手成功，成功后将 arready/rvalid 置 0。

5.3 AXI4 时序

5.3.1 AXI4 Transmit 时序

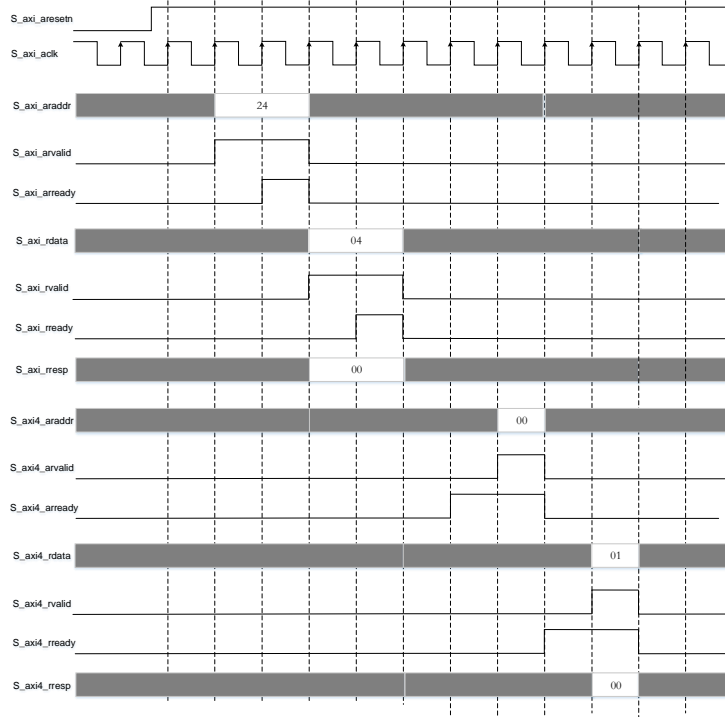
图 5-5 M2 与 IP 接口写时序



AXI4 的 Transmit 时序参考图 5-5。

5.3.2 AXI4 Receive 时序


图 5-6 M2 与 IP 接口读时序



AXI4 Receive 时序参考图 5-6。

6 调用及配置

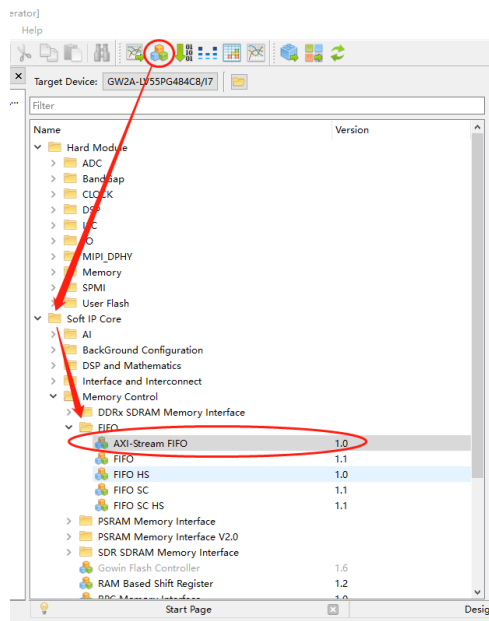
6.1 IP 调用

打开高云半导体云源®软件，点击快捷栏“”或菜单栏“Tools > IP Core Generator”启动 IP Core Generator 工具，进行 IP 的调用及配置。

1. 打开 IP Core Generator

用户创建工程后，点击“IP Core Generator”，即可打开 Gowin 的 IP 核产生工具，如图 6-1 所示。

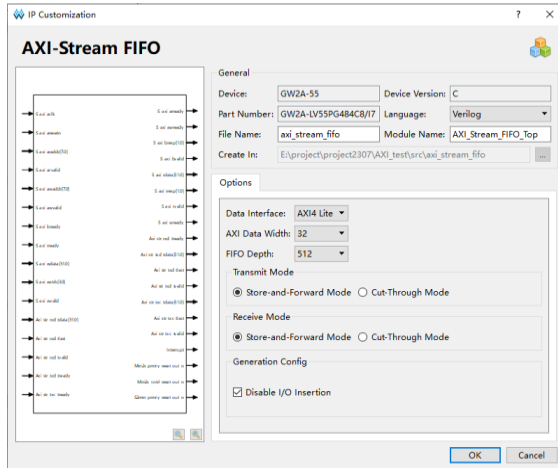
图 6-1 IP Core Generator 界面



2. 打开 IP

双击“FIFO > AXI-Stream FIFO”，打开 AXI-Stream FIFO IP 界面，如图 6-2 所示。

图 6-2 AXI-Stream FIFO 配置界面



- 可通过修改“File Name”，配置产生的 IP 文件名称；
- 可通过修改“Module Name”，配置产生的 IP 顶层模块名称；
- 可通过修改“Options”选项，配置 IP 其他配置。

6.2 IP 配置

表 6-1 IP 配置项

选项	描述
Data Interface	接口类型，可选AXI4或AXI4-Lite
AXI Date Width	事务位宽，AXI4模式下可选32/64 bits，AXI-Lite 只有32 bits
FIFO Depth	TX-FIFO、RX-FIFO深度，可选512/1024/2048/4096/8192/16384
Transmit Mode	可选Store-and-Forward Mode/Cut-Through Mode
Receive Mode	可选Store-and-Forward Mode/Cut-Through Mode

6.2.1 Data Interface

- Data Interface 选择 AXI4-Lite 时，事务位宽 32，TX-FIFO 用于存储和转发 M1 事务，RX-FIFO 用于存储和转发 A-S 事务；
- Data Interface 选择 AXI4 时，事务位宽 32/64，TX-FIFO 用于存储和转发 M2 事务，RX-FIFO 用于存储和转发 A-S 事务。

6.2.2 Transmit/Receive Mode

- Store-and-Forward Mode: 事务传输模式按照存储转发模式
- Cut-Through Mode: 事务传输模式按照直通模式

存储转发模式与直通模式的传输机制参见 [3.3.4 TLR](#) 和 [3.3.7 RLR](#)。

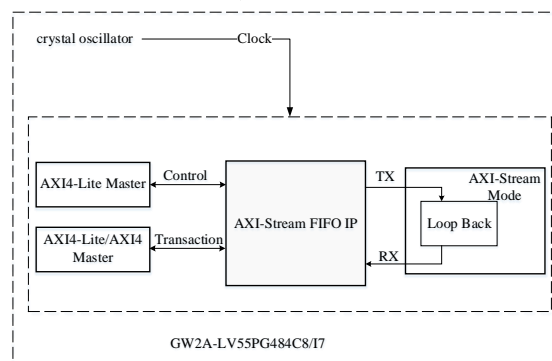
7 参考设计

详细信息请参见高云半导体官网 [AXI-Stream FIFO IP](#) 参考设计。

7.1 硬件平台

本节介绍在 GW2A-LV55PG484C8/I7_V3.0 上实现 IP 的例程，系统结构如图 7-1，系统由晶振、M 端、IP 和 A-S 四部分组成。

图 7-1 参考设计系统结构



7.2 工作原理


例程时钟由板载晶振产生，工作原理如下：

1. M 端发起写事务，IP 将内存映射事务写入 TX-FIFO
2. M1 发起写事务包长值，IP 将包长值写入 TLR
3. IP 根据 TLR 的值将写入 TX-FIFO 的事务读取并转发至 A-S
4. A-S 将事务自环后返回 IP
5. IP 将流事务写入 RX-FIFO，并计算包长值写入 RLR
6. 分存储转发模式和直通式模式
 - 存储转发模式：M1 读取 RLR，M 端根据 RLR 的值读取事务
 - 直通模式：无需按顺序读取 RLR 和事务，以 RLR 最高位确定事务包边界

7.3 参数配置

1. 板载晶振输入时钟 25 MHz，用户可根据需求调用锁相环以获取所需频率的时钟(当前设计的硬件平台默认配置下最大支持 150 MHz 的时钟频率)；
2. 用户可根据需求配置 master_define.v 文件中的参数。

7.4 操作步骤

1. 打开云源软件(Gowin_V1.9.9Beta-3 及以上) > 打开例程工程并设置顶层文件 > 编译例程 > 将生成的比特流文件(ao.fs)下载到板卡中；
2. 通过 Gowin Analyzer Oscilloscope “” 抓取时序结果；
3. 配置 master_define.v，按需并参考注释修改参数。

8 文件交付

Gowin AXI-Stream FIFO IP 交付文件主要包含文档和参考设计。

8.1 文档

文件夹主要包含用户指南 PDF 文档。

表 8-1 文档列表

名称	描述
IPUG1028, Gowin AXI-Stream FIFO IP 用户指南	Gowin AXI-Stream FIFO IP 用户手册

8.2 参考设计

表 8-2 参考设计文件列表

文件名称	描述
AXI_Stream_FIFO_TB.v	IP例程顶层文件，提供接口信息，不加密
AXI_Stream_FIFO.v	RTL设计文件，加密
master_define.v	用户自主配置参数文件，不加密
AXI_test.cst	物理约束文件，不加密，(用户可自主配置)
clk_constraints.sdc	时序约束文件，不加密，(用户可自主配置)

