




Gowin SDI IP 用户指南

IPUG1034-1.0,2023-09-22

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/09/22	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	iv
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 功能模块	5
3.2.1 发送部分	5
3.2.2 接收部分	6
3.2.3 SerDes 时钟	6
3.2.4 SerDes 数据	7
3.3 支持格式	7
3.4 端口列表	8
3.5 参数配置	11
3.6 时序说明	11
4 界面配置	13
5 参考设计	18
6 文件交付	19
6.1 文档	19

6.2 设计源代码（加密） 19

6.3 参考设计 19

图目录

图 3-1 Gowin SDI IP 系统框图	5
图 3-2 Gowin SDI IP TX 结构框图	5
图 3-3 Gowin SDI IP RX 结构框图	6
图 3-4 Gowin SDI IP 端口示意图	8
图 3-5 视频接口时序示意图	11
图 3-6 视频输出接口时序	12
图 4-1 打开 IP Core Generator	13
图 4-2 打开 Serdes IP 配置界面	14
图 4-3 打开 SDI 配置界面	15
图 4-4 SDI 配置界面示意图	15
图 4-5 基本信息配置界面	16
图 4-6 PHY Configuration 选项卡	16
图 4-7 Serdes IP 配置界面显示 SDI IP	17
图 5-1 参考设计基本结构框图	18

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin SDI IP	3
表 2-2 Gowin SDI IP 占用资源	4
表 3-1 IP 支持格式表	7
表 3-2 Gowin SDI IP 的端口列表	9
表 3-3 Gowin SDI IP 参数	11
表 6-1 文档内容列表	19
表 6-2 SDI IP 文件列表	19
表 6-3 Gowin SDI RefDesign 文件夹内容列表	19

1 关于本手册

1.1 手册内容

Gowin SDI IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin SDI IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CDR	Clock Data Recovery	时钟数据恢复
DE	Data Enable	数据使能
FPGA	Field Programmable Gate Array	现场可编程门阵列
HS	Horizontal Sync	水平同步
IP	Intellectual Property	知识产权
SDI	Serial Digital Interface	串行数字接口
SerDes	Serializer/Deserializer	串行器/解串器
SMPTE	Society of Motion Picture and Television Engineers	电影电视工程师协会
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

串行数字接口(SDI)是数字视频接口家族的一个成员,它可用于传输数字视频信号。SDI 支持不同的速率,可以传输多种不同的分辨率,它可以将不同的设备连接在一起,例如录像机、监视器、PC 和视频混合器,因此 SDI 被广泛地用在视频领域。

Gowin SDI IP 能在电影电视工程师协会(SMPTE)定义下 HD 或 3G 速率的标准下运行,并且能同时作为发送器和接收器。Gowin SDI IP 为用户提供了一个 SerDes 物理层访问接口,使用户能够方便地实现 SDI 协议层与物理层的连接。

表 2-1 Gowin SDI IP

Gowin SDI IP	
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9 Beta-4 及以上)

注!

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 1 lane 运行
- Link rate 支持 1.485/2.97Gbps/lane
- 支持 HD-SDI, 3G-SDI

2.3 资源利用

通过 Verilog 语言实现 Gowin SDI IP。因使用器件的密度、速度和等级不同,其性能和资源利用情况可能不同。以高云 GW5AST 系列 FPGA 为例, Gowin SDI IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin SDI IP 占用资源

器件	GW5AST-138
Register	901
LUT	1616

3 功能描述

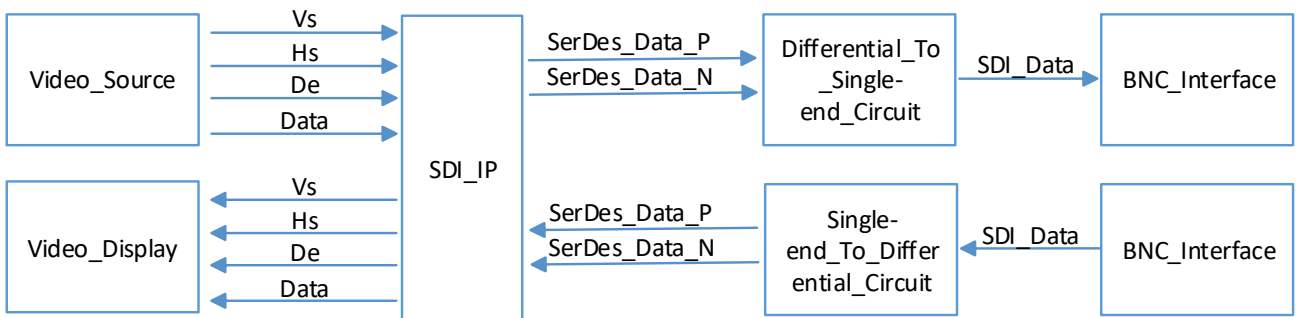
3.1 系统框图

Gowin SDI IP TX 的作用就是把并行视频数据放进 SDI IP，编码后变成串行数据输出。

Gowin SDI IP RX 的作用就是接收串行数据，转成并行数据后解码成视频数据输出。

Gowin SDI IP 系统框图如图 3-1 所示。

图 3-1 Gowin SDI IP 系统框图

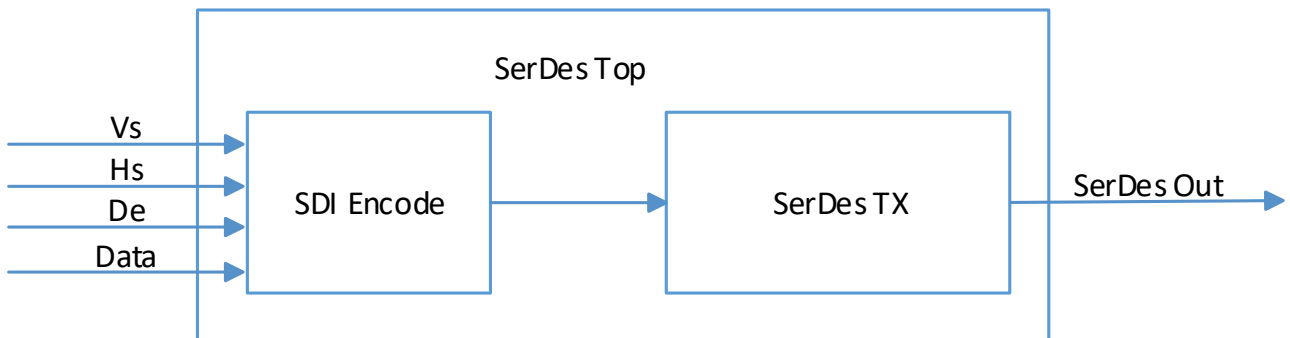


3.2 功能模块

3.2.1 发送部分

Gowin SDI IP TX 结构框图如图 3-2 所示。

图 3-2 Gowin SDI IP TX 结构框图



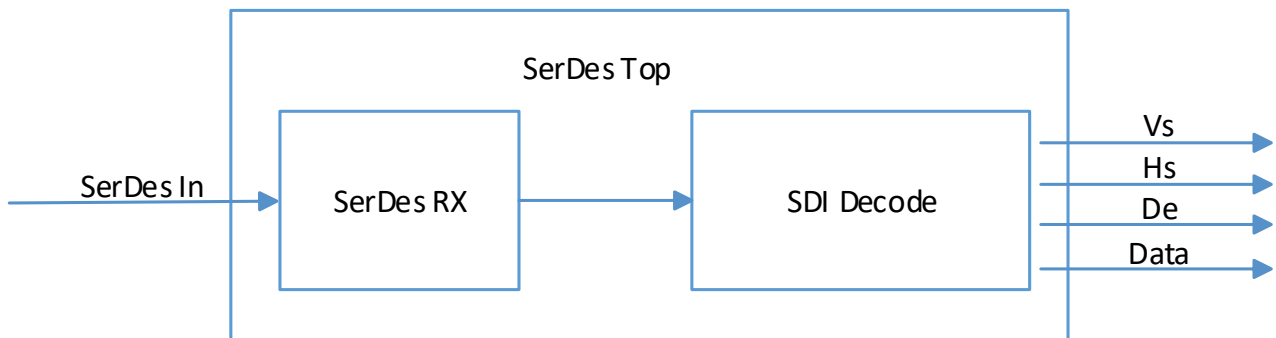
如上图，Gowin SDI IP TX 的发送部分由以下 2 个部分组成：

- SDI Encode: 把视频数据按 SDI 协议进行编码。
- SerDes TX: 把 SDI 编码后的数据串行化输出。

3.2.2 接收部分

Gowin SDI IP RX 结构框图如图 3-3 所示。

图 3-3 Gowin SDI IP RX 结构框图



如上图，Gowin SDI IP RX 接收部分由以下 2 个模块组成：

- SerDes RX: 接收串行数据，并把它并行化输出。
- SDI Decode: 对 SerDes 提供的并行数据进行解码。

3.2.3 SerDes 时钟

SerDes 发送时钟由 CPLL/QPLL 生成。用户在配置通道时，需要配置通道的速率、所使用的 PLL（CPLL/QPLL）和参考时钟源及其频率。根据以上配置，IP 配置 SerDes PLL 生成高速时钟，用于数据的发送。同时，SerDes 会根据用户配置，将高速时钟分频输出，作为 Fabric 发送时钟使用。

SerDes 接收时钟由 CDR 通过数据恢复，CDR 输出恢复后的串行数据时钟供接收模块使用。同时 SerDes 会根据用户配置，把串行数据时钟分频输出，作为 Fabric 接收时钟使用。

用户配置数据速率为 2.97Gbps，并行数据位宽为 20bits，Fabric 发送时钟为 $2.97\text{Gbps}/20=148.5\text{MHz}$ 。

用户配置数据速率为 1.485Gbps，并行数据位宽为 20bits，Fabric 发送时钟为 $1.485\text{Gbps}/20=74.25\text{MHz}$ 。

3.2.4 SerDes 数据

Gowin SDI IP SerDes 数据固定 20bits。SerDes 发送数据传输顺序方面，txdata 低 bit 位 lsb 先发送。SerDes 接收数据传输顺序方面，rxdata 低 bit 位 lsb 先接收。

3.3 支持格式

表 3-1 是 IP 支持的格式。

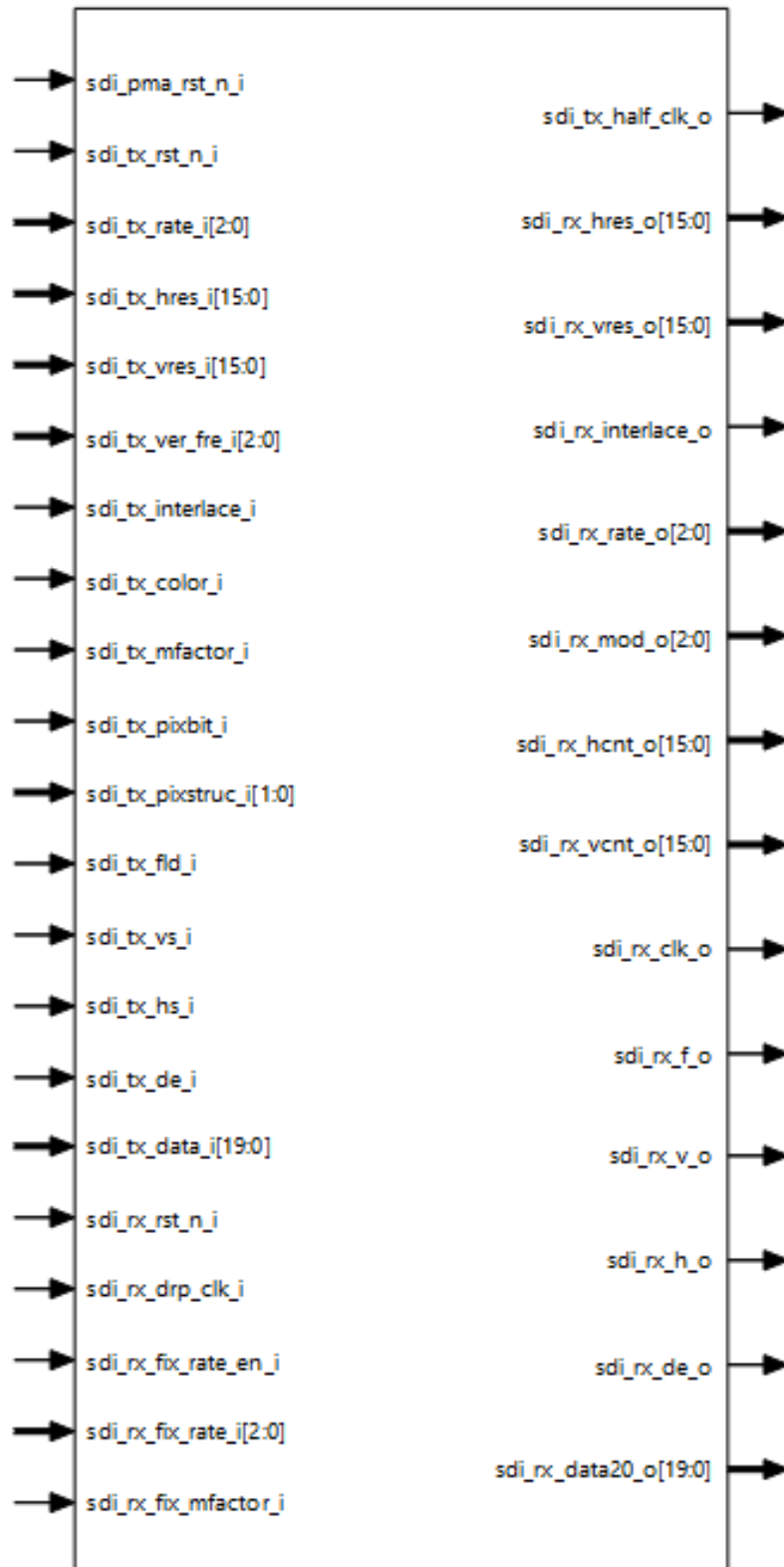
表 3-1 IP 支持格式表

Standard	HD-SDI					3G-SDI	
Hor Addr Pixel	1280	1280	1920	1920	1920	1920	1920
Ver Addr Line	720	720	1080	1080	1080	1080	1080
Hor Total Pixel	1650	1980	2200	2640	2750	2200	2640
Ver Total Line	750	750	1125	1125	1125	1125	1125
Scan Mode	Progressive	Progressive	Progressive	Progressive	Progressive	Progressive	Progressive
Frame Rate	60	50	30	25	24	60	50
Bit Per Word	20	20	20	20	20	20	20
Word Rate(Mhz)	74.25	74.25	74.25	74.25	74.25	148.5	148.5
Pixel Sample Rate(Mhz)	74.25	74.25	74.25	74.25	74.25	148.5	148.5
Structure	YC4:2:2	YC4:2:2	YC4:2:2	YC4:2:2	YC4:2:2	YC4:2:2	YC4:2:2
Pixel Depth	10	10	10	10	10	10	10

3.4 端口列表

Gowin SDI IP 的 IO 端口如图 3-4 所示。

图 3-4 Gowin SDI IP 端口示意图



根据配置参数不同，端口会略有不同。

Gowin SDI IP 的 IO 端口详细描述如表 3-2 所示。

表 3-2 Gowin SDI IP 的端口列表

信号名称	方向	位宽	描述	备注
sdi_pma_rst_n_i	I	1	SerDes PMA 的复位信号, 低电平有效	输入输出方向均以 SDI IP 为参考。
SDI_TX				
sdi_tx_rst_n_i	I	1	TX Encode 的复位信号, 低电平有效	
sdi_tx_rate_i	I	3	TX Encode 的速率输入 0: 保留 1: HD-SDI 2: 3G-SDI	
sdi_tx_hres_i	I	16	TX Encode 的水平分辨率输入	
sdi_tx_vres_i	I	16	TX Encode 的垂直分辨率输入	
sdi_tx_ver_fre_i	I	3	TX Encode 的垂直频率输入 0: 60Hz 1: 50Hz 2: 30Hz 3: 25Hz 4: 24Hz	
sdi_tx_interlace_i	I	1	TX Encode 的交错输入 0: 保留 1: 逐行扫描 P	
sdi_tx_color_i	I	1	TX Encode 的颜色输入 0: YC 1: 保留	
sdi_tx_mfactor_i	I	1	TX Encode 的 M 因子输入 0: M=1 1: 保留	
sdi_tx_pixbit_i	I	1	TX Encode 的像素 bit 输入 0: 10bit 1: 保留	
sdi_tx_pixstruc_i	I	2	TX Encode 的像素结构输入 2'b00: 4: 2: 2 2'b01: 保留 2'b10: 保留 2'b11: 保留	
sdi_tx_fld_i	I	1	TX Encode 的奇偶场输入	
sdi_tx_vs_i	I	1	TX Encode 的 vs 输入(positive polarity)	
sdi_tx_hs_i	I	1	TX Encode 的 hs 输入(positive polarity)	
sdi_tx_de_i	I	1	TX Encode 的 de 输入	
sdi_tx_data_i	I	20	TX Encode 的 data 输入	
sdi_tx_half_clk_o	O	1	TX Encode 的时钟输出, 供给 sdi_tx_data_i 使用。	

信号名称	方向	位宽	描述	备注
			频率=TX Line Rate/Internal Data Width。TX Line Rate 和 Internal Data Width 都是 IP 里配置的参数。	
SDI_RX				
sdi_rx_rst_n_i	I	1	RX Decode 的复位信号，低电平有效	
sdi_rx_drp_clk_i	I	1	RX Decode 的动态配置时钟，需要接入一个小于等于 50MHz 的时钟，建议接 50MHz	
sdi_rx_fix_rate_en_i	I	1	RX Decode 的固定速率使能信号	
sdi_rx_fix_rate_i	I	3	RX Decode 的固定速率选择信号 0: 保留 1: HD-SDI 2: 3G-SDI	
sdi_rx_fix_mfactor_i	I	1	RX Decode 的 M 因子选择 0: M=1 1: 保留 帧率= 垂直频率/M	
sdi_rx_hres_o	O	16	RX Decode 的水平分辨率输出	
sdi_rx_vres_o	O	16	RX Decode 的垂直分辨率输出	
sdi_rx_interlace_o	O	1	RX Decode 的交错输出 0: 保留 1: 逐行扫描 P	
sdi_rx_rate_o	O	3	RX Decode 的速率输出 0: 保留 1: HD-SDI 2: 3G-SDI	
sdi_rx_mod_o	O	3	RX Decode 的模式输出 0: 148.5M 1: 74.25M 2: 保留 3: 保留	
sdi_rx_hcnt_o	O	16	RX Decode 的水平计数输出	
sdi_rx_vcnc_o	O	16	RX Decode 的垂直计数输出	
sdi_rx_clk_o	O	1	RX Decode 的接收时钟输出	
sdi_rx_f_o	O	1	RX Decode 的奇偶场输出	
sdi_rx_v_o	O	1	RX Decode 的 vs 输出	
sdi_rx_h_o	O	1	RX Decode 的 hs 输出	
sdi_rx_de_o	O	1	RX Decode 的 de 输出	
sdi_rx_data20_o	O	20	RX Decode 的 data 输出	

3.5 参数配置

表 3-3 Gowin SDI IP 参数

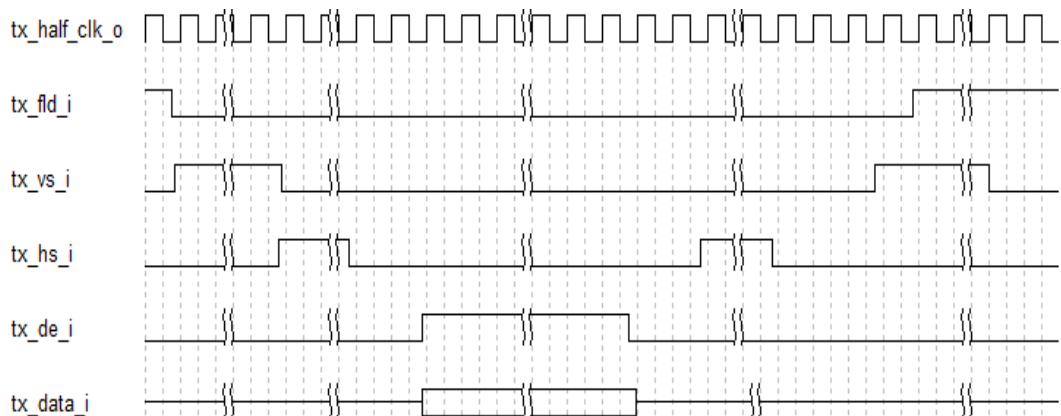
序号	参数名称	允许范围	默认值	描述
1	Quad Selection	Q0/Q1	Q0	SerDes Quad 选择
2	Channel Selection	Lane0 Lane1 Lane2 Lane3	Lane0	SerDes 通道选择
3	Loopback Mode	OFF LB_NES LB_FES LB_ENC	OFF	OFF: 不环回, 正常工作模式 LB_NES: 模拟侧向内环 LB_FES: 模拟侧向外环 LB_ENC: 数字侧向内环
4	Line Rate	1.485/2.97 Gbps	1.485	配置发送数据速率
5	Reference Clock Source	Q0 REFCLK0 Q1 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	Q0 REFCLK0	选择参考时钟源
6	Reference Clock Frequency	50-500MH z	148.5	配置参考时钟频率
7	PLL Selection	CPLL QPLL0 QPLL1	CPLL	选择 PLL

3.6 时序说明

本节介绍 Gowin SDI IP 的时序情况。

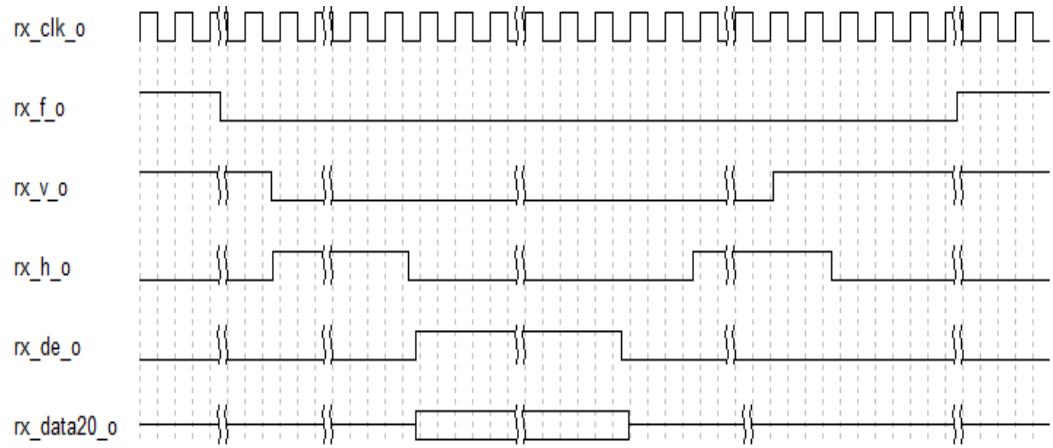
Gowin SDI TX 视频接口输入时序图如图 3-5 所示。

图 3-5 视频接口时序示意图



Gowin SDI RX 视频输出接口时序示意图如图 3-6 所示。

图 3-6 视频输出接口时序



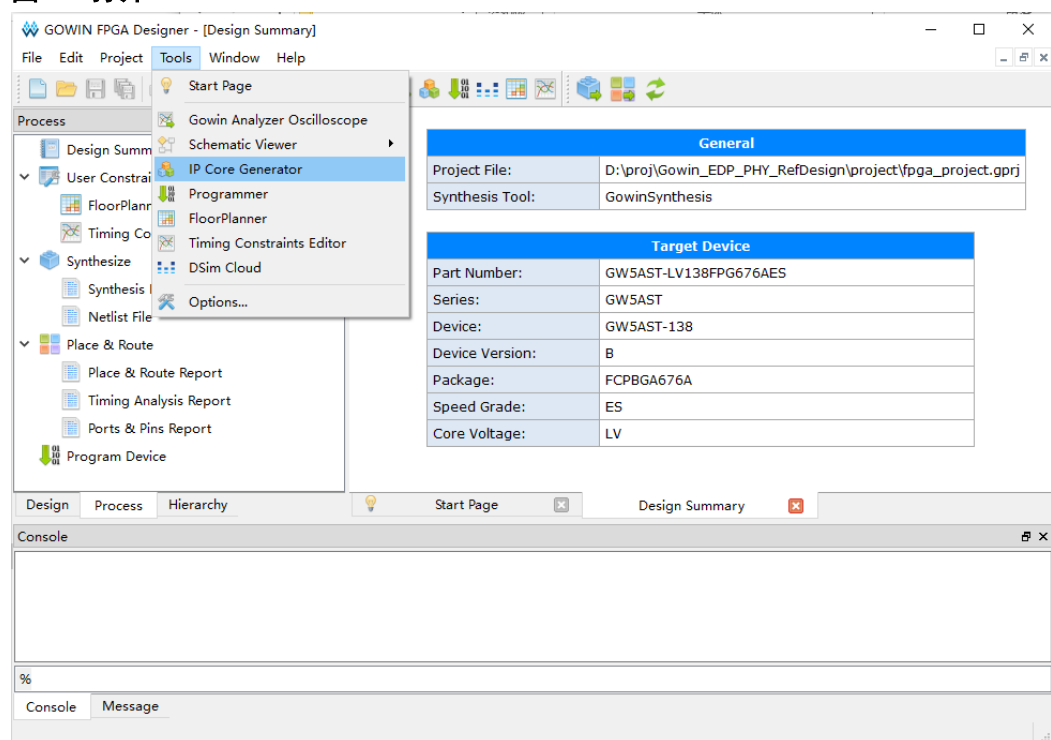
4 界面配置

用户可在高云半导体云源®软件中的 IP 内核生成器工具调用和配置高云 SDI IP。

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

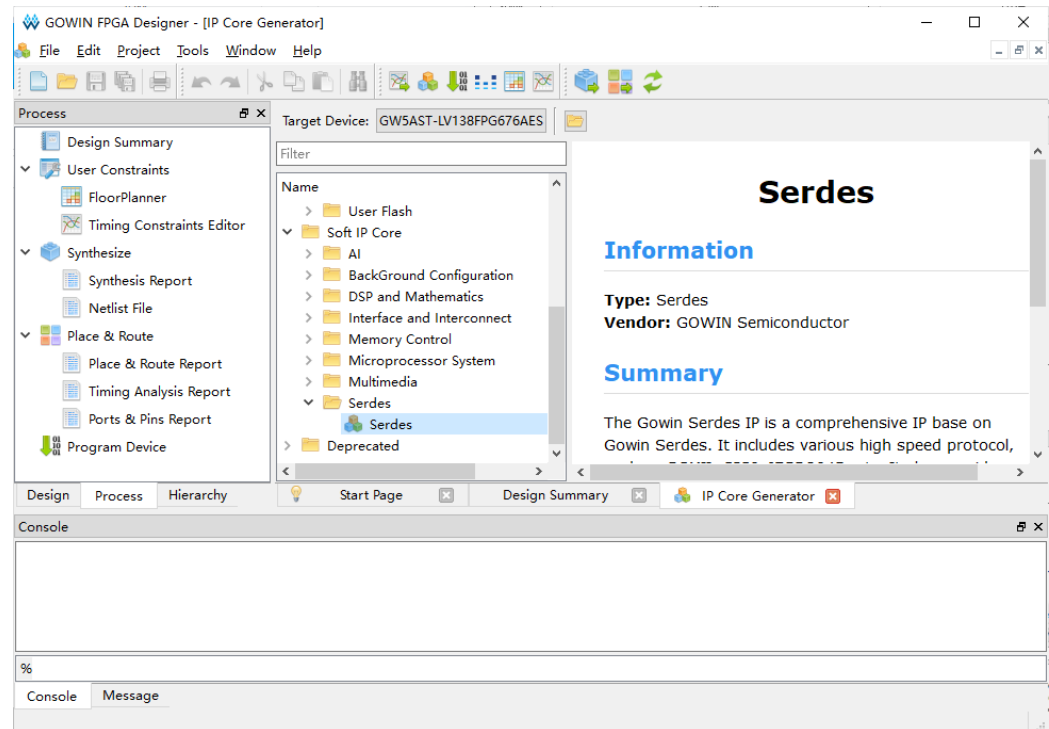
图 4-1 打开 IP Core Generator



2. 打开 Serdes IP 配置界面

双击“Serdes”，打开 Serdes IP 核的配置界面，如图 4-2 所示。

图 4-2 打开 Serdes IP 配置界面



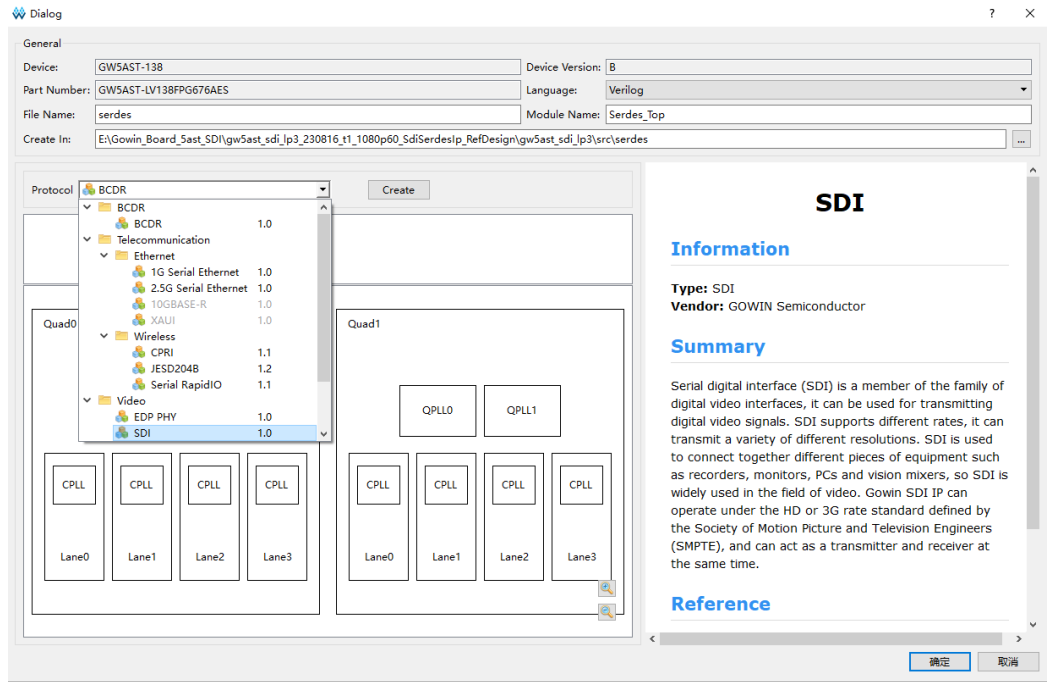
3. 打开 SDI 配置界面

在 Serdes IP 界面中首先配置“General”选项组：

- **Device、Device Version、Part Number** 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- **Language** 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- **File Name、Module Name、Create In** 选项：Serdes 的文件名、模块名和文件生成路径设置。

然后在 Serdes IP 配置界面的“Protocol”选项中选择“SDI”选项，然后点击 **Create** 按钮，如图 4-3 所示。

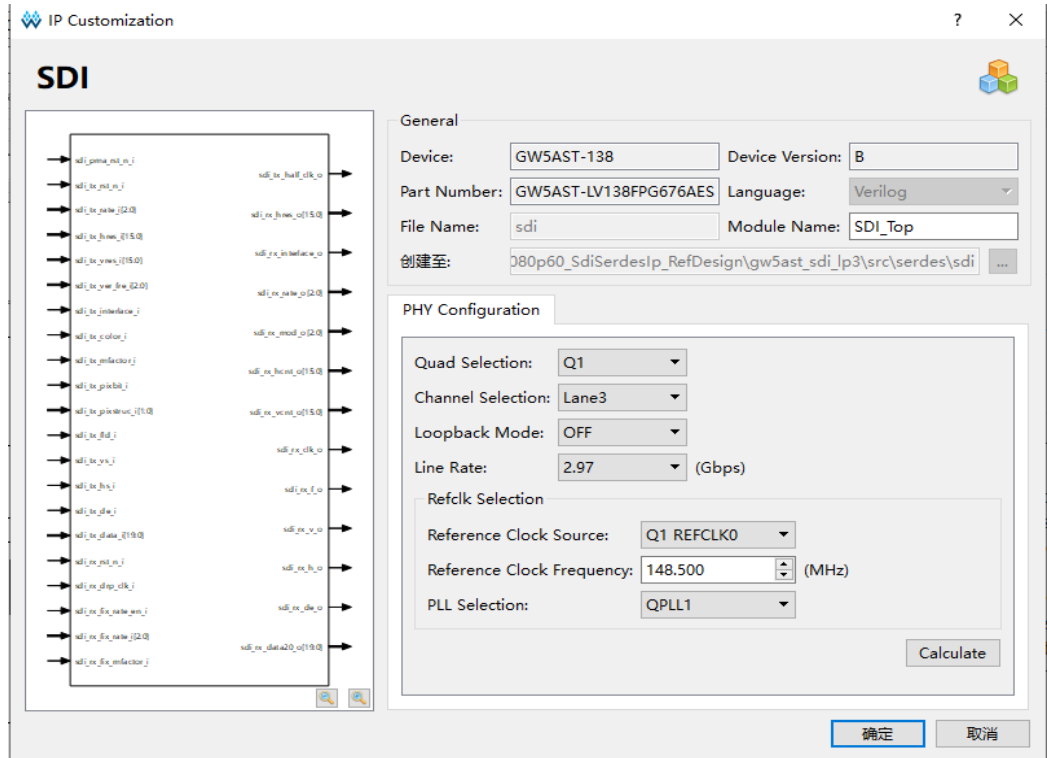
图 4-3 打开 SDI 配置界面



4. SDI 配置界面

配置界面示意图,如图 4-4 所示。配置界面左侧是 SDI IP 的接口示意图,右侧是 SDI IP 参数配置选项。

图 4-4 SDI 配置界面示意图



配置基本信息，如图 4-5 所示。

在配置界面的上部分是工程基本信息配置界面。**Module Name** 选项后面是工程产生顶层模块的名字，默认为“SDI_Top”，用户可自行修改。“**File Name**”是 IP 文件产生的文件夹，存放 SDI IP 所需文件，默认为“sdi”，用户可自行修改路径。

图 4-5 基本信息配置界面

General

Device: GW5AST-138 Device Version: B

Part Number: GW5AST-LV138FPG676AES Language: Verilog

File Name: sdi Module Name: SDI_Top

创建至: D80p60_SdiSerdesIp_RefDesign\gw5ast_sdi_lp3\src\serdes\sdi ...

配置 PHY Configuration 选项卡，如图 4-6 所示。

线速率和参考时钟之间有限制关系，务必要确定该参考时钟能够生成上述线速率，也可通过“Calculate”按钮进行检测。

图 4-6 PHY Configuration 选项卡

PHY Configuration

Quad Selection: Q1

Channel Selection: Lane3

Loopback Mode: OFF

Line Rate: 2.97 (Gbps)

Refclk Selection

Reference Clock Source: Q1 REFCLK0

Reference Clock Frequency: 148.500 (MHz)

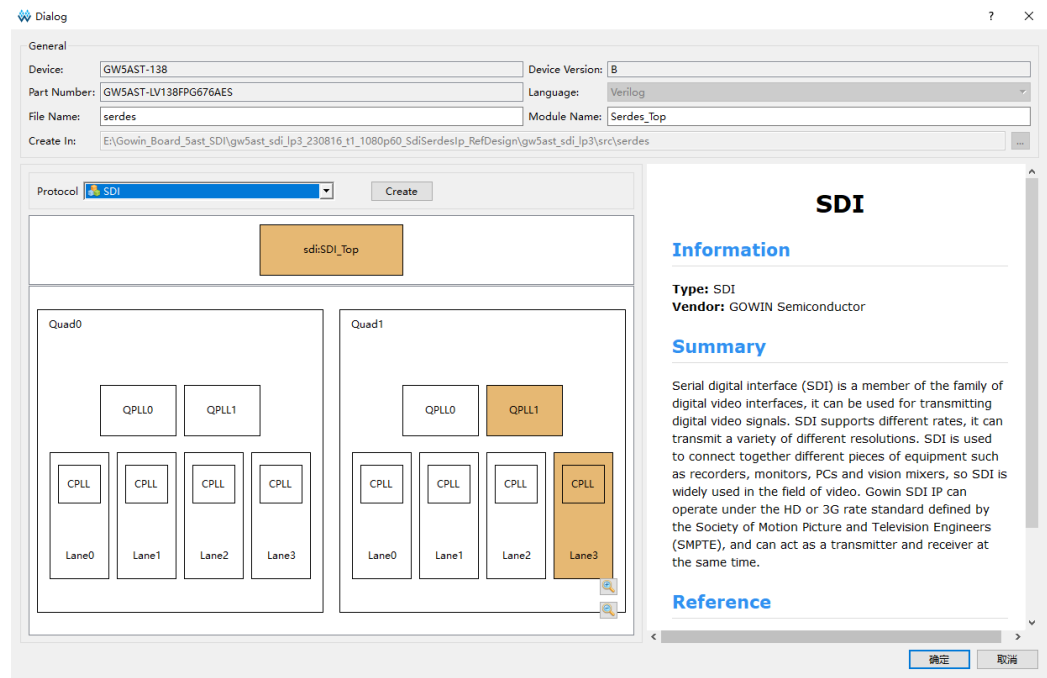
PLL Selection: QPLL1

Calculate

5. 生成 IP

完成 SDI IP 界面配置后，点击界面右下角的“OK”按钮，可生成 SDI IP 相关文件，并返回到 Serdes IP 配置界面，此时 Serdes IP 配置界面中显示当前已经生成的 SDI IP 及对应的 Quad、PLL 和 Lane 使用情况，如图 4-7 所示。

图 4-7 Serdes IP 配置界面显示 SDI IP



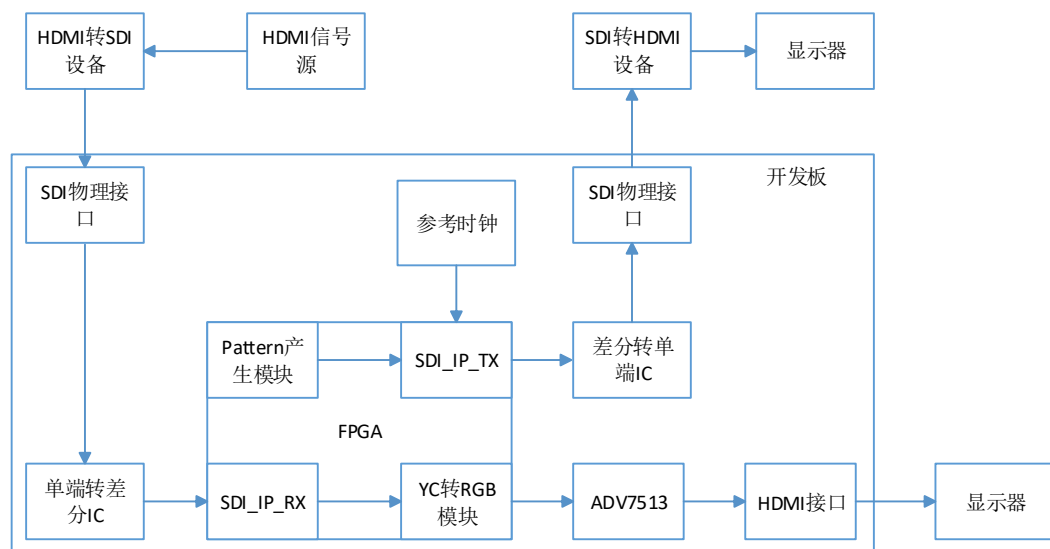
然后，点击界面右下角的“OK”按钮，可生成 Serdes IP 相关文件，完成整个 SDI IP 的生成过程。

5 参考设计

本节主要介绍 SDI IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 SDI IP 相关参考设计。

本参考设计以 DK_START_GW5AT-LV138FPG676A_V2.0 开发板为例，DK_START_GW5AT-LV138FPG676A_V2.0 开发板相关信息参考官方网站。参考设计基本结构框图如图 5-1 所示。

图 5-1 参考设计基本结构框图



在参考设计中，采用的是 TX 和 RX 各自独立验证的方式。TX 通过 Pattern 产生模块产生测试图视频信号，输出到 SDI_IP_TX，然后 SerDes 差分输出到差分转单端 IC，再到 SDI 物理接口，再输出到 SDI 转 HDMI 设备，最终到显示器。RX 通过单端转差分 IC 接收信号源的视频信号，然后输出给 ADV7513，再给 HDMI 接口，最终给到显示器。

6 文件交付

Gowin SDI IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

表 6-1 文档内容列表

名称	描述
IPUG 1034, Gowin SDI IP 用户指南	高云 SDI IP 用户手册，即本手册

6.2 设计源代码（加密）

加密代码文件夹包含 SDI IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源软件产生用户所需的 IP 核。

表 6-2 SDI IP 文件列表

名称	描述
sdi.v	SDI IP 文件，加密。
serdes.v	SerDes 所有相关 IP 顶层文件，给用户接口信息。

6.3 参考设计

Gowin SDI RefDesign 文件夹主要包含 Gowin SDI IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin SDI RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
key_debounceN.v	按键去抖
serdes	SDI IP 文件夹
yc_to_rgb	yc_to_rgb 文件夹

名称	描述
rgb_to_yc	rgb_to_yc 文件夹
i2c_master.v	i2c_master 文件夹，加密
gowin_pll.v	gowin_pll 文件夹

