



Gowin MIPI DSI/CSI-2 Transmitter IP 用户指南

IPUG1037-1.1.2,2025-05-30

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/09/28	1.0	初始版本。
2023/12/29	1.1	● 新增DSI/CSI-2帧结构示意图； ● 更新3.3.6 DSI/CSI-2 TX时序描述。
2024/07/31	1.1.1	更新1.2相关文档。
2025/05/30	1.1.2	新增“Generation Config”选项描述。

目录

目录 i

图目录..... ii

表目录..... iii

1 关于本手册 1

 1.1 手册内容 1

 1.2 相关文档..... 1

 1.3 术语与缩略语 2

 1.4 技术支持与反馈..... 3

2 产品概述 4

 2.1 产品概述..... 4

 2.2 主要特征..... 4

 2.3 资源占用..... 5

3 功能描述 6

 3.1 顶层框图..... 6

 3.2 端口介绍..... 7

 3.3 时序说明..... 8

 3.3.1 D-PHY HS 数据突发传输 8

 3.3.2 复位时序图 8

 3.3.3 DSI 视频接口模式 9

 3.3.4 DSI 帧结构 11

 3.3.5 CSI-2 帧结构 12

 3.3.6 DSI/CSI-2 TX 时序 12

 3.4 配置参数..... 14

4 界面配置 16

图目录

图 3-1 Gowin MIPI DSI/CSI-2 Transmitter IP 顶层框图.....	6
图 3-2 HS 数据突发传输	8
图 3-3 复位时序示意图	8
图 3-4 视频接口时序图例.....	9
图 3-5 视频接口时序: Non-Burst Mode with Sync Pulses	9
图 3-6 视频接口时序: Non-Burst Mode with Sync Events	10
图 3-7 视频接口时序: Burst Mode	10
图 3-8 DSI Non-burst Mode with Sync Pulses 帧结构示意图	11
图 3-9 DSI Non-burst Mode with Sync Events / Burst Mode 帧结构示意图.....	11
图 3-10 CSI-2 帧结构示意图.....	12
图 3-11 DSI/CSI-2 TX 时序示意图.....	12
图 3-12 带 EoTP 的 DSI TX 时序示意图.....	13
图 3-13 DSI HSS/HSE 触发示意图.....	13
图 3-14 DSI VSS/VSE 触发示意图.....	14
图 3-15 CSI-2 FS/FE 触发示意图.....	14
图 4-1 IP Core Generator 工具.....	16
图 4-2 MIPI DSI/CSI-2 Transmitter IP 配置界面	17
图 4-3 MIPI DSI/CSI-2 Transmitter IP 例化	18

表目录

表 1-1 术语与缩略语	2
表 2-1 Gowin MIPI DSI/CSI-2 Transmitter IP 概述	4
表 2-2 基于 GW2A-18 的 Gowin MIPI DSI/CSI-2 Transmitter IP 资源占用	5
表 3-1 MIPI DSI/CSI-2 Transmitter IP 端口列表	7
表 3-2 Gowin DSI/CSI-2 TX IP 参数	14

1 关于本手册

1.1 手册内容

Gowin MIPI DSI/CSI-2 Transmitter IP 用户指南主要内容包括产品概述、功能描述、界面配置等，旨在帮助用户快速了解 Gowin MIPI DSI/CSI-2 Transmitter IP 的产品特性、特点及使用方法。

1.2 相关文档

1. 通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：
 - [IPUG948, Gowin MIPI D-PHY RX TX Advance IP 用户指南](#)
 - [DS100, GW1N 系列 FPGA 产品数据手册](#)
 - [DS117, GW1NR 系列 FPGA 产品数据手册](#)
 - [DS821, GW1NS 系列 FPGA 产品数据手册](#)
 - [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
 - [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
 - [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
 - [DS102, GW2A 系列 FPGA 产品数据手册](#)
 - [DS226, GW2AR 系列 FPGA 产品数据手册](#)
 - [DS971, GW2AN-18X & 9X 器件数据手册](#)
 - [DS976, GW2AN-55 器件数据手册](#)
 - [DS1228, Arora V FPGA 产品概述](#)
 - [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)
 - [DS1225, Arora V 60K FPGA 产品数据手册](#)
 - [DS1103, Arora V 25K FPGA 产品数据手册](#)

- [DS1118, Arora V 15K FPGA 产品数据手册](#)
 - [SUG100, Gowin 云源软件用户指南](#)
2. MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011, www.mipi.org
 3. MIPI Alliance Specification for Display Serial Interface, Version 1.1 November 22, 2011, www.mipi.org
 4. MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.1, July 18, 2012, www.mipi.org

1.3 术语与缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语与缩略语

术语与缩略语	全称	含义
CSI	Camera Serial Interface	串行摄像头接口
DSI	Display Serial Interface	串行显示接口
DT	Data Type	数据类型
ECC	Error Correction Code	纠错码
EoT	End of Transmission	传输结束
EoTP	End of Transmission Packet	传输结束包
HBP	Horizontal Back Porch	水平后肩
HFP	Horizontal Front Porch	水平前肩
HSA	Horizontal Sync Active	水平同步有效
HSE	Horizontal Sync End	水平同步结束
HSS	Horizontal Sync Start	水平同步开始
IP	Intellectual Property	知识产权
LP	Low Power	低功耗
LUT	Look-up Table	查找表
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
VBP	Vertical Back Porch	垂直后肩
VC	Virtual Channel	虚拟通道
VFP	Vertical Front Porch	垂直前肩
VSA	Vertical Sync Active	垂直同步有效
VSE	Vertical Sync End	垂直同步结束
VSS	Vertical Sync Start	垂直同步开始

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址： www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2产品概述

2.1 产品概述

Gowin MIPI DSI/CSI-2 Transmitter IP 接收经字节对齐处理后的像素流和同步控制信号，依照 DSI/CSI-2 协议和用户配置参数组成像素数据帧与同步控制帧，最后驱动 Gowin MIPI D-PHY TX Advance IP 接口，实现 MIPI DSI/CSI-2 D-PHY 发送。

当前版本简化了发送逻辑，DSI 模式下暂时只支持单包模式，同 CSI-2 模式一样，单次传输只发送一个短包或一个长包，这样的设计降低了资源的使用。

表 2-1 Gowin MIPI DSI/CSI-2 Transmitter IP 概述

Gowin MIPI DSI/CSI-2 Transmitter IP	
逻辑资源	参见表2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software（V1.9.9.Beta-3及以上）

注！
可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 符合 MIPI DSI V1.1 和 MIPI CSI-2 V1.1 标准
- 支持 1、2、3 或 4 数据通道的 MIPI D-PHY TX 输出
- 支持 8:1 或 16:1 两种数据组织模式的 MIPI D-PHY TX 输出

- 支持具有不同虚拟通道（VC）标识符的各种数据类型（DT）
- 支持数据包头的 ECC 生成
- 支持数据字节流的 CRC 生成（可选）
- 支持连续时钟模式（暂不支持非连续时钟模式）
- 支持在垂直和水平消隐期间的 LP 模式
- 支持 MIPI DSI 标准中定义的 EoTP 短包的插入
- 支持 MIPI DSI 标准中定义的三种视频模式
 - Non-burst mode with sync pulses
 - Non-burst mode with sync events
 - Burst mode

2.3 资源占用

以高云 GW2A-18 为例，Gowin MIPI DSI/CSI-2 Transmitter IP 资源占用情况如表 2-2 所示。实际应用中，因使用的器件密度、速度等级的不同，实际的资源占用情况会有所不同。

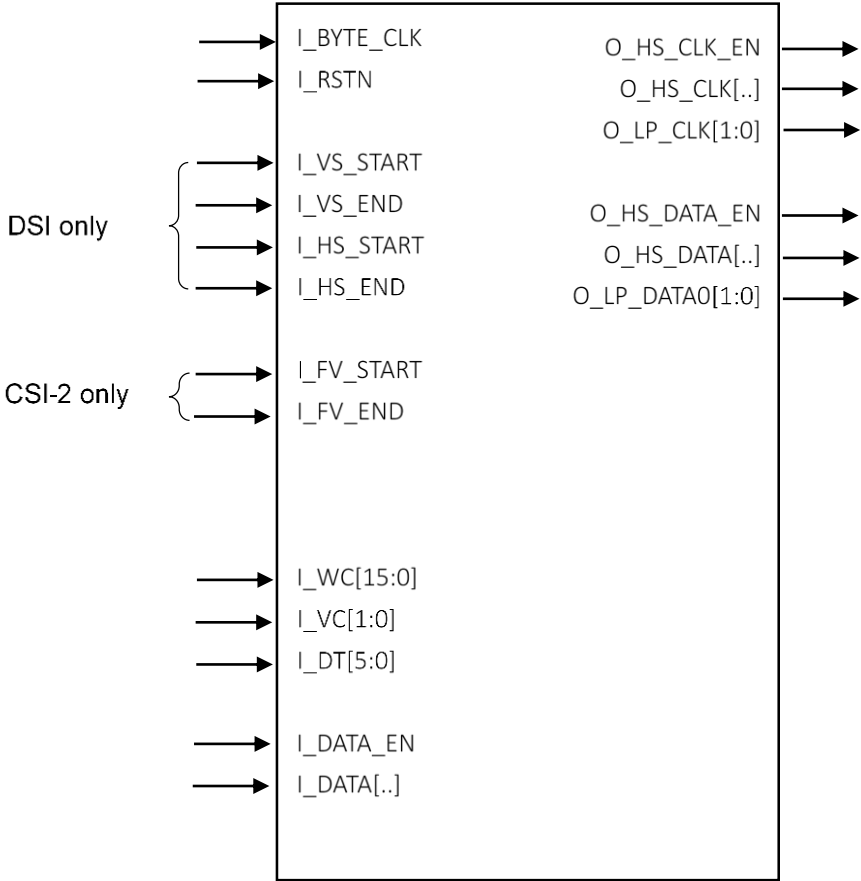
表 2-2 基于 GW2A-18 的 Gowin MIPI DSI/CSI-2 Transmitter IP 资源占用

参数配置	资源占用			
	LUTs	REGs	SSRAM	BSRAM
DSI,8:1, 1-Lane	597	348	4	1
DSI,8:1, 2-Lane	883	406	4	2
DSI,8:1, 3-Lane	1108	453	4	2
DSI,8:1, 4-Lane	1292	471	4	2
DSI,16:1, 1-Lane	887	405	4	2
DSI,16:1, 2-Lane	1274	468	4	2
DSI,16:1, 3-Lane	1629	523	4	2
DSI,16:1, 4-Lane	2449	621	4	2

3 功能描述

3.1 顶层框图

图 3-1 Gowin MIPI DSI/CSI-2 Transmitter IP 顶层框图



3.2 端口介绍

表 3-1 MIPI DSI/CSI-2 Transmitter IP 端口列表

信号	方向	描述		
I_BYTE_CLK	Input	工作时钟		
I_RSTN	Input	异步复位信号，低电平有效		
I_VS_START	Input	DSI模式下垂直同步开始，高脉冲有效		
I_VS_END	Input	DSI模式下垂直同步结束，高脉冲有效		
I_HS_START	Input	DSI模式下水平同步开始，高脉冲有效		
I_HS_END	Input	DSI模式下水平同步结束，高脉冲有效		
I_FV_START	Input	CSI-2模式下场有效开始，高脉冲有效		
I_FV_END	Input	CSI-2模式下场有效结束，高脉冲有效		
I_DATA_EN	Input	字节数据使能，高电平有效		
I_DATA[..]	Input	字节数据，位宽视D-PHY通道数和模式（8:1/16:1）而定		
		通道数	8:1模式位宽	16:1模式位宽
		1	8	16
		2	16	32
		3	24	48
		4	32	64
I_WC[15:0]	Input	包头字数统计字段，用于统计长包字节数目		
I_VC[1:0]	Input	包头虚通道ID字段		
I_DT[5:0]	Input	包头数据类型字段		
O_HS_CLK_EN	Output	HS模式时钟使能，高电平有效		
O_HS_CLK[..]	Output	HS模式时钟输出： 当“MIPI TX D-PHY Mode”为8:1时，位宽为8位，典型输出为8'b01010101； 当“MIPI TX D-PHY Mode”为16:1时，位宽为8位，典型输出为16'b0101010101010101。		
O_LP_CLK[1:0]	Output	LP模式下时钟输出： 在目前只支持连续时钟模式的情况之下，会在复位信号释放后一段时间内，输出'11'→'01'→'00'的高速时钟初始化过程。		
O_HS_DATA_EN	Output	HS模式数据使能，高电平有效		
O_HS_DATA0[..]	Output	HS模式下#n通道的数据输出， $0 \leq n \leq 3$ ；		
O_HS_DATA1[..]	Output	当“MIPI TX D-PHY Mode”为8:1时，位宽为8；		

信号	方向	描述
O_HS_DATA2[..]	Output	16:1时，位宽为16； 当“Number of TX Lanes”为4时，O_HS_DATA0~O_HS_DATA3端口都存在；为3时，只存在O_HS_DATA0~ O_HS_DATA2端口；为2时，只存在O_HS_DATA0、O_HS_DATA1端口；为1时，只存在O_HS_DATA0端口
O_HS_DATA3[..]	Output	
O_LP_DATA0[1:0]	Output	LP模式下#0通道的数据输出

3.3 时序说明

3.3.1 D-PHY HS 数据突发传输

图 3-2 HS 数据突发传输

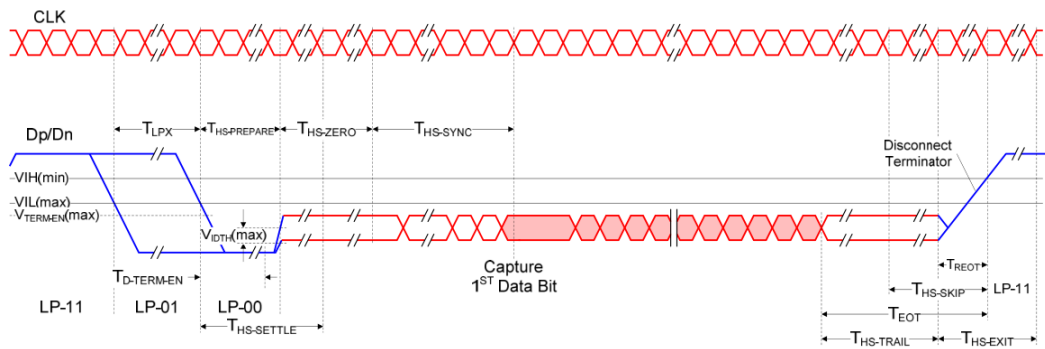
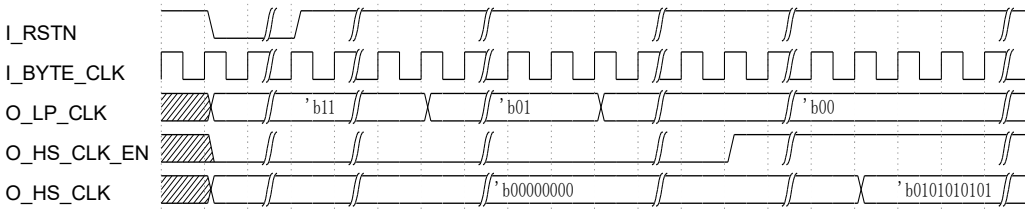


图 3-2 显示了数据包突发传输期间的事件序列，具体参见 MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011, www.mipi.org。

3.3.2 复位时序图

图 3-3 复位时序示意图

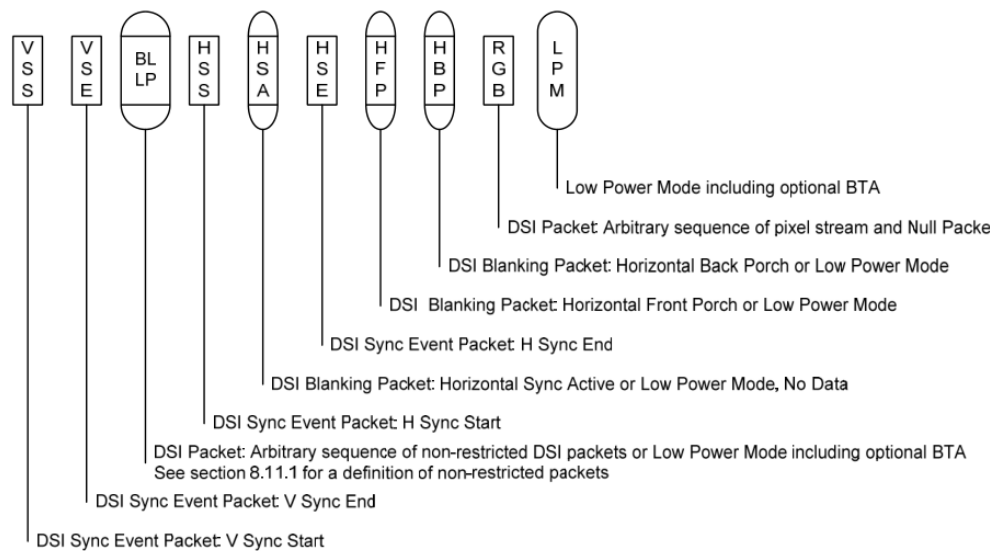


如图 3-3 所示，在复位信号刚释放后一段时间内，O_LP_CLK[1:0]会有一个输出'11' → '01' → '00'的初始化过程，之后才会使能 O_HS_CLK_EN 并输出 O_HS_CLK[..]。

3.3.3 DSI 视频接口模式

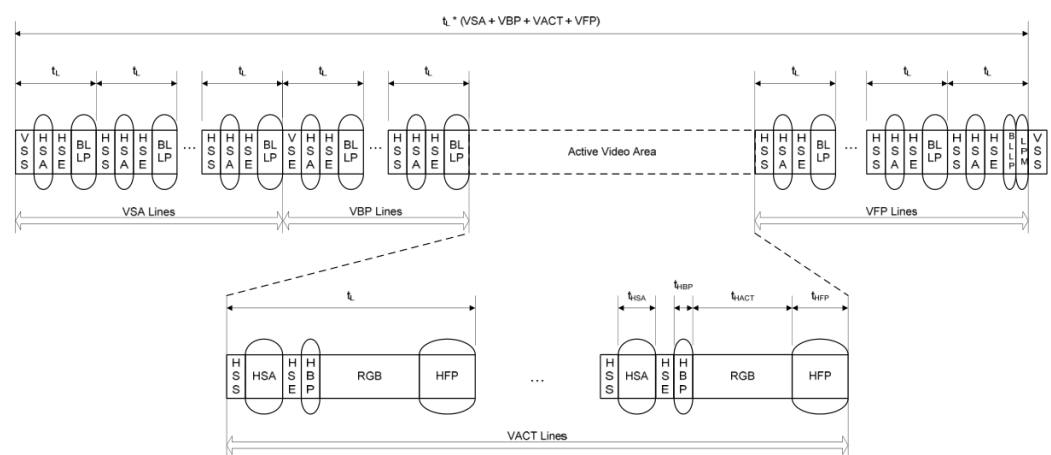
MIPI DSI V1.1 标准中定义了三种视频接口模式：Non-Burst Mode with Sync Pulses, Non-Burst Mode with Sync Events 和 Burst Mode, 图 3-4 是图 3-5 到图 3-7 中用到的图例。

图 3-4 视频接口时序图例



第一种模式：Non-Burst Mode with Sync Pulses, 使用此模式目标是通过 DSI 线路能够准确传达 DPI 信号的时序，包括相匹配的 DPI 像素传输速率和同步脉冲的宽度。因此同步周期是使用传输同步脉冲开始包和结束包来确定的，此模式的示例如图 3-5 所示。

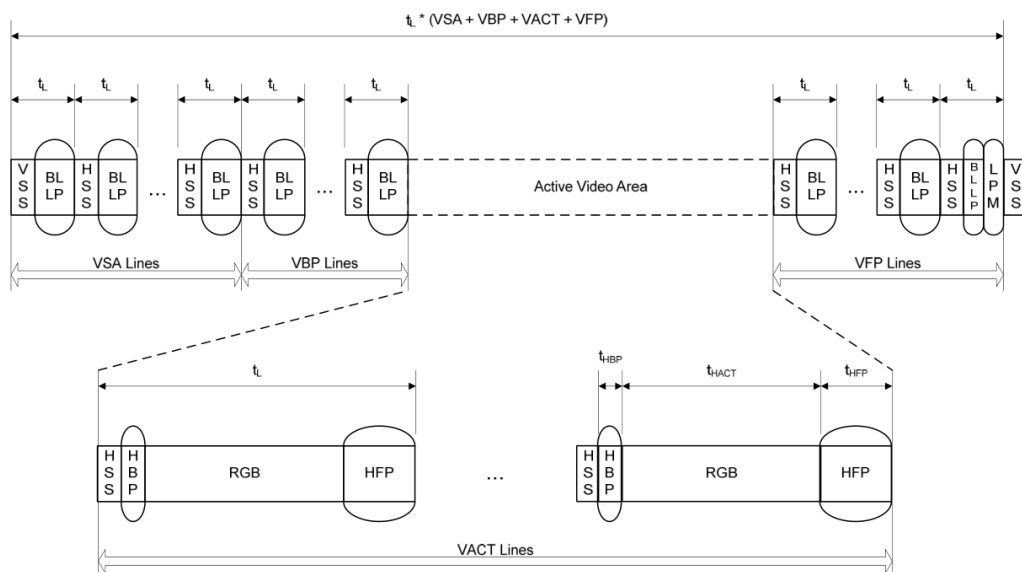
图 3-5 视频接口时序: Non-Burst Mode with Sync Pulses



第二种模式：Non-Burst Mode with Sync Events, 是对前一种模式的简化。仅传输每个同步脉冲的开始包（HSS, VSS），外设根据需从收到

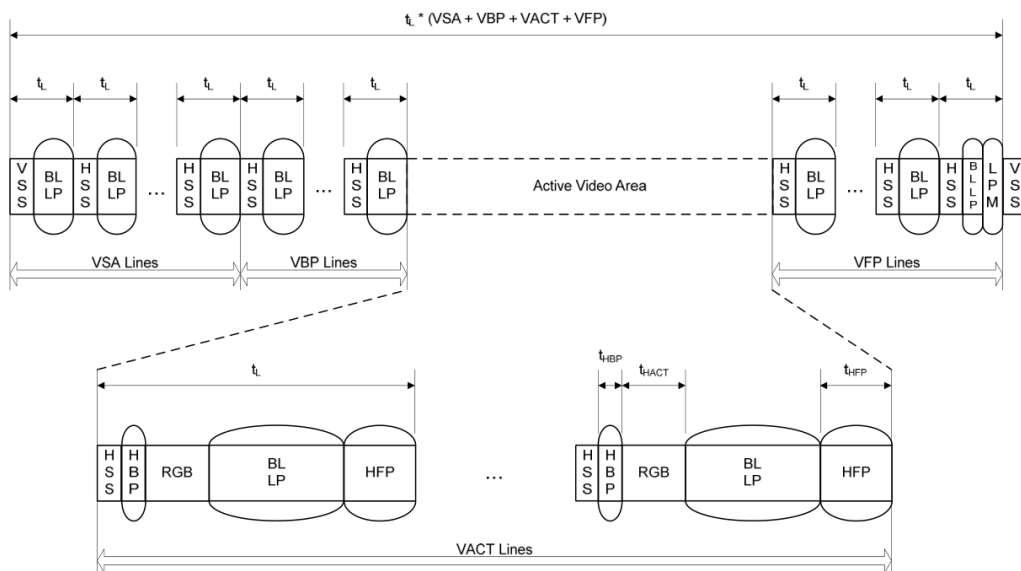
的每个同步事件数据包中重新生成同步脉冲，此模式的示例如图 3-6 所示。

图 3-6 视频接口时序: Non-Burst Mode with Sync Events



第三种模式: **Burst Mode**，与第二种模式类似，也只发送同步脉冲的开始包，此模式的示例如图 3-7 所示。

图 3-7 视频接口时序: Burst Mode



通常 HSA、HBP 和 HFP 的周期由消隐数据包填充，其长度（含包开销）须与外设数据手册指定的周期相匹配。但是本 IP 当前版本单次传输只发送一个短包或一个长包，所以 DPI 时序中的行消隐要有足够的时长保证能够多轮次进入 HS 模式并切回 LP 模式。第一种模式需要保证三轮次，另两种模式需要保证两轮次

3.3.4 DSI 帧结构

图 3-8 DSI Non-burst Mode with Sync Pulses 帧结构示意图

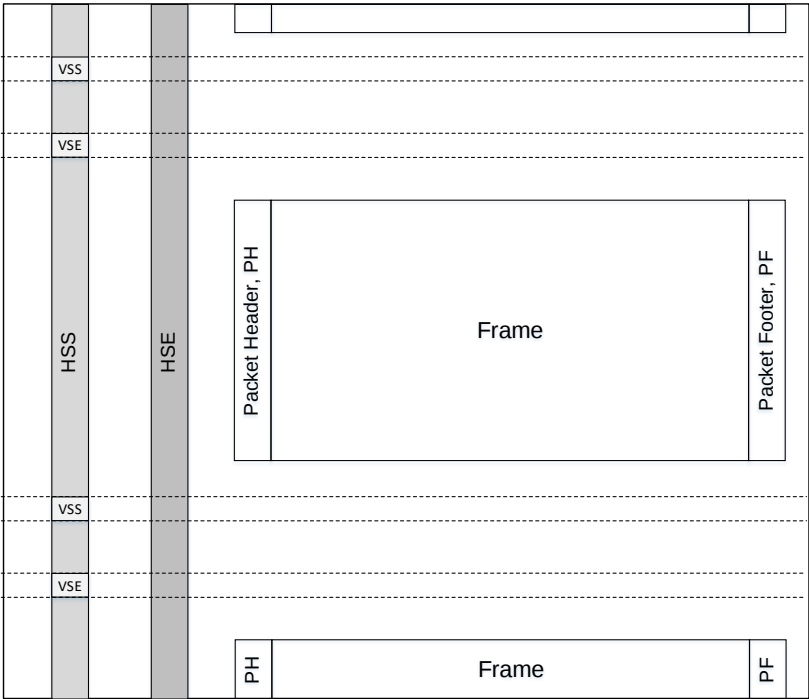
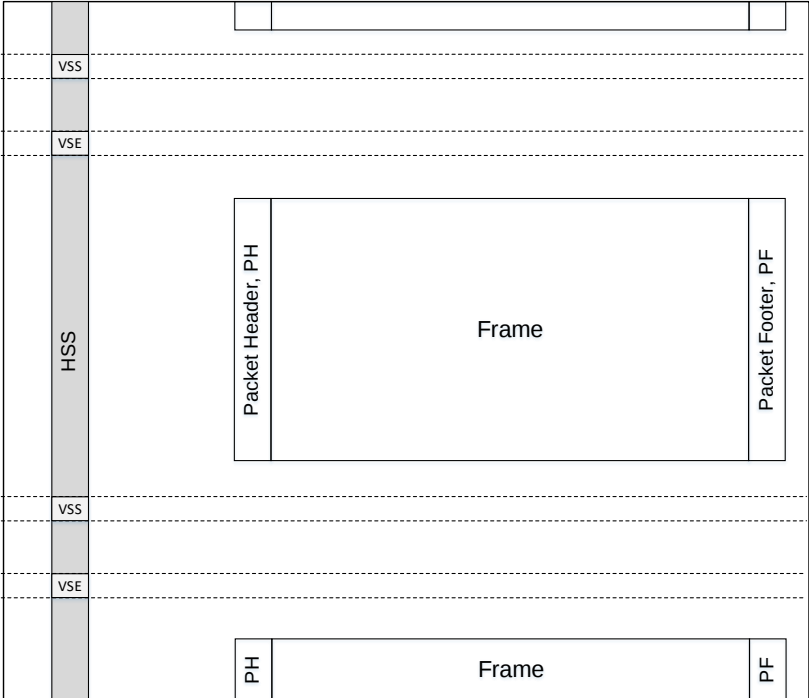
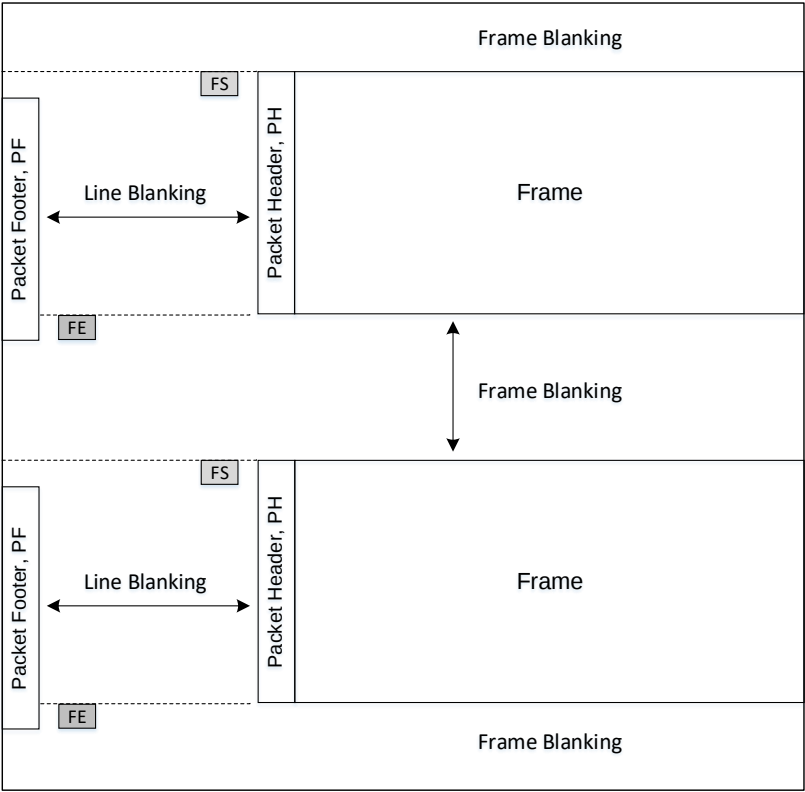


图 3-9 DSI Non-burst Mode with Sync Events / Burst Mode 帧结构示意图



3.3.5 CSI-2 帧结构

图 3-10 CSI-2 帧结构示意图



3.3.6 DSI/CSI-2 TX 时序

图 3-11 DSI/CSI-2 TX 时序示意图

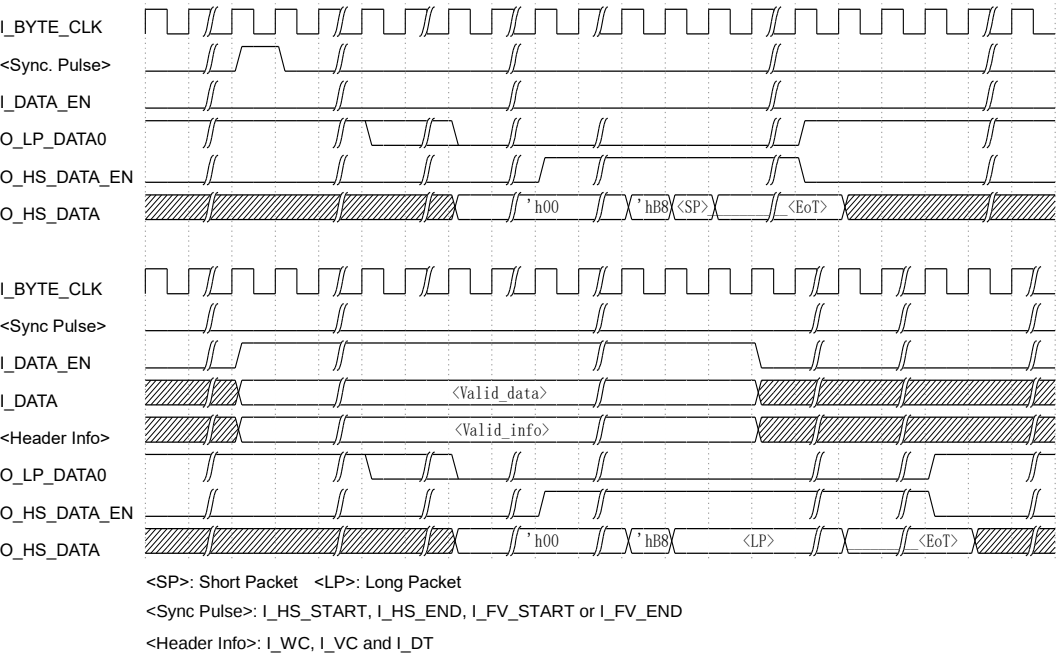
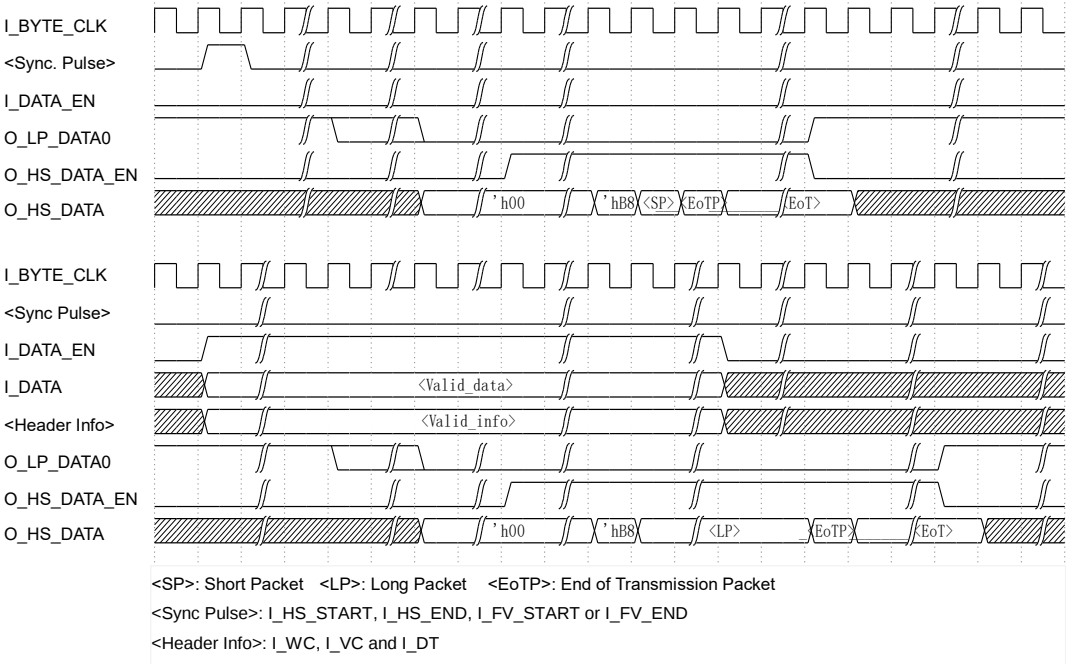
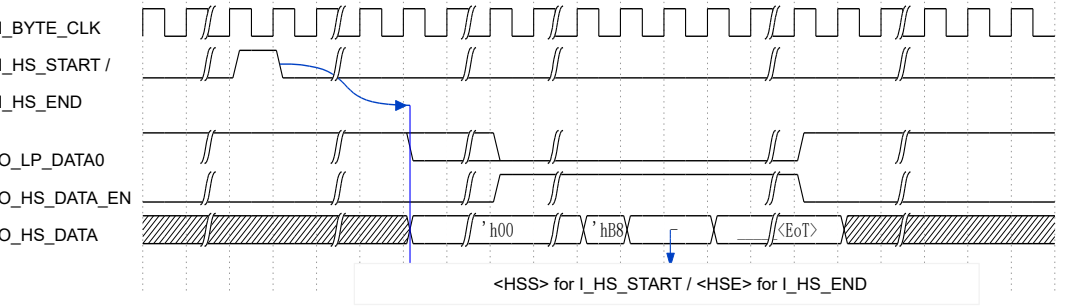


图 3-12 带 EoTP 的 DSI TX 时序示意图



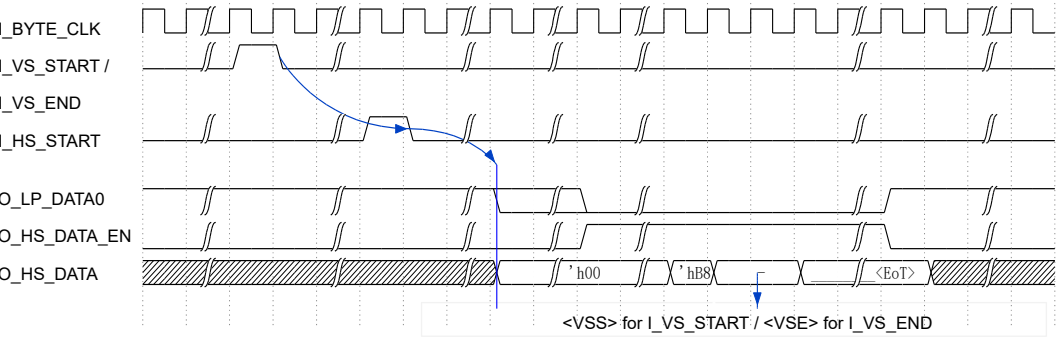
DSI 模式下，每个 I_HS_START 脉冲触发一个 HSS 短包。Non-burst Mode with Sync Pulses 下，每个 I_HS_END 脉冲触发一个 HSE 短包，如图 3-13 所示；Non-burst Mode with Sync Events 和 Burst Mode 下，I_HS_END 不触发任何短包。

图 3-13 DSI HSS/HSE 触发示意图



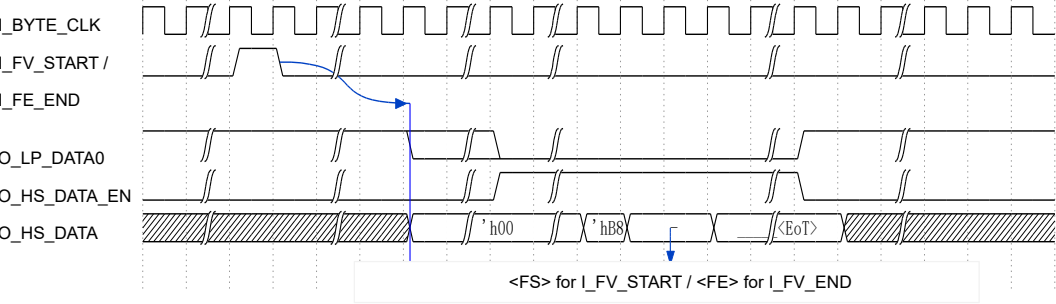
I_VS_START 脉冲之后的首个 I_HS_START 脉冲触发的 HSS 短包被替换为 VSS 短包。Non-burst Mode with Sync Pulses 下，I_VS_END 脉冲之后的首个 I_HS_START 脉冲触发的 HSS 短包被替换为 VSE 短包，如图 3-14 所示。

图 3-14 DSI VSS/VSE 触发示意图



CSI-2 模式下，I_FV_START 脉冲触发一个 FS 短包，I_FV_END 脉冲触发一个 FE 短包，如图 3-15 所示。

图 3-15 CSI-2 FS/FE 触发示意图



3.4 配置参数

表 3-2 Gowin DSI/CSI-2 TX IP 参数

参数名称	允许范围	描述
MIPI Interface Type	DSI或CSI-2	指定MIPI接口类型
MIPI D-PHY TX Mode	8:1或16:1	指定D-PHY TX的数据组织模式
Number of TX Lanes	1,2,3或4	指定D-PHY TX的通道数
Generate Packet CRC	True/False	指定是否为长包生成CRC，如果选择False，将用16'h55AA填充CRC
DSI Video Mode	Burst Mode / Non-Burst Mode with Sync Pulses / Non-Burst Mode with Sync Events	当MIPI Interface Type为DSI时有效；指定DSI视频接口模式
DSI with EoTP	True / False	当MIPI Interface Type为DSI时有效；指定是否使用EoTP包
I_BYTE_CLK Frequency	10.0~160.0 MHz	参考时钟频率，用于计算后面的时间参数

参数名称	允许范围	描述
T _{LPX}	<value>	TX D-PHY所需的时间参数，具体参见 MIPI D-PHY Spec. V1.1 第6.9章节； 这些时间参数须转化为以工作时钟（I_BYTE_CLK）为基准的周期数。
T _{HS-PREPARE}	<value>	
T _{HS-ZERO}	<value>	
T _{HS-TAIL}	<value>	
T _{HS-EXIT}	<value>	
Generation Config	勾选/不勾选	● 如果勾选，IP 在综合后的网表中不插入 IBUF、OBUF 和 IOBUF； ● 如果不勾选，IP 在综合后的网表中插入 IBUF、OBUF 和 IOBUF； ● 默认不勾选。

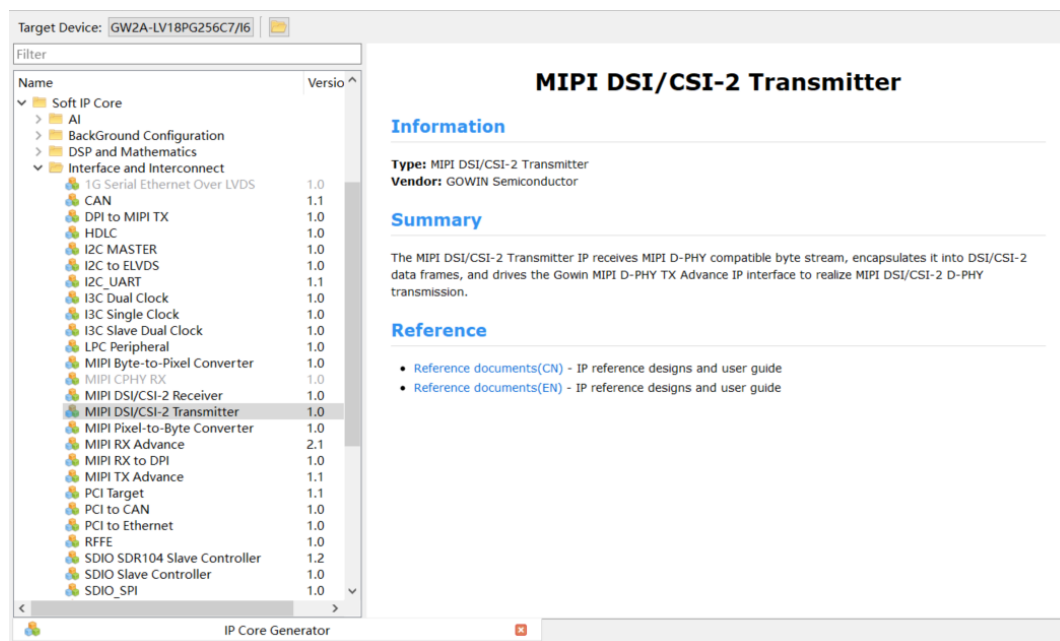
4 界面配置

用户可通过高云半导体云源软件界面的“Tools”菜单启动 IP Core Generator 工具，完成调用并配置 MIPI DSI/CSI-2 Transmitter IP。

1. 打开 IP Core Generator

用户建立工程后，单击“Tools”菜单栏，单击下拉列表中的“IP Core Generator”选项，即可打开 IP Core Generator 工具界面。点击“Soft IP Core > Interface and Interconnect > MIPI DSI/CSI-2 Transmitter”；在“Filter”栏中输入“DSI/CSI-2 Transmitter”，则可快速定位。

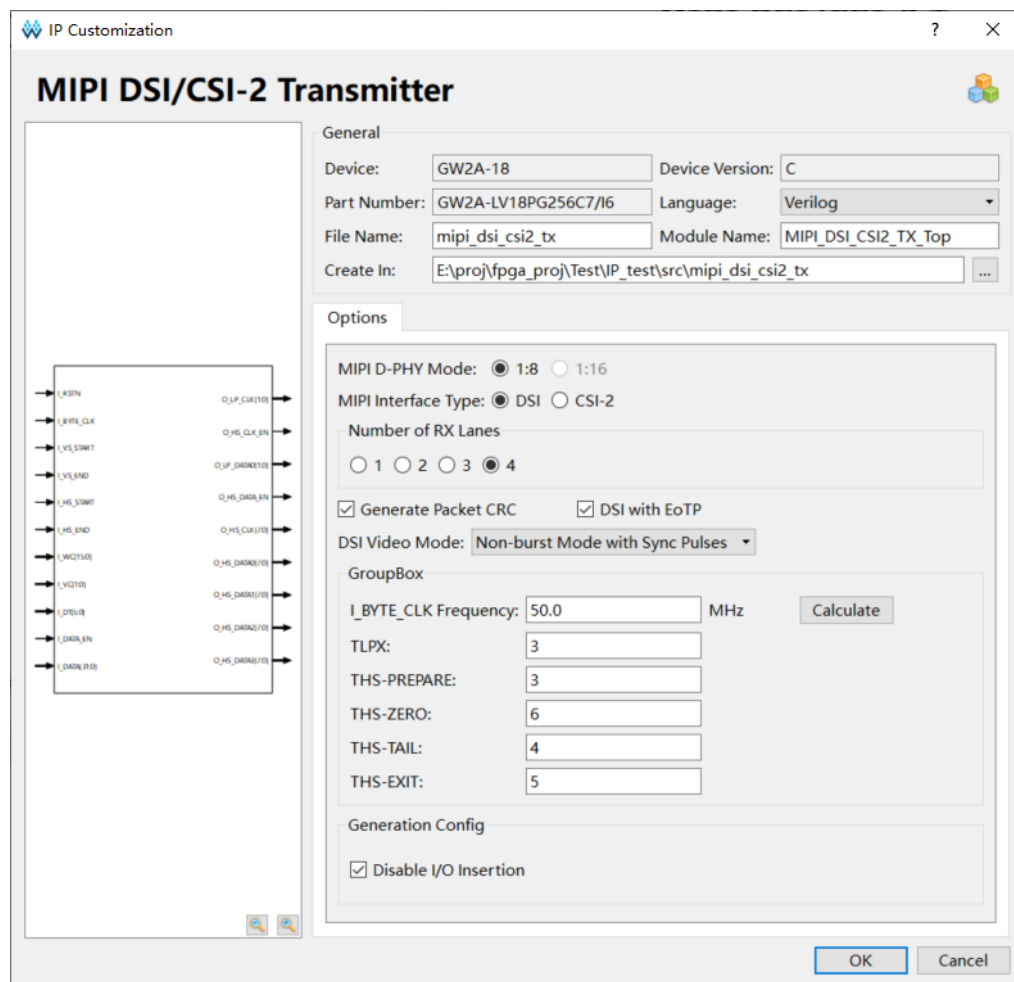
图 4-1 IP Core Generator 工具



2. MIPI DSI/CSI-2 Transmitter IP 配置界面

用户在“IP Core Generator”工具界面双击“MIPI DSI/CSI-2 Transmitter”项，即可打开 MIPI DSI/CSI-2 Transmitter IP 配置界面。界面左侧是接口示意图，右侧是 IP 的配置参数选项（参见 3.4 配置参数），如图 4-2 所示。

图 4-2 MIPI DSI/CSI-2 Transmitter IP 配置界面



3. 生成与例化

根据工程实际需求配置好各参数后，单击“OK”按钮，即可生成 MIPI DSI/CSI-2 Transmitter IP。如图 4-3 所示，是在用户 Verilog 程序中 IP 例化的例子。

图 4-3 MIPI DSI/CSI-2 Transmitter IP 例化

