



Gowin MIPI Pixel-to-Byte Converter IP

用户指南

IPUG1038-1.0.1,2025-05-09

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/09/28	1.0	初始版本。
2025/05/09	1.0.1	更新1.2相关文档。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语与缩略语	2
1.4 技术支持与反馈	2
2 产品概述	3
2.1 产品概述	3
2.2 主要特征	3
2.3 资源占用	4
3 功能描述	6
3.1 顶层框图	6
3.2 端口介绍	7
3.3 时序说明	8
3.4 数据类型	9
3.5 像素组织	11
3.6 像素与字节个数	12
3.7 时钟计算	13
3.8 配置参数	13
4 界面配置	15

图目录

图 3-1 Pixel-to-Byte Converter IP 顶层框图	6
图 3-2 显示器并行输入接口时序 (DSI)	8
图 3-3 摄像头并行输入接口时序 (CSI-2)	8
图 3-4 DSI 模式下输入与输出关系时序	9
图 3-5 CSI-2 模式下输入与输出关系时序	9
图 4-1 IP Core Generator 工具	15
图 4-2 MIPI Pixel-to-Byte Converter IP 配置界面	16
图 4-3 MIPI Pixel-to-Byte Converter IP 例化	16

表目录

表 1-1 术语与缩略语	2
表 2-1 Gowin MIPI Pixel-to-Byte Converter IP 概述	3
表 2-2 基于 GW2A-18 的 Pixel to Byte IP 资源占用（部分配置）	4
表 3-1 Gowin MIPI Pixel-to-Byte Converter IP 端口列表	7
表 3-2 DSI 数据类型	10
表 3-3 CSI-2 数据类型	10
表 3-4 像素组织列表	11
表 3-5 像素与字节个数限制	12
表 3-6 Gowin MIPI Pixel-to-Byte Converter IP 参数	13

1 关于本手册

1.1 手册内容

Gowin MIPI Pixel-to-Byte Converter IP 用户指南主要包括产品概述、功能描述、界面配置等，旨在帮助用户快速了解 Gowin MIPI Pixel-to-Byte Converter IP 的产品特性、特点及使用方法。

1.2 相关文档

1. 通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：
 - [IPUG948, Gowin MIPI D-PHY RX TX Advance IP 用户指南](#)
 - [DS100, GW1N 系列 FPGA 产品数据手册](#)
 - [DS102, GW2A 系列 FPGA 产品数据手册](#)
 - [DS226, GW2AR 系列 FPGA 产品数据手册](#)
 - [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
 - [DS976, GW2AN-55 器件数据手册](#)
 - [DS981, GW5AT 系列 FPGA 产品数据手册](#)
 - [DS1103, GW5A 系列 FPGA 产品数据手册](#)
 - [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
 - [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
 - [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
 - [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

- [SUG100, Gowin 云源软件用户指南](#)
- 2. MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011, www.mipi.org
- 3. MIPI Alliance Specification for Display Serial Interface, Version 1.1 November 22, 2011, www.mipi.org
- 4. MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.1, July 18, 2012, www.mipi.org

1.3 术语与缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语与缩略语

术语与缩略语	全称	含义
CSI	Camera Serial Interface	串行摄像头接口
CSPS	Chroma Sample Pixel Shifted	偏移的色度采样像素
DE	Data Enable	数据使能
DSI	Display Serial Interface	串行显示接口
HS	Horizontal Synchronization	水平同步（行同步）
IP	Intellectual Property	知识产权
LUT	Look-up Tables	查找表
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
SSRAM	Shadow SRAM	分布式静态随机存储器
VS	Vertical Synchronization	垂直同步（场同步）

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 产品概述

2.1 产品概述

MIPI D-PHY 旨在取代基于 LVCMOS、LVDS 等传统并行视频总线。但是许多处理器、显示器或摄像机仍在使用这类传统接口，要连接到 MIPI D-PHY TX IP，必须先将这些传统并行视频格式转换成 MIPI D-PHY 兼容的字节流格式，再进行封装。Gowin MIPI Pixel-to-Byte Converter IP 正是用于将标准并行视频格式转换成所需的 MIPI DSI 或 CSI-2 的字节流格式。

表 2-1 Gowin MIPI Pixel-to-Byte Converter IP 概述

Gowin MIPI Pixel-to-Byte Converter IP	
逻辑资源	参见表2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9.Beta-3及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 符合 MIPI DSI V1.1 和 MIPI CSI-2 V1.1 标准
- 支持每像素时钟输入 1 个或 2 个像素，部分格式支持输入 4 个像素
- 支持 1、2、3 或 4 数据通道输出
- 支持 8:1 或 16:1 两种 TX D-PHY 数据组织模式输出

- 支持以下 MIPI DSI Spec 中指定的视频格式
 - RGB-888
 - RGB-666
 - RGB-666, loosely packed
 - RGB-565
 - YCbCr-422_24bit
 - YCbCr-422_16bit
 - YCbCr-422_20bit, loosely packed
 - RGB_30bit
 - RGB_36bit
- 支持以下 MIPI CSI-2 Spec 中指定的视频格式
 - RGB-888
 - RGB-666
 - RGB-565
 - RAW-8
 - RAW-10
 - RAW-12
 - RAW-14
 - YUV420 8 bits
 - YUV420 8 bits, CSPS
 - YUV420 10 bits
 - YUV420 10 bits, CSPS
 - YUV422 8 bits
 - YUV422 10 bits

2.3 资源占用

以高云 GW2A-18 为例，Gowin MIPI Pixel-to-Byte Converter IP 资源占用情况如表 2-2 所示。实际应用中因使用的器件密度、速度等级的不同，实际的资源占用情况会有所不同。

表 2-2 基于 GW2A-18 的 Pixel to Byte IP 资源占用（部分配置）

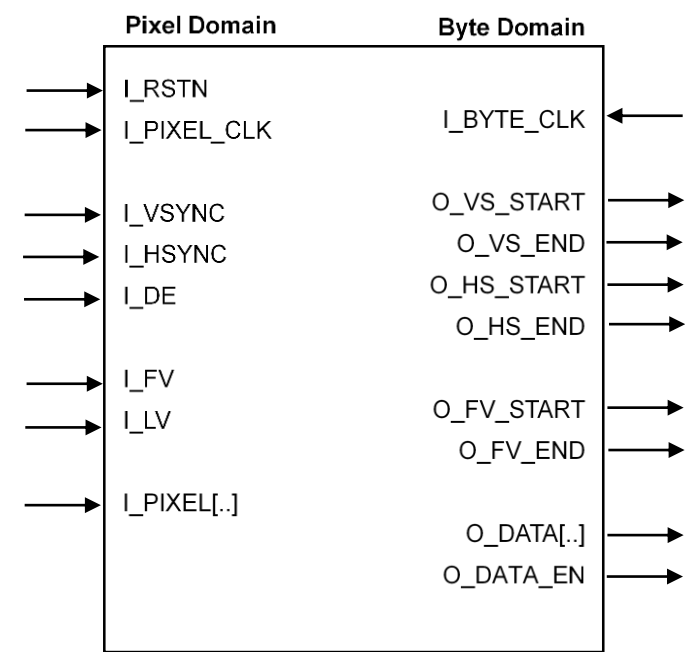
参数配置	资源占用		
	LUT	REG	SSRAM
1:8, 1-Lane,DSI RGB888,1-Pixel Input	219	230	9
1:8, 2-Lane,DSI RGB888,1-Pixel Input	213	238	9
1:8, 3-Lane,DSI RGB888,1-Pixel Input	120	196	7

参数配置	资源占用		
	LUT	REG	SSRAM
1:8, 4-Lane,DSI RGB888,1-Pixel Input	190	247	9
1:8, 4-Lane,DSI RGB888,2-Pixel Input	297	367	17
1:16, 1-Lane,DSI RGB888,1-Pixel Input	213	238	9
1:16, 2-Lane,DSI RGB888,1-Pixel Input	190	247	9
1:16, 3-Lane,DSI RGB888,1-Pixel Input	123	294	13
1:16, 4-Lane,DSI RGB888,1-Pixel Input	256	377	17
1:16, 4-Lane,DSI RGB888,2-Pixel Input	256	392	17
1:8, 4-Lane,DSI 36bit RGB,1-Pixel Input	504	371	17
1:16, 4-Lane,DSI 36bit RGB,1-Pixel Input	463	396	17
1:8, 4-Lane,CSI-2 YUV422_10bit,2-Pixel Input	231	242	9
1:8, 4-Lane,CSI-2 YUV422_10bit,4-Pixel Input	355	358	17
1:16, 4-Lane,CSI-2 YUV422_10bit,2-Pixel Input	336	372	17
1:16, 4-Lane,CSI-2 YUV422_10bit,4-Pixel Input	313	383	17
1:8, 4-Lane,CSI-2 RAW14,2-Pixel Input	324	305	9
1:16, 4-Lane,CSI-2 RAW14,2-Pixel Input	479	396	17

3 功能描述

3.1 顶层框图

图 3-1 Pixel-to-Byte Converter IP 顶层框图



Gowin MIPI Pixel-to-Byte Converter IP 根据配置，将各种标准并行视频格式转换成 MIPI DSI 或 CSI-2 的字节流格式。

3.2 端口介绍

表 3-1 Gowin MIPI Pixel-to-Byte Converter IP 端口列表

信号	方向	描述		
时钟与复位				
I_RSTN	Input	异步复位信号，低电平有效		
I_PIXEL_CLK	Input	输入侧像素域时钟		
I_BYTE_CLK	Input	输出侧字节域时钟		
I_PIXEL_CLK域输入信号				
I_PIXEL[.]	Input	像素数据输入，位宽不超过 64 ，可能的位宽有： 8 (8-bit pixel)， 10 (10-bit pixel)， 12 (12-bit pixel)， 16 (16-bit pixel / 8-bit pixel x2)， 18 (18-bit pixel)， 20 (10-bit pixel x2)， 24 (24-bit pixel / 12-bit pixel x2)， 28 (14-bit pixel x2)， 30 (30-bit pixel)， 32 (16-bit pixel x2)， 36 (36-bit pixel / 18-bit pixel x2)， 48 (24-bit pixel x2)等。 视具体配置而定，并不限于以上数值。		
I_DE ^[1]	Input	并行视频总线数据使能信号，极性可配置		
I_HSYNC ^[1]	Input	并行视频总线水平同步信号，极性可配置		
I_VSYNC ^[1]	Input	并行视频总线垂直同步信号，极性可配置		
I_FV ^[2]	Input	并行视频总线场有效信号，高电平有效		
I_LV ^[2]	Input	并行视频总线行有效信号，高电平有效		
I_BYTE_CLK域输出信号				
O_DATA[.]	Output	输出的字节数据，具体位宽视通道数（ 1~4 ）和数据组织方式（ 1:8/1:16 ）而定		
		通道数	数据组织方式	位宽
		1	1:8	8
		2		16
		3		24
		4		32

信号	方向	描述		
		1	1:16	16
		2		32
		3		48
		4		64
O_DATA_EN	Output	字节数据字节有效标识，高电平有效		
O_VS_START ^[1]	Output	垂直同步起始标识脉冲		
O_VS_END ^[1]	Output	垂直同步结束标识脉冲		
O_HS_START ^[1]	Output	水平同步起始标识脉冲		
O_HS_END ^[1]	Output	水平同步结束标识脉冲		
O_FV_START ^[2]	Output	场有效起始标识脉冲		
O_FV_END ^[2]	Output	场有效结束标识脉冲		

注！
[1] 当“MIPI Interface Type”为 DSI 时存在；
[2] 当“MIPI Interface Type”为 CSI-2 时存在。

3.3 时序说明

图 3-2 显示器并行输入接口时序（DSI）

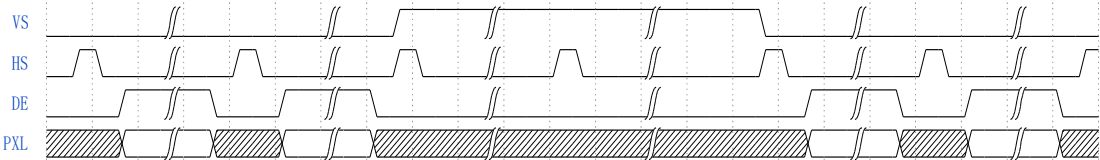


图 3-3 摄像头并行输入接口时序（CSI-2）

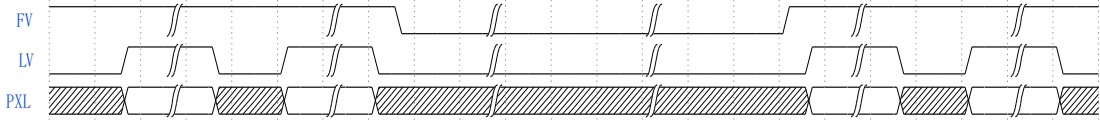
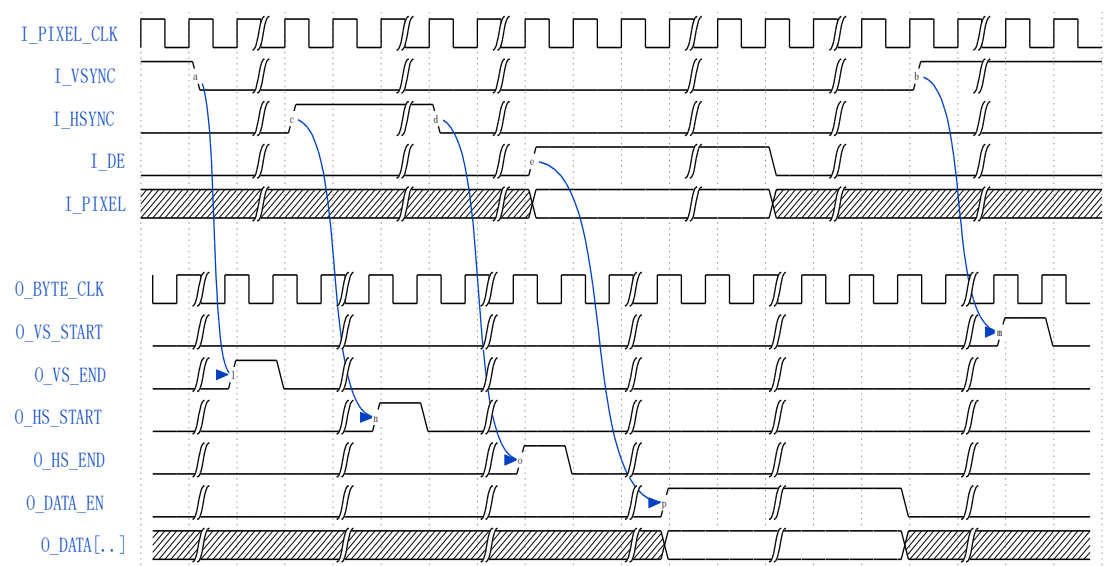


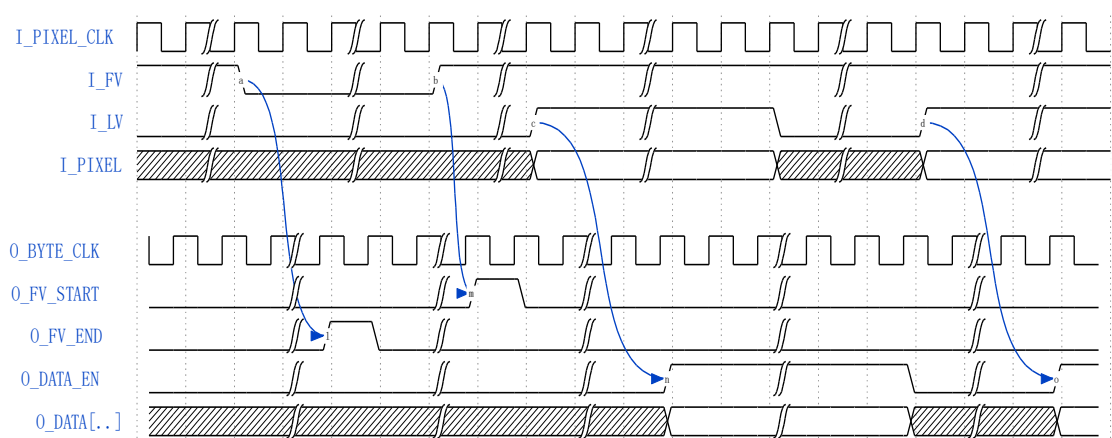
图 3-2 和图 3-3 分别显示了显示器和摄像头并行输入接口的时序示意图。遵循 MIPI DSI/CSI-2 接口标准：DSI 具有 VS、HS 和 DE 信号，而 CSI-2 则具有 FV 和 LV 信号。这些信号均在像素时钟上升沿采样。每个像素时钟的输入的像素数目是可以按需配置的。

图 3-4 DSI 模式下输入与输出关系时序



DSI 模式下，当 I_VSYNC、I_SYNC 和 I_DE 配置为高电平有效时，输入与输出的时序关系如图 3-4 所示。I_VSYNC 的每一个上升沿都将对应产生一个 O_VS_START 的脉冲信号，每一个下降沿则对应产生一个 O_VS_END 脉冲信号。CSI-2 模式下的 I_LV 信号作为像素数据的有效指示，相当于 DSI 的 I_DE 信号，所以只有 I_FV 产生的起始脉冲信号 O_FV_START 和结束脉冲信号 O_FV_END。CSI-2 的输入与输出的时序关系如图 3-5 所示。

图 3-5 CSI-2 模式下输入与输出关系时序



3.4 数据类型

表 3-2 和表 3-3 列举了 Gowin MIPI Pixel-to-Byte Converter IP 支持的数据类型，及对应的单位像素位宽。表中的单位像素位宽沿用了 MIPI DSI Spec 和 MIPI CSI-2 Spec 中的定义。需要注意 MIPI DSI Spec 中的 YCbCr 系列类型与 MIPI CSI-2 Spec 中的 YUV 系列类型的单位像素位宽定义是不同的。

表 3-2 DSI 数据类型

数据类型码 (Data Type)	像素格式	像素单位位宽
0x3E	RGB-888	24
0x2E	RGB-666, Loosely packed	24
0x1E	RGB-666	18
0x0E	RGB-565	16
0x2C	YCbCr-422_16bit	16
0x0C	YCbCr-422_20bit, Loosely packed	24
0x1C	YCbCr-422_24bit	24
0x1D	RGB_36bit	36
0x0D	RGB_30bit	30

表 3-3 CSI-2 数据类型

数据类型码 (Data Type)	像素格式	单位像素位宽
0x24	RGB-888	24
0x23	RGB-666	18
0x22	RGB-565	16
0x2A	RAW-8	8
0x2B	RAW-10	10
0x2C	RAW-12	12
0x2D	RAW-14	14
0x18	YUV-420_8bit	8
0x19	YUV-420_10bit	10
0x1A	YUV-420_8bit, Legacy	8
0x1C	YUV-420_8bit, CSPS	8
0x1D	YUV-420_10bit, CSPS	10
0x1E	YUV-422_8bit	8
0x1F	YUV-422_10bit	10

3.5 像素组织

表 3-4 像素组织列表

像素格式	像素组织			
DSI/CSI-2 RGB-888	O_PIXEL[23:15]	O_PIXEL[16:8]	O_PIXEL[7:0]	
	B	G	R	
DSI/CSI-2 RGB-666	O_PIXEL[17:12]	O_PIXEL[11:6]	O_PIXEL[5:0]	
	B	G	R	
DSI/CSI-2 RGB-565	O_PIXEL[15:11]	O_PIXEL[10:5]	O_PIXEL[4:0]	
	B	G	R	
DSI YCbCr- 422_24bit	O_PIXEL[23:12] _{2n}	O_PIXEL[11:0] _{2n}	O_PIXEL[23:12] _{2n+1}	O_PIXEL[11:0] _{2n+1}
	Y	Cb	Y	Cb
DSI YCbCr- 422_16bit	O_PIXEL[16:8] _{2n}	O_PIXEL[7:0] _{2n}	O_PIXEL[16:8] _{2n+1}	O_PIXEL[7:0] _{2n+1}
	Y	Cb	Y	Cb
DSI RGB_36bit	O_PIXEL[35:24]	O_PIXEL[23:12]	O_PIXEL[11:0]	
	B	G	R	
DSI RGB_30bit	O_PIXEL[29:20]	O_PIXEL[19:10]	O_PIXEL[9:0]	
	B	G	R	
CSI-2 YUV- 422_8bit	O_PIXEL[7:0] _{4n}	O_PIXEL[7:0] _{4n+1}	O_PIXEL[7:0] _{4n+2}	O_PIXEL[7:0] _{4n+3}
	U	Y	V	Y
CSI-2 YUV- 422_10bit	O_PIXEL[9:0] _{4n}	O_PIXEL[9:0] _{4n+1}	O_PIXEL[9:0] _{4n+2}	O_PIXEL[9:0] _{4n+3}
	U	Y	V	Y
CSI-2 YUV- 420_8bit	偶数行			
	O_PIXEL[7:0] _{4n}	O_PIXEL[7:0] _{4n+1}	O_PIXEL[7:0] _{4n+2}	O_PIXEL[7:0] _{4n+3}
	U	Y	V	Y
	奇数行			
	O_PIXEL[7:0] _{4n}	O_PIXEL[7:0] _{4n+1}	O_PIXEL[7:0] _{4n+2}	O_PIXEL[7:0] _{4n+3}
	Y	Y	Y	Y
CSI-2 YUV- 420_10bit	偶数行			
	O_PIXEL[9:0] _{4n}	O_PIXEL[9:0] _{4n+1}	O_PIXEL[9:0] _{4n+2}	O_PIXEL[9:0] _{4n+3}
	U	Y	V	Y
	奇数行			
	O_PIXEL[9:0] _{4n}	O_PIXEL[9:0] _{4n+1}	O_PIXEL[9:0] _{4n+2}	O_PIXEL[9:0] _{4n+3}
	Y	Y	Y	Y

像素格式	像素组织			
CSI-2 YUV-420_8bit, Legacy	偶数行			
	O_PIXEL[7:0] _{4n}	O_PIXEL[7:0] _{4n+1}	O_PIXEL[7:0] _{4n+2}	O_PIXEL[7:0] _{4n+3}
	V	Y	V	Y
	奇数行			
	O_PIXEL[7:0] _{4n}	O_PIXEL[7:0] _{4n+1}	O_PIXEL[7:0] _{4n+2}	O_PIXEL[7:0] _{4n+3}
	U	Y	U	Y

3.6 像素与字节个数

MIPI D-PHY 标准中数据长度是以字节个数来计量的，而输入的像素格式的数据位宽并不一定是字节位宽 8 的整倍数。因此每行的像素个数需要有一定的限制，才能保证能够正确的封装进 MIPI DSI/CSI-2 的数据包中。

例如 DSI 的 RGB-666 格式的像素，每行像素必须为 4 的倍数，每 4 个像素占用 9 个字节，整行占用的字节数为 9 的倍数。

表 3-5 列举了各支持的像素格式，对应的每行像素个数与字节个数的要求。其中的像素个数是按照 3.4 数据类型中的单位像素位宽计算的，并不是实际意义上的像素个数。

表 3-5 像素与字节个数限制

像素格式	像素个数	字节个数
DSI/CSI-2 RGB-888	1的倍数	3的倍数
DSI/CSI-2 RGB-666	4的倍数	9的倍数
DSI RGB-666, Loosely packed	1的倍数	3的倍数
DSI/CSI-2 RGB-565	1的倍数	2的倍数
DSI YCbCr-422_16bit	2的倍数	4的倍数
DSI YCbCr-422_20bit, Loosely packed	2的倍数	6的倍数
DSI YCbCr-422_24bit	2的倍数	6的倍数
DSI RGB_36-bit	4的倍数	18的倍数
DSI RGB_30-bit	4的倍数	15的倍数
CSI-2 RAW-8	1的倍数	1的倍数
CSI-2 RAW-10	4的倍数	5的倍数
CSI-2 RAW-12	4的倍数	6的倍数
CSI-2 RAW-14	4的倍数	7的倍数
CSI-2 YUV-420_8bit (奇数行)	2的倍数	2的倍数
CSI-2 YUV-420_8bit (偶数行)	4的倍数	4的倍数
CSI-2 YUV-422_8bit	4的倍数	4的倍数

像素格式	像素个数	字节个数
CSI-2 YUV-420_10bit (奇数行)	4的倍数	5的倍数
CSI-2 YUV-420_10bit (偶数行)	8的倍数	10的倍数
CSI-2 YUV-422_10bit	4的倍数	5的倍数

如果配置成每时钟输入 2 个像素，每行像素还必须是 2 的倍数；如果配置成每时钟输入 4 个像素，每行像素还必须是 4 的倍数。

3.7 时钟计算

Gowin MIPI Pixel-to-Byte Converter IP 包含两个异步时钟域的数字逻辑分块，一个是输入侧的像素时钟域，时钟信号为 I_PIXEL_CLK；另一个是输出侧的字节时钟域，时钟信号为 I_BYTE_CLK。两个时钟域是通过 FIFO 相互隔离的。设计中 FIFO 的位宽大于等于输入信号 I_PIXEL 位宽，且大于等于输出信号 O_DATA 位宽；FIFO 的深度仅够时钟域转换使用。为确保输出的数据能够连续无误，I_BYTE_CLK 和 I_PIXEL_CLK 必须满足以下关系式：

$$\frac{f_{I_BYTE_CLK}}{f_{I_PIXEL_CLK}} = \frac{\text{单位像素位宽} \times \text{每时钟输入像素数}}{D\text{-PHY 通道数} \times \text{TX 数据组织位宽}}$$

其中，8:1 TX D-PHY 数据组织模式的 TX 数据组织位宽为 8，而 16:1 TX 数据组织位宽为 16。

例：

DSI, RGB-888, 4-Lane, 1:16, 每时钟 1 像素（单位）时满足：

$$\frac{f_{I_BYTE_CLK}}{f_{I_PIXEL_CLK}} = \frac{24 \times 1}{4 \times 16} = \frac{3}{8}$$

CSI-2, RAW-14, 2-Lane, 1:8, 每时钟 2 像素（单位）时满足：

$$\frac{f_{I_BYTE_CLK}}{f_{I_PIXEL_CLK}} = \frac{14 \times 2}{2 \times 8} = \frac{7}{4}$$

3.8 配置参数

表 3-6 Gowin MIPI Pixel-to-Byte Converter IP 参数

参数名称	允许范围	描述
VSycn Polarity	High或Low	指定I_VSYNC极性
HSync Polarity	High或Low	指定I_HSYNC极性
DE Polarity	High或Low	指定I_DE极性
Data Type	DSI参见表3-2中像	指定处理的数据类型，同时确定单

参数名称	允许范围	描述
	素格式栏； CSI-2参见表3-3中 像素格式栏	位像素位宽
MIPI Interface Type	DSI或CSI-2	指定MIPI接口类型
MIPI D-PHY Mode	8:1或16:1	指定TX D-PHY的数据组织模式
Number of RX Lanes	1,2,3,4	指定TX D-PHY的通道数
Number of Pixels Per Clock	1,2,4	指定每时钟输入的像素数
Number of Delayed Clock Cycles for Pulses	0~1023	指定为O_VS_START、 O_HS_START、O_FV_START、 O_VS_END、O_VS_END、 O_FV_END等脉冲信号额外增加的 延时时钟数

在表 3-2 和表 3-3 中列举出的除 RGB_36bit 外的所有数据类型，均支持 1~4 通道数，1:8/1:16 模式，每时钟输入 1 个或 2 个像素单位，三种条件的任意组合；RGB_36bit 仅支持每时钟输入 1 个像素单位；表 3-3 中 CSI-2 的 RAW 系列和 YUV 系列还支持每时钟输入 4 个像素单位。

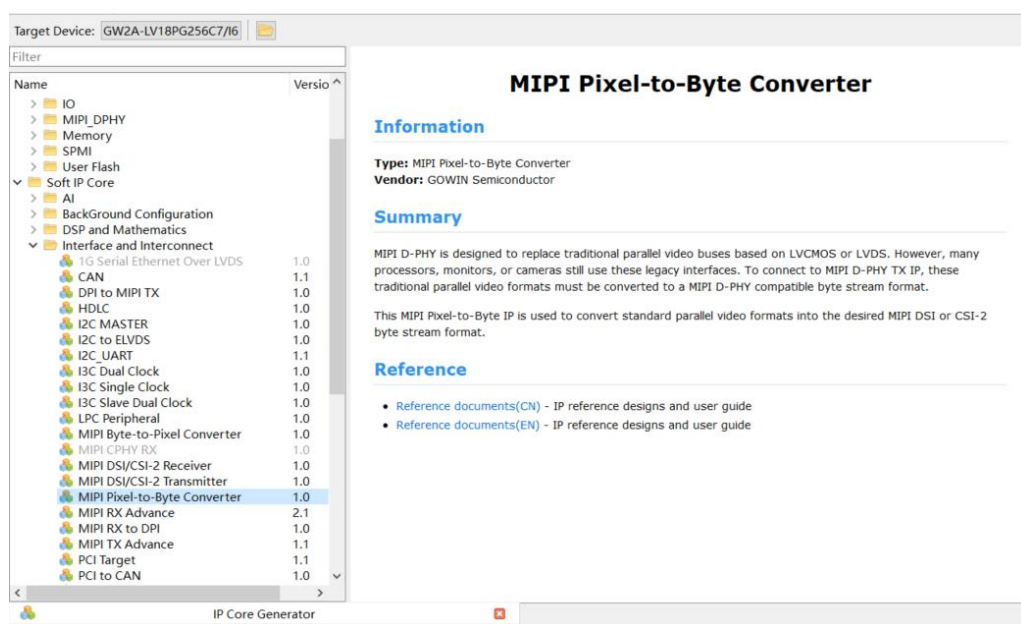
4 界面配置

用户可通过高云半导体云源软件界面的“Tools”菜单启动 IP Core Generator 工具，完成调用并配置 MIPI Pixel-to-Byte Converter IP。

1. 打开 IP Core Generator

用户建立工程后，单击“Tools”菜单栏，单击下拉列表中的“IP Core Generator”选项，即可打开 Gowin “IP Core Generator”工具界面。在“Soft IP Core > Interface and Interconnect > MIPI Pixel-to-Byte Converter”；在“Filter”栏中输入“Pixel-to-Byte”，可快速定位。

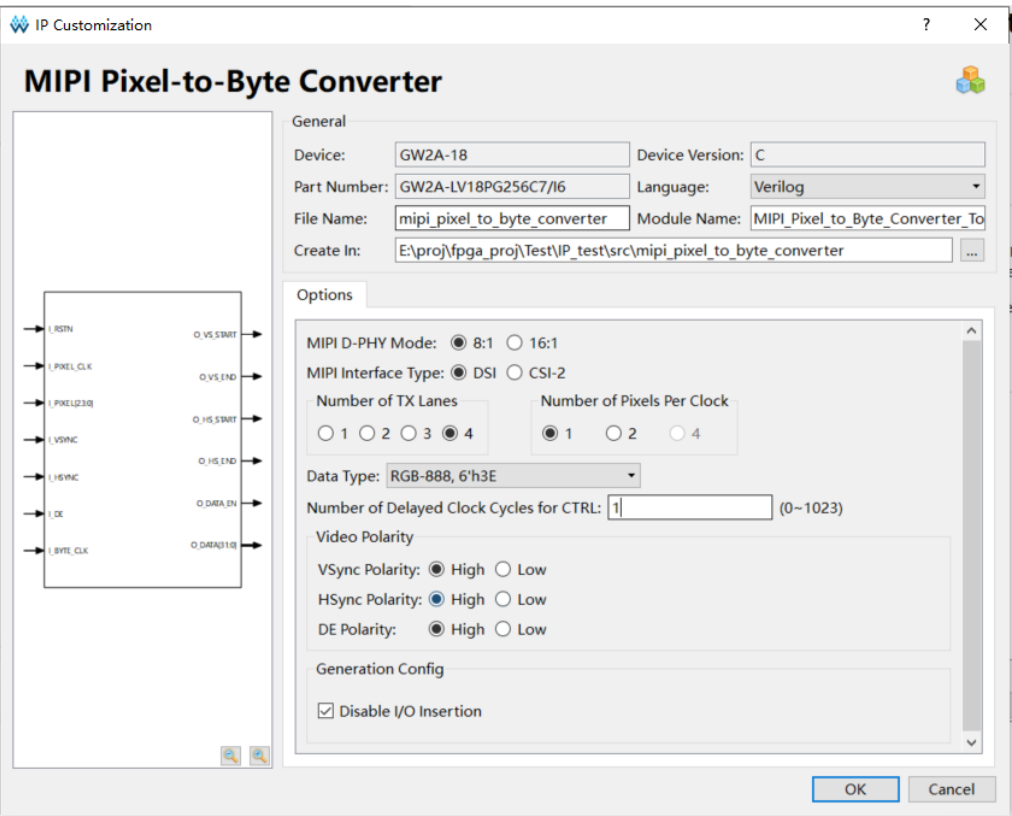
图 4-1 IP Core Generator 工具



2. MIPI Pixel-to-Byte Converter IP 配置界面

用户在“IP Core Generator”工具界面双击“MIPI Pixel-to-Byte Converter”项，即可打开 MIPI Pixel-to-Byte Converter IP 配置界面。界面左侧是接口示意图，右侧是 IP 的配置参数选项（参见 3.8 配置参数），如图 4-2 所示。

图 4-2 MIPI Pixel-to-Byte Converter IP 配置界面



3. 生成与例化

根据工程实际需求配置好各参数后，单击“OK”按钮，即可生成 MIPI Pixel-to-Byte Converter IP。如图 4-3 所示，是在用户程序中 IP 例化的实例。

图 4-3 MIPI Pixel-to-Byte Converter IP 例化

