




# Gowin EasyCDR IP 用户指南

IPUG1040-1.1,2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2023/10/12	1.0	初始版本。
2024/02/02	1.1	增加 8B/10B 解码功能。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语和简写 .....	1
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 介绍 .....	3
2.2 特征 .....	3
2.3 工作频率 .....	3
2.3.1 频偏容忍度 .....	4
2.4 资源利用 .....	4
<b>3 功能描述 .....</b>	<b>5</b>
3.1 整体结构 .....	5
3.2 Clocking .....	5
3.2.1 Share logic .....	6
3.3 Resets .....	8
<b>4 端口描述 .....</b>	<b>9</b>
4.1 信号定义 .....	9
<b>5 调用及配置 .....</b>	<b>11</b>
5.1 IP 调用 .....	11
5.2 IP 配置 .....	12
<b>6 参考设计 .....</b>	<b>13</b>
6.1 硬件平台 .....	13
6.2 工作原理 .....	13
6.3 参数配置 .....	14

---

6.4 操作步骤.....	14
<b>7 文件交付 .....</b>	<b>15</b>
7.1 文档.....	15
7.2 参考设计.....	15

# 图目录

图 3-1 Gowin EasyCDR IP 结构图 .....	5
图 3-2 单个 IP 情况下时钟逻辑与 IP 之间的连接关系.....	7
图 3-3 多个 IP 情况下时钟逻辑与 IP 之间的连接关系.....	7
图 3-4 IP 两种复位方式的逻辑连接方式 .....	8
图 4-1 EasyCDR IP 端口示意图 .....	9
图 5-1 IP Core Generator 界面 .....	11
图 5-2 EasyCDR 配置界面 .....	12
图 6-1 参考设计系统结构.....	13

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 Gowin EasyCDR IP 概述 .....	3
表 2-2 资源利用 .....	4
表 3-1 GW5A(R)-25 系列产品内 HCLK 组对应的 GPIO 和 PLL .....	6
表 4-1 EasyCDR 端口信号 .....	9
表 5-1 IP 配置项 .....	12
表 7-1 文档列表 .....	15
表 7-2 参考设计文件列表 .....	15

# 1 关于本手册

## 1.1 手册内容

Gowin® EasyCDR IP 用户指南主要内容包括功能描述、信号定义、界面配置、参考设计，旨在帮助用户快速了解 Gowin EasyCDR IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9 .01 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

## 1.2 相关文档

登录高云®半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

## 1.3 术语、缩略语和简写

表 1-1 中列出了本手册中出现的术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	释义
FPGA	Field Programmable Gate Array	现场可编辑门阵列
ALU	Arithmetic Logic Unit	算术逻辑单元
GPIO	Gowin Programmable Input/Output	Gowin 可编程通用管脚
HCLK	High-speed Clock	高速时钟
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PLL	Phase-locked Loop	锁相环
PRBS	Pseudo-Random Binary Sequence	伪随机二进制序列
REG	Register	寄存器



## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 介绍

Gowin EasyCDR IP 基于 GPIO 实现了将高速串行数据转换为低速并行数据的功能，用户可以使用该 IP 提取串行数据流且无需随路时钟。

**表 2-1 Gowin EasyCDR IP 概述**

Gowin EasyCDR IP	
逻辑资源	见表2-2
交付文件	
设计文件	Verilog（加密）
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software（V1.9.9.01及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

## 2.2 特征

- 将串行数据转化为并行数据
- 接收数据无需随路时钟
- 输出数据位宽 10/16bit
- 输入数据线速率不高于 1Gbps
- 能够识别或解析 8B/10B 编码后的串行数据

## 2.3 工作频率

Gowin EasyCDR IP 工作频率为输入数据流的线速率的八分之一。

### 2.3.1 频偏容忍度

IP 在 1Gbps 速率下可以容忍 $\pm 5000\text{ppm}$  的频偏，频偏容忍度会随速率而变化，频偏容忍度与速率负相关。

## 2.4 资源利用

Gowin EasyCDR IP 采用 Verilog HDL 实现，因使用器件的密度、速度和等级的不同，其性能和资源利用情况可能不一致。以高云 GW5A(R)-25 为例，默认配置下资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

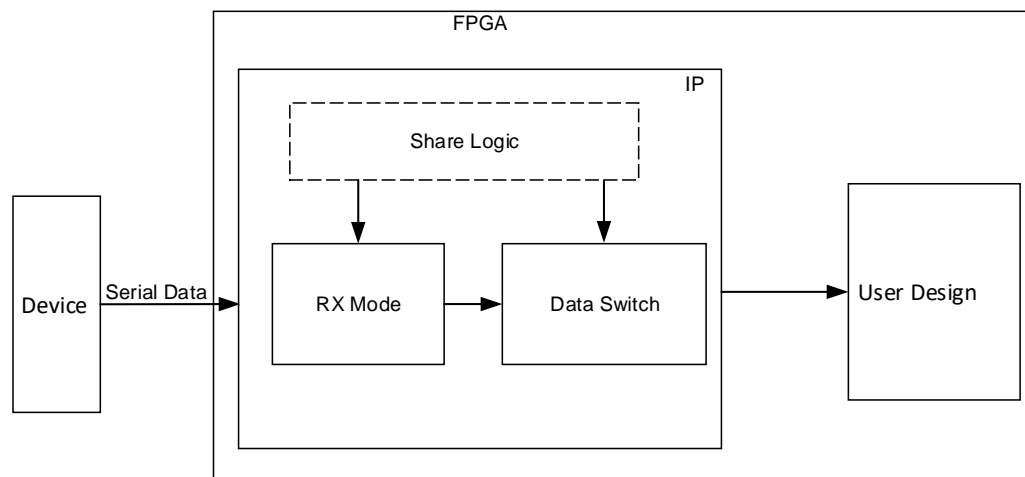
器件	编程语言	LUTs	REGs
GW5A(R)-25	Verilog HDL	523	285

# 3 功能描述

## 3.1 整体结构

Gowin EasyCDR IP 主要由 RX Mode、Data switch 和 Share logic 三部分组成，如图 3-1 所示。

图 3-1 Gowin EasyCDR IP 结构图



- RX Mode: 接收并处理串行数据流，无需随路时钟
- Data switch: 将处理后的数据，解析并转换成并行数据
- Share logic: 时钟控制模块，详见 3.2 Clocking 和 3.3 Resets

## 3.2 Clocking

器件内包含 HCLK 资源，作为高速时钟信号驱动 GPIO 资源。每 4 路 HCLK 为一组，且每个 HCLK 组可驱动固定的 GPIO 资源且被对应的 PLL 资源驱动，每组 HCLK 的频率大小都为输入信号线速率的一半，相位分别为  $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ 。HCLK、PLL 和 GPIO 之间的对应关系请参考 1.2 相关文档中 FPGA 产品数据手册。

以 GW5A(R)-25 系列 FPGA 产品为例，器件内包含 16 条 HCLK 资源，分 4 组 HCLK 组，每个 HCLK 组可驱动 2 个 BANK 的 GPIO，且每个

HCLK 组可被对应的 2 个 PLL 驱动，表 3-1 展示了 GW5A(R)-25 系列 FPGA 产品内每个 HCLK 组对应的 GPIO 和 PLL 情况。

表 3-1 GW5A(R)-25 系列产品内 HCLK 组对应的 GPIO 和 PLL

PLL	BANK
PLL_T/PLL_R[0]	BANK0/BANK1
PLL_R[1]/PLL_B	BANK2/BANK3
PLL_B/PLL_L[1]	BANK4/BANK5
PLL_L[0]/PLL_T	BANK6/BANK7

由于每个 HCLK 组都有对应的 GPIO 和 PLL，所以在例化 IP 时需要遵循以下几点要求：

- 例化单个 IP 时，IP 接收差分信号（rxp\_i/ rxn\_i）需分配到同个 HCLK 组的 GPIO 上。
- 例化多个 IP 时，所有 IP 的差分信号尽可能的分配到同个 HCLK 组的 GPIO 上，以便节省 HCLK 和 PLL 资源。
- 根据 IP 的差分信号所分配的 BANK，需要手动约束 PLL 到对应的位置上；例如 IP 的差分信号分配到 BANK0，约束 PLL 到 PLL\_T，PLL 在工程顶层例化，例化名为 u\_pll\_hclk，约束语句为“INS\_LOC "u\_pll\_hclk/PLLA\_inst" PLL\_T;”，写入.cst 文件。

### 3.2.1 Share logic

IP 需要占用 4 路 HCLK 资源构建时钟网络，当同一个 HCLK 组内例化多个 IP 时，所有 IP 需要共享此时钟网络。

Share logic 为 4 路 HCLK 构建的时钟网络，用户可根据自身设计需求选择 IP 是否包含 Share logic。

IP 输出数据与时钟的关系如下：

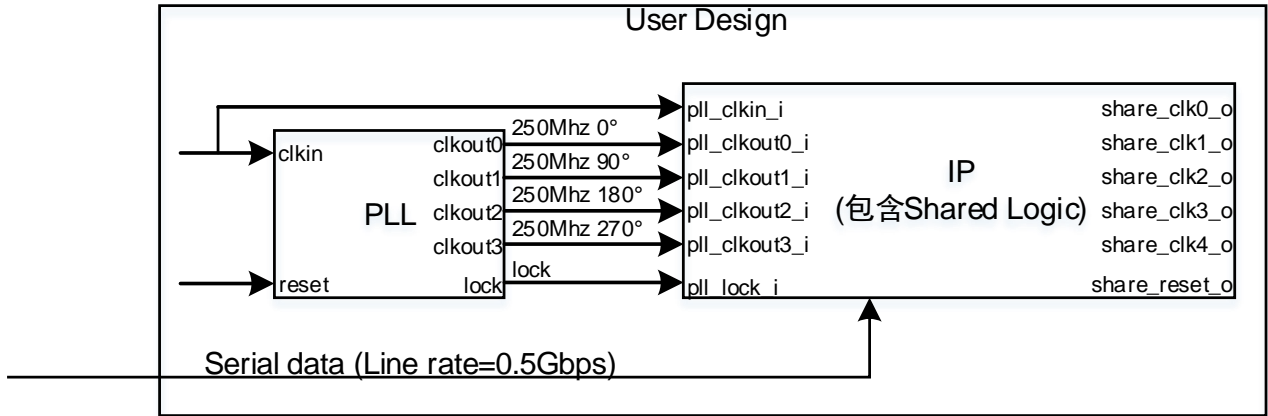
- 当 Shared Logic 选择 Inside 时，IP 输出的并行数据同步于 IP 输出的 share\_clk4\_o
- 当 Shared Logic 选择 outside 时，IP 输出的并行数据同步于 IP 输入的 share\_clk4\_i

用户设计中 PLL 输出时钟频率需是输入数据线速率的一半，图示当线速率为 0.5Gbps 时，PLL 输出时钟频率为 250MHz，用户可根据实际线速率大小来设定。

### 单个 IP

当 HCLK 组中仅例化单个 IP 时，IP 应包含 Share logic，用于构建时钟网络，图 3-2 展示了单个 IP 情况下时钟逻辑与 IP 之间的连接关系。

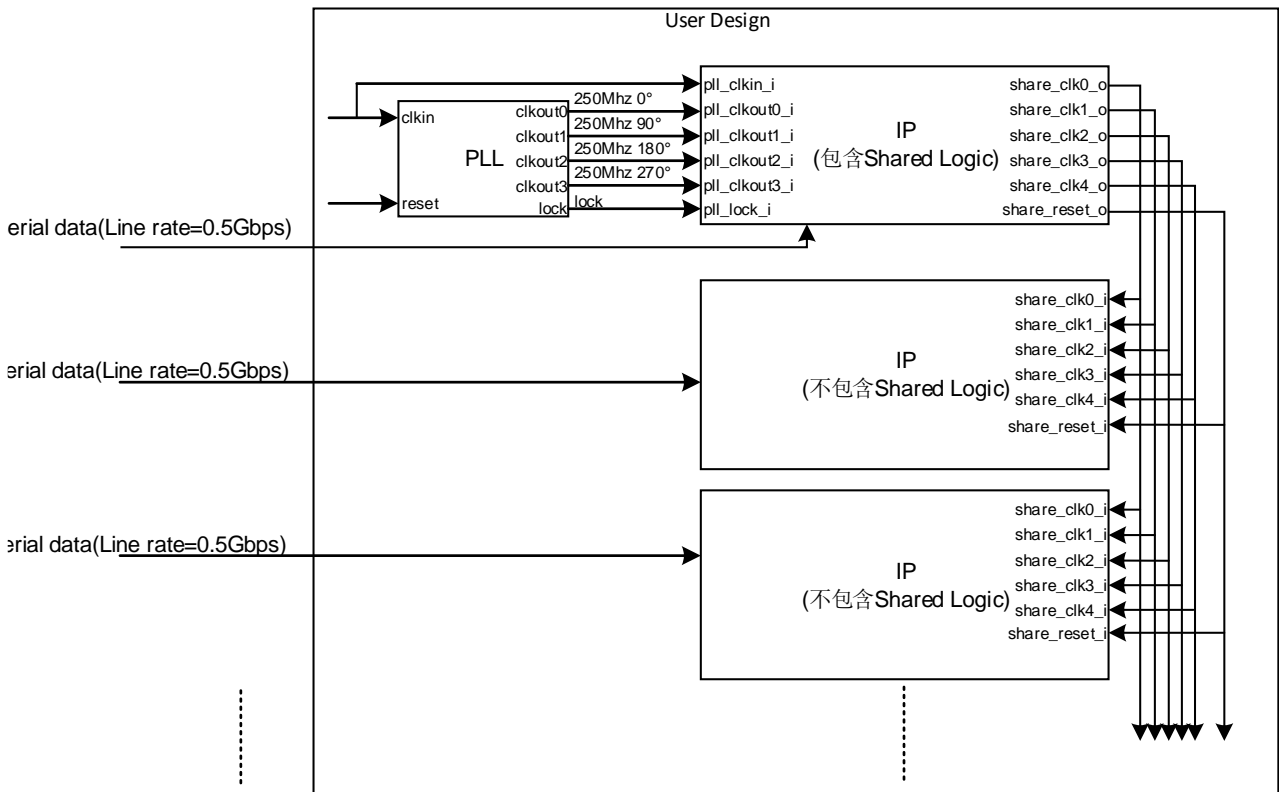
图 3-2 单个 IP 情况下时钟逻辑与 IP 之间的连接关系



### 多个 IP

当 HCLK 组中例化至少两个 IP 时，其中一个 IP 应包含 Share logic，剩余 IP 应不包含 Share logic，以实现时钟网络的共享，图 3-3 展示了多个 IP 情况下时钟逻辑与 IP 之间的连接关系。

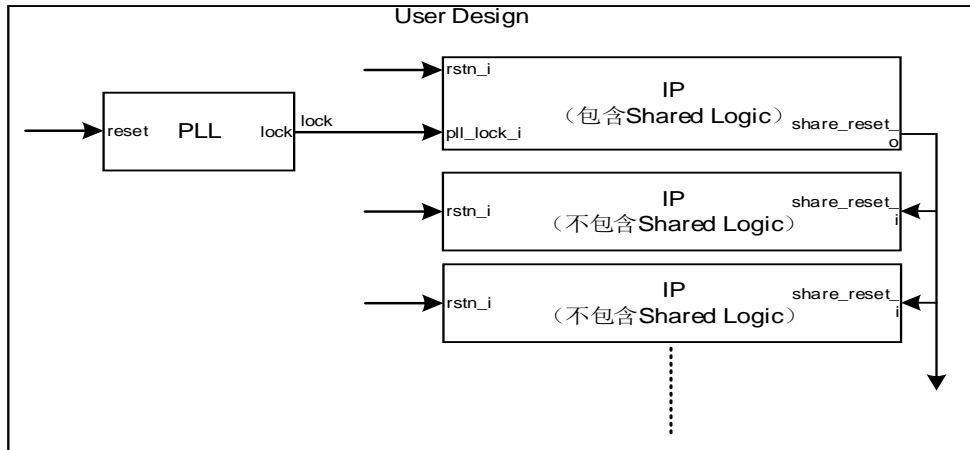
图 3-3 多个 IP 情况下时钟逻辑与 IP 之间的连接关系



### 3.3 Resets

IP 支持两种复位方式，第一种复位方式用于复位 HCLK 组内所有的 IP，即通过复位 PLL 来控制 Share logic 进行 HCLK 组内所有 IP 的复位操作；另一种复位方式用于独立复位单个 IP，即通过 rstn\_i 实现单个 IP 的独立复位操作，图 3-4 展示了 IP 两种复位方式的逻辑连接方式。

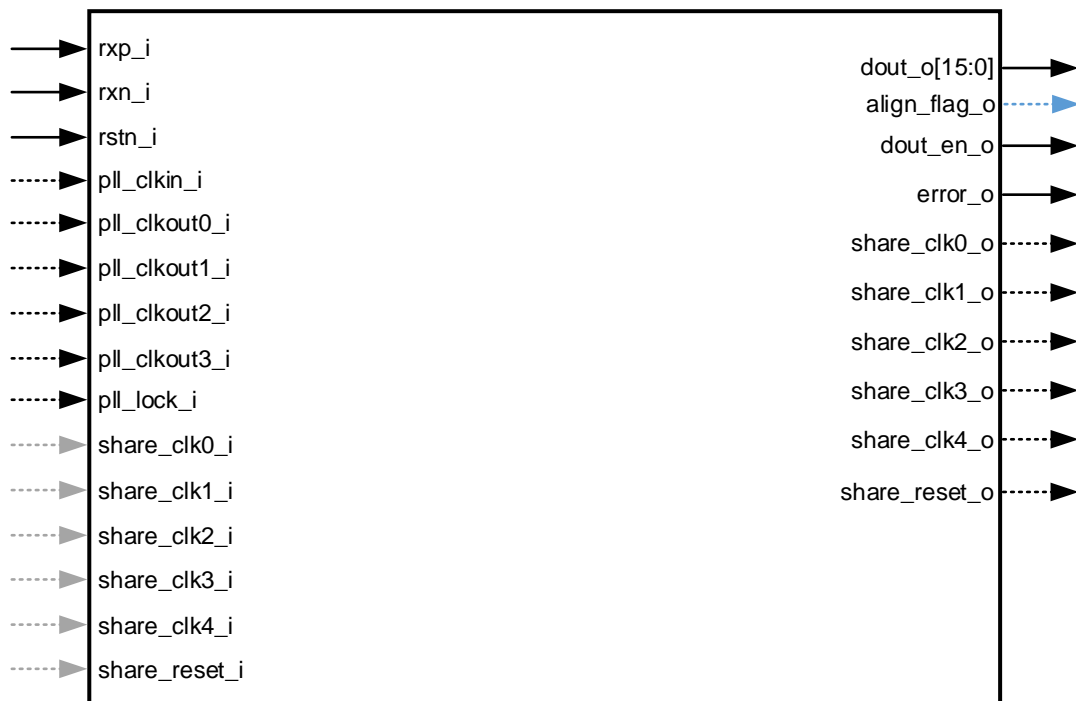
图 3-4 IP 两种复位方式的逻辑连接方式



# 4 端口描述

IP 端口示意图如图 4-1 所示。

图 4-1 EasyCDR IP 端口示意图



注！

- 虚线箭头 部分表示当 Share logic 选择 Inside 时，端口存在
- 点划线箭头 部分表示当 Share logic 选择 outside 时，端口存在
- 带蓝色尖端的虚线箭头 部分表示当勾选 Word Alignment 时，端口存在

## 4.1 信号定义

表 4-1 EasyCDR 端口信号


序号	信号名称	类型	位宽	描述
1	rxp_i	Input	1	接收差分信号，P端
2	rxn_i	Input	1	接收差分信号，N端
3	rstn_i	Input	1	复位信号，低电平有效
4	pll_clkkin_i	Input	1	PLL参考时钟



序号	信号名称	类型	位宽	描述	
5	pll_clkout0_i	Input	1	PLL的0通道时钟信号，相位为0°	
6	pll_clkout1_i	Input	1	PLL的1通道时钟信号，相位为90°	
7	pll_clkout2_i	Input	1	PLL的2通道时钟信号，相位为180°	
8	pll_clkout3_i	Input	1	PLL的3通道时钟信号，相位为270°	
9	pll_lock_i	Input	1	PLL锁定信号，高电平有效	
10	share_clk0_o	Output	1	共享时钟1输出，相位0°	
11	share_clk1_o	Output	1	共享时钟2输出，相位90°	
12	share_clk2_o	Output	1	共享时钟3输出，相位180°	
13	share_clk3_o	Output	1	共享时钟4输出，相位270°	
14	share_clk4_o	Output	1	共享时钟5输出	
15	share_reset_o	Output	1	共享复位输出，高电平有效	
16	share_clk0_i	Input	1	共享时钟1输入，相位偏移0°	
17	share_clk1_i	Input	1	共享时钟2输入，相位偏移90°	
18	share_clk2_i	Input	1	共享时钟3输入，相位偏移180°	
19	share_clk3_i	Input	1	共享时钟4输入，相位偏移270°	
20	share_clk4_i	Input	1	共享时钟5输入	
21	share_reset_i	Input	1	共享复位输入，高电平有效	
22	dout_o	Output	16/10	并行数据输出，高位在先	Shared Logic选择Inside时，同步于share_clk4_o； Shared Logic选择outside时，同步于share_clk4_i
23	align_flag_o	Output	1	数据对齐标识，高电平有效	
24	dout_en_o	Output	1	并行数据有效标识，高电平有效	
25	error_o	Output	1	输出错误标识，高电平有效	

# 5 调用及配置

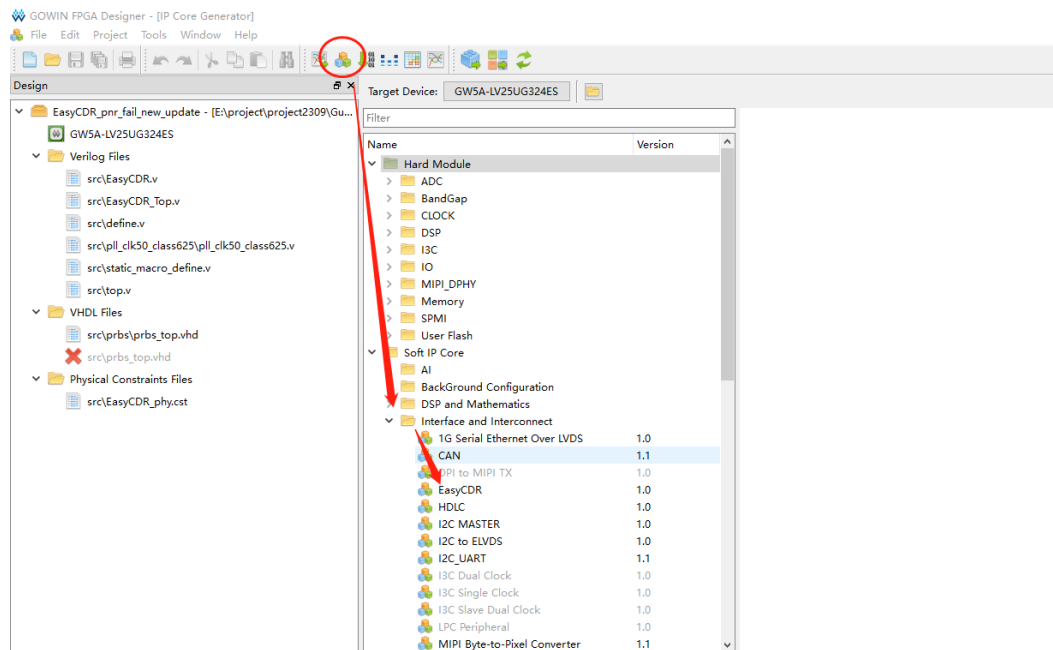
## 5.1 IP 调用

打开高云半导体云源®软件，点击快捷栏“”或菜单栏“Tools > IP Core Generator”启动 IP Core Generator 工具，进行 IP 的调用及配置。

### 1. 打开 IP Core Generator

用户创建工程后，点击“IP Core Generator”，即可打开 Gowin 的 IP 核产生工具，如图 5-1 所示。

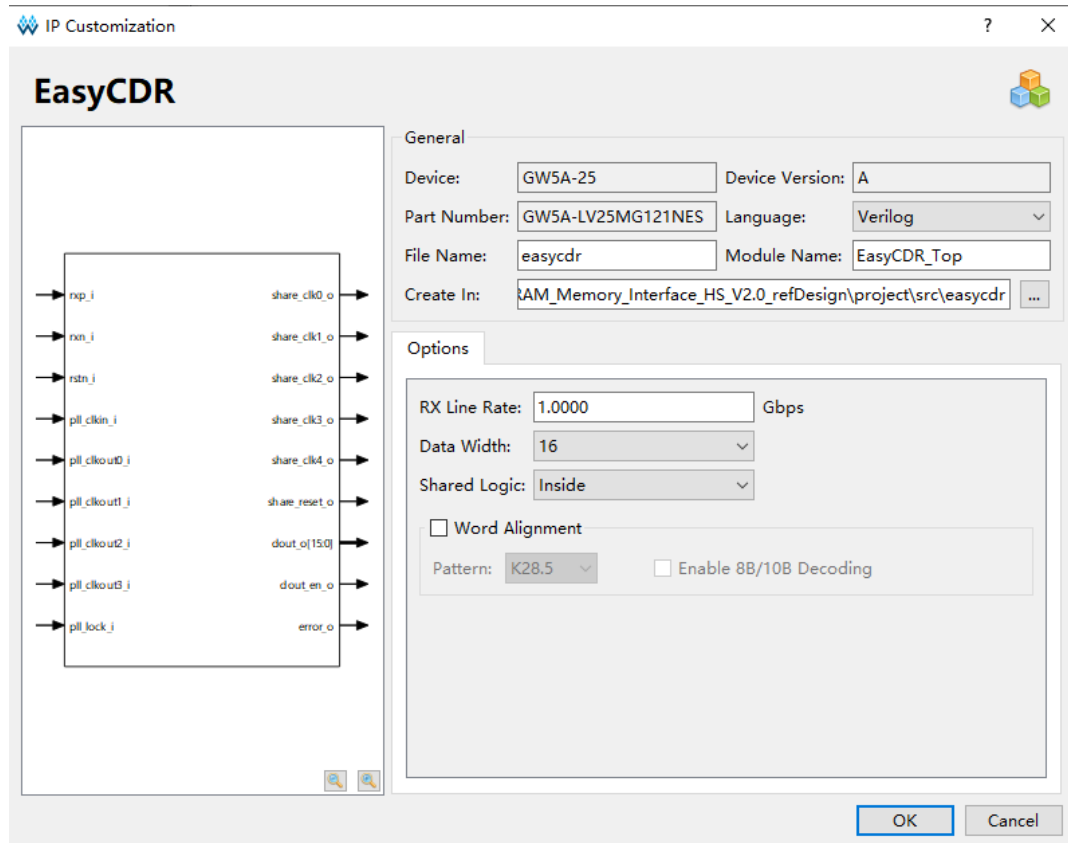
图 5-1 IP Core Generator 界面



### 2. 打开 IP

双击“Soft IP Core > Interface and Interconnect > EasyCDR”，打开 EasyCDR IP 界面，如图 5-2 所示。

图 5-2 EasyCDR 配置界面



- 可通过修改“File Name”，配置产生的 IP 文件名称。
- 可通过修改“Module Name”，配置产生的 IP 顶层模块名称。
- 可通过修改“Options”选项，配置 IP 其他配置。

## 5.2 IP 配置

表 5-1 IP 配置项

选项	描述
RX Line Rate	接收信号的线速率，输入范围0.066~1Gbps
Date Width	输出并行数据的位宽，可选10或16
Share logic	共享时钟逻辑，需根据实际情况进行选择 <ul style="list-style-type: none"> <li>● 选择Inside，则输出共享时钟，服务于其他例化的IP</li> <li>● 选择Outside，则接收共享时钟，不输出</li> </ul>
Word Alignment	对齐功能，勾选后，端口align_flag_o为高即对齐成功
Pattern	8B/10B解码的K码识别码，共12种
Enable 8B/10B Decoding	8B/10B解码功能，勾选后输出解码后的数据

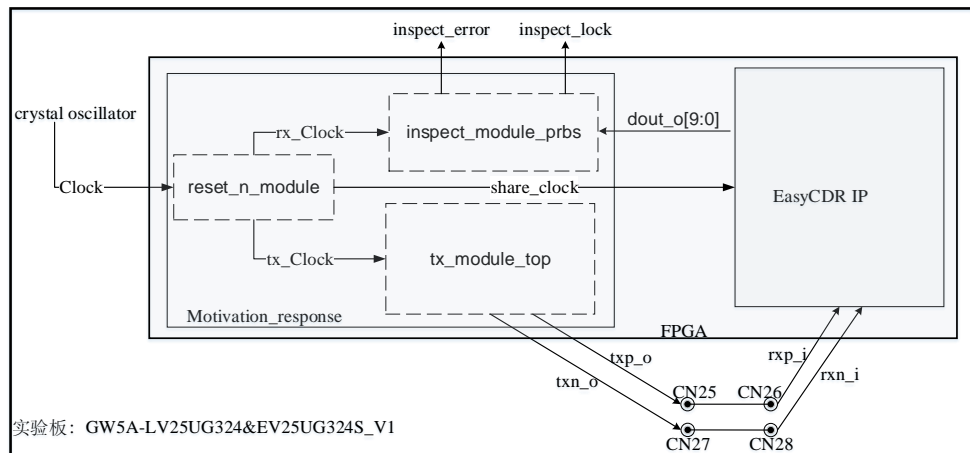
# 6 参考设计

详细信息请参见高云半导体官网 EasyCDR IP 参考设计。

## 6.1 硬件平台

本节介绍在 GW5A(R)-LV25UG324&EV25UG324S\_V1 实现 IP 的例程，系统结构如图 6-1，系统由晶振及 PLL、Motivation\_response 和 IP 三部分组成，其中 Motivation\_response 用来生成串行数据流，并检测 IP 解析后的数据是否有误。


图 6-1 参考设计系统结构



## 6.2 工作原理

该测试系统时钟由板载晶振提供，工作原理如下：


1. `reset_n_module` 模块生成系统所需时钟、复位等激励。
2. `tx_module_top` 生成伪随机差分串行数据流输出至板载 sma 接口 CN25 和 CN27。
3. CN25、CN27 通过射频缆分别与 CN26、CN28 相连，为数据流传输至 IP 提供通道。
4. IP 解析输入数据流，并将解析后的数据传输至 `inspect_module_prbs` 进行检测，检测结果输出到 `inspect_errort`、`inspect_lock`，用户可通过高

云逻辑在线分析仪 () 查看。

## 6.3 参数配置

板载晶振输入时钟 50 MHz，用户可根据自身测试需求更改 PLL 以获取所需频率的时钟(当前设计的硬件平台默认配置下支持串行线速率范围为 0.066~1Gbps)

## 6.4 操作步骤

1. 打开云源软件(Gowin\_V1.9.9.01 及以上) > 打开例程工程并设置顶层文件 > 编译例程 > 将生成的比特流文件(ao.fs)下载到板卡中。
2. 打开工具栏 > Gowin Analyzer Oscilloscope () >运行，查看结果。

# 7 文件交付

Gowin EasyCDR IP 交付文件主要包含文档和参考设计。

## 7.1 文档

文件夹主要包含用户指南 PDF 文档。

表 7-1 文档列表

名称	描述
IPUG1040, Gowin EasyCDR IP用户指南	Gowin EasyCDR IP用户手册

## 7.2 参考设计

表 7-2 参考设计文件列表

文件名称	描述
top.v	IP例程顶层文件，提供接口信息，不加密
EasyCDR_Top.v	RTL设计文件，加密
motivation_response.v	激励和检测文件，不加密
IP_TEST.cst	物理约束文件，不加密(用户可自主配置)
IP_TEST.sdc	时序约束文件，不加密(用户可自主配置)
IP_TEST.rao	gao文件，不加密(用户可自主配置)

