




# Gowin EasyCDR IP 用户指南

IPUG1040-1.3,2024-05-09

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2023/10/12	1.0	初始版本。
2024/02/02	1.1	增加 8B/10B 解码功能。
2024/03/08	1.2	<ul style="list-style-type: none"><li>● 修改数据顺序为低位在先；</li><li>● 修改 8B/10B 解码等使能方案</li></ul>
2024/05/09	1.3	<ul style="list-style-type: none"><li>● 线速率提升至 2.2 Gbps；</li><li>● 新增 3.4 GPIO 3.5 DATA 章节描述；</li><li>● 新增参考设计 2。</li></ul>

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语和简写 .....	1
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 介绍 .....	3
2.2 特征 .....	3
2.3 工作频率 .....	3
2.3.1 频偏容忍度 .....	4
2.4 资源利用 .....	4
<b>3 功能描述 .....</b>	<b>5</b>
3.1 整体结构 .....	5
3.2 Clocking .....	5
3.2.1 Shared logic .....	6
3.3 Resets .....	7
3.4 GPIO .....	8
3.5 DATA .....	9
3.5.1 Word Alignment .....	9
3.5.2 8B/10B Decoding .....	10
<b>4 端口描述 .....</b>	<b>11</b>
<b>5 调用及配置 .....</b>	<b>13</b>
5.1 IP 调用 .....	13
5.2 IP 配置 .....	14
<b>6 参考设计 .....</b>	<b>16</b>
6.1 参考设计 1 .....	16

---

6.1.1 硬件平台 .....	16
6.1.2 工作原理 .....	17
6.1.3 参数配置 .....	17
6.1.4 操作步骤 .....	17
6.2 参考设计 2 .....	17
6.2.1 硬件平台 .....	17
6.2.2 工作原理 .....	18
6.2.3 参数配置 .....	19
6.2.4 操作步骤 .....	19
<b>7 文件交付 .....</b>	<b>20</b>
7.1 文档 .....	20
7.2 参考设计 .....	20

# 图目录

图 3-1 Gowin EasyCDR IP 结构图 .....	5
图 3-2 单个 IP 情况下时钟逻辑与 IP 之间的连接关系.....	7
图 3-3 多个 IP 情况下时钟逻辑与 IP 之间的连接关系.....	7
图 3-4 IP 两种复位方式的逻辑连接方式 .....	8
图 3-5 BANK7(UG324 封装)中 13 对支持 LVDS 的 GPIO.....	9
图 3-6 未开启 Word Alignment 和 8B/10B Decoding 时数据输出过程 .....	9
图 3-7 Word Alignment 时数据输出过程.....	10
图 3-8 8B/10B Decoding 时数据输出过程 .....	10
图 4-1 EasyCDR IP 端口示意图 .....	11
图 5-1 IP Core Generator 界面 .....	13
图 5-2 EasyCDR 配置界面 .....	14
图 6-1 参考设计 1 系统结构 .....	16
图 6-2 参考设计 2 系统结构 .....	18

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 Gowin EasyCDR IP 概述 .....	3
表 2-2 资源利用 .....	4
表 3-1 GW5A(R)-25 系列产品内 HCLK 组对应的 GPIO 和 PLL .....	6
表 3-2 8B/10B Decoding 时 dout_o 的数据格式 .....	10
表 4-1 EasyCDR 端口信号 .....	11
表 5-1 IP 配置项 .....	14
表 7-1 文档列表 .....	20
表 7-2 参考设计文件列表 .....	20

# 1 关于本手册

## 1.1 手册内容

Gowin EasyCDR IP 用户指南主要内容包括功能描述、信号定义、界面配置、参考设计，旨在帮助用户快速了解 Gowin EasyCDR IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

## 1.2 相关文档

登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

## 1.3 术语、缩略语和简写

表 1-1 中列出了本手册中出现的术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	释义
FPGA	Field Programmable Gate Array	现场可编程门阵列
ALU	Arithmetic Logic Unit	算术逻辑单元
GPIO	Gowin Programmable Input/Output	Gowin 可编程通用管脚
HCLK	High-speed Clock	高速时钟
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PLL	Phase-locked Loop	锁相环
PRBS	Pseudo-Random Binary Sequence	伪随机二进制序列
REG	Register	寄存器



## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 介绍

Gowin EasyCDR IP 基于 GPIO 实现了将高速串行数据转换为低速并行数据的功能，用户可以使用该 IP 提取串行数据流且无需随路时钟。

**表 2-1 Gowin EasyCDR IP 概述**

Gowin EasyCDR IP	
逻辑资源	见表2-2
交付文件	
设计文件	Verilog（加密）
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software（V1.9.9 Beta-5及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

## 2.2 特征

- 将串行数据转化为并行数据
- 接收数据无需随路时钟
- 输出数据位宽 10/16/20/32 bits
- 输入数据线速率为 0.1 Gbps~2.2 Gbps
- 能够识别或解析 8B/10B 编码后的串行数据

## 2.3 工作频率

当输入数据流的线速率不高于 1Gbps 时，Gowin EasyCDR IP 工作频率为输入数据流的线速率的八分之一。

当输入数据流的线速率高于 1Gbps 时，Gowin EasyCDR IP 工作频率

为输入数据流的线速率的十六分之一。

### 2.3.1 频偏容忍度

IP 在 1 Gbps 速率下可以容忍 $\pm 5000$ ppm 的频偏，频偏容忍度会随速率而变化，频偏容忍度与速率负相关。

## 2.4 资源利用

Gowin EasyCDR IP 采用 Verilog HDL 实现，因使用器件的密度、速度和等级的不同，其性能和资源利用情况可能不一致。以高云 GW5A(R)-25 为例，默认配置下资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

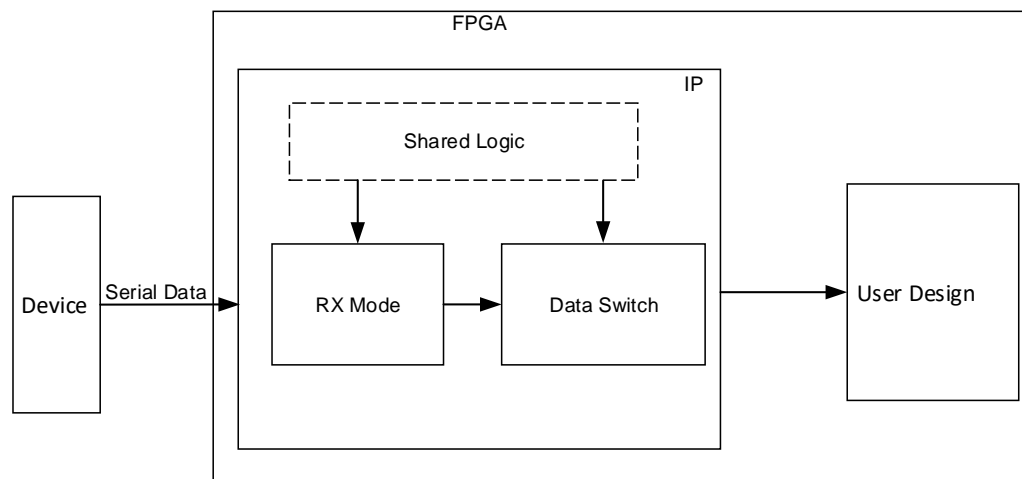
器件	编程语言	LUTs	REGs
GW5A(R)-25	Verilog HDL	458	294

# 3 功能描述

## 3.1 整体结构

Gowin EasyCDR IP 主要由 RX Mode、Data switch 和 Shared logic 三部分组成，如图 3-1 所示。

图 3-1 Gowin EasyCDR IP 结构图



- RX Mode: 接收并处理串行数据流，无需随路时钟
- Data switch: 将处理后的数据，解析并转换成并行数据
- Shared logic: 时钟控制模块，详见 [3.2 Clocking](#) 和 [3.3 Resets](#)

## 3.2 Clocking

器件内包含 HCLK 资源，作为高速时钟信号驱动 GPIO 资源。每 4 路 HCLK 为一组，且每个 HCLK 组可驱动固定的 GPIO 资源且被对应的 PLL 资源驱动，每组 HCLK 的频率大小由输入数据流的线速率决定，相位分别为  $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ 。当输入数据流的线速率不高于 1 Gbps 时，HCLK 的频率为线速率的二分之一；当输入数据流的线速率高于 1 Gbps 时，HCLK 的频率为线速率的四分之一。HCLK、PLL 和 GPIO 之间的对应关系请参考 [1.2 相关文档](#) 中 FPGA 产品数据手册。

以 GW5A(R)-25 系列 FPGA 产品为例，器件内包含 16 条 HCLK 资源，分 4 组 HCLK 组，每个 HCLK 组可驱动 2 个 BANK 的 GPIO，且每个 HCLK 组可被对应的 2 个 PLL 驱动，表 3-1 展示了 GW5A(R)-25 系列 FPGA 产品内每个 HCLK 组对应的 GPIO 和 PLL 情况。

**表 3-1 GW5A(R)-25 系列产品内 HCLK 组对应的 GPIO 和 PLL**

PLL	BANK
PLL_T/PLL_R[0]	BANK0/BANK1
PLL_R[1]/PLL_B	BANK2/BANK3
PLL_B/PLL_L[1]	BANK4/BANK5
PLL_L[0]/PLL_T	BANK6/BANK7

由于每个 HCLK 组都有对应的 GPIO 和 PLL，所以在例化 IP 时需要遵循以下几点要求：

- 例化单个 IP 时，IP 接收差分信号 (rxp\_i/ rxn\_i) 需分配到同个 HCLK 组的 GPIO 上。
- 例化多个 IP 时，所有 IP 的差分信号尽可能的分配到同个 HCLK 组的 GPIO 上，以便节省 HCLK 和 PLL 资源。
- 根据 IP 的差分信号所分配的 BANK，需要手动约束 PLL 到对应的位置上；例如 IP 的差分信号分配到 BANK0，约束 PLL 到 PLL\_T，PLL 在工程顶层例化，例化名为 u\_pll\_hclk，约束语句为 “INS\_LOC “u\_pll\_hclk/PLLA\_inst” PLL\_T;”，写入.cst 文件。

### 3.2.1 Shared logic

IP 需要占用 4 路 HCLK 资源构建时钟网络，当同一个 HCLK 组内例化多个 IP 时，所有 IP 需要共享此时钟网络。

Shared logic 为 4 路 HCLK 构建的时钟网络，用户可根据自身设计需求选择 IP 是否包含 Shared logic。

IP 输出数据与时钟的关系如下：

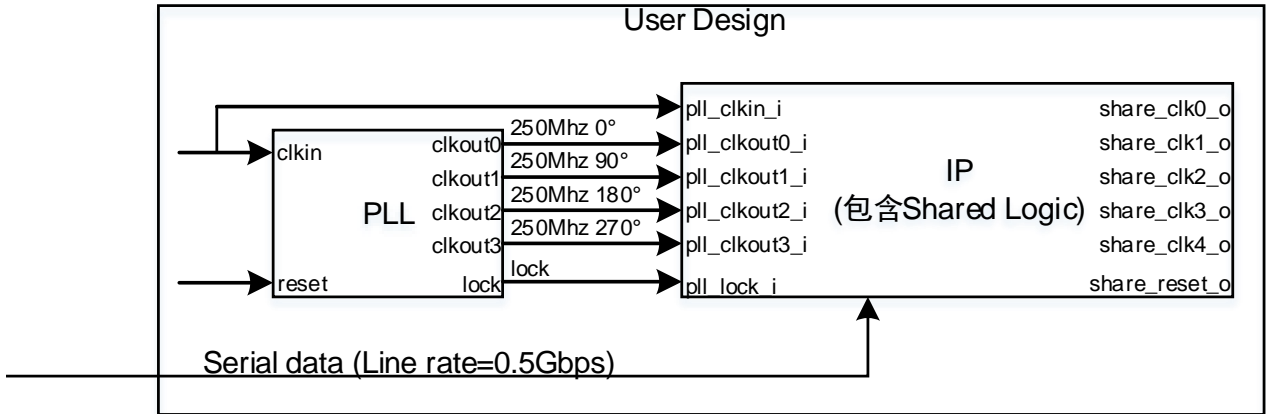
- 当 Shared Logic 选择 Inside 时，IP 输出的并行数据同步于 IP 输出的 share\_clk4\_o
- 当 Shared Logic 选择 outside 时，IP 输出的并行数据同步于 IP 输入的 share\_clk4\_i

用户设计中 PLL 输出时钟频率由输入数据流的线速率决定，当输入数据流的线速率不高于 1 Gbps 时，PLL 输出时钟的频率为线速率的二分之一；当输入数据流的线速率高于 1 Gbps 时，PLL 输出时钟的频率为线速率的四分之一。图示当线速率为 0.5 Gbps 时，PLL 输出时钟频率为 250 MHz，用户可根据实际线速率大小来设定。

### 单个 IP

当 HCLK 组中仅例化单个 IP 时，IP 应包含 Shared logic，用于构建时钟网络，图 3-2 展示了单个 IP 情况下时钟逻辑与 IP 之间的连接关系。

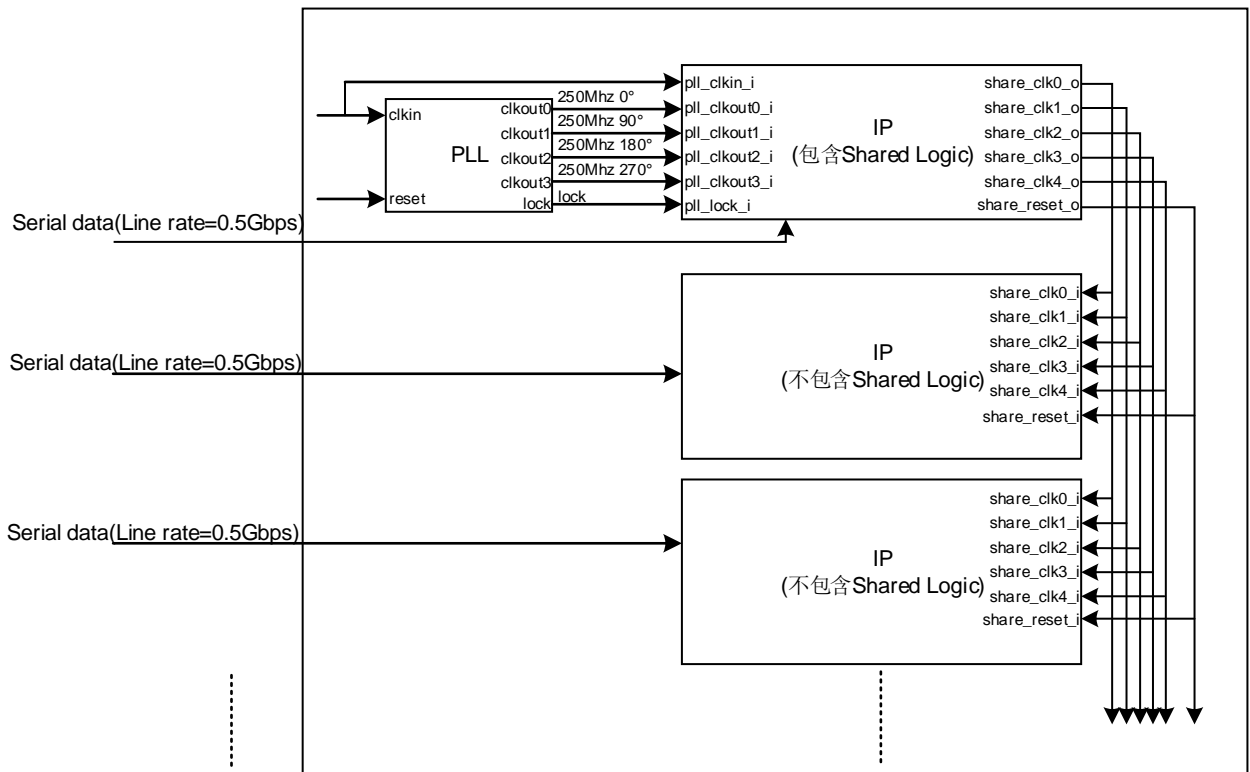
图 3-2 单个 IP 情况下时钟逻辑与 IP 之间的连接关系



### 多个 IP

当 HCLK 组中例化至少两个 IP 时，其中一个 IP 应包含 Shared logic，剩余 IP 应不包含 Shared logic，以实现时钟网络的共享，图 3-3 展示了多个 IP 情况下时钟逻辑与 IP 之间的连接关系。

图 3-3 多个 IP 情况下时钟逻辑与 IP 之间的连接关系

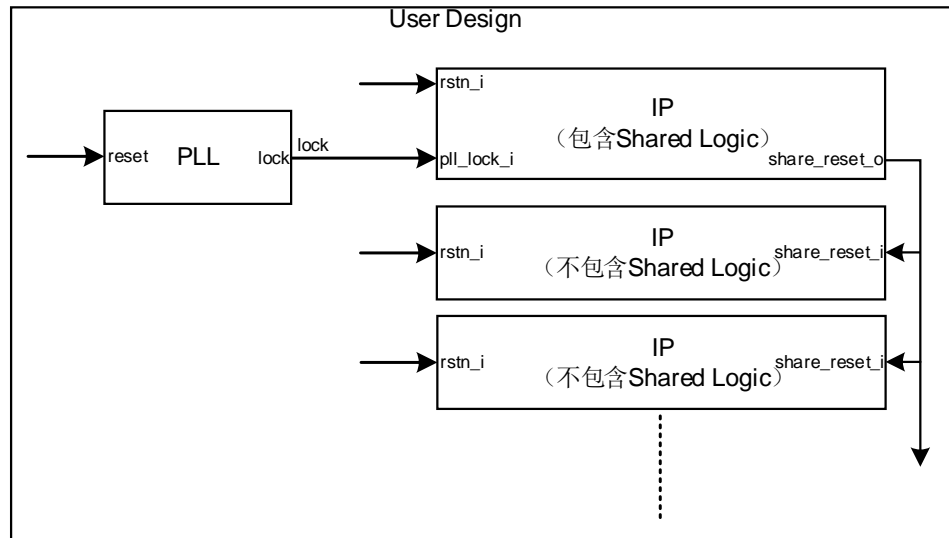


## 3.3 Resets

IP 支持两种复位方式，第一种复位方式用于复位 HCLK 组内所有的 IP，即通过复位 PLL 来控制 Shared logic 进行 HCLK 组内所有 IP 的复位操

作；另一种复位方式用于独立复位单个 IP，即通过 `rstn_i` 实现单个 IP 的独立复位操作，图 3-4 展示了 IP 两种复位方式的逻辑连接方式。

图 3-4 IP 两种复位方式的逻辑连接方式



## 3.4 GPIO

IP 的差分信号 `rxp_i` 和 `rxn_i` 仅能分配到支持 LVDS 的 GPIO，可参考 [UG985, GW5A-25 器件 Pinout 手册](#) 获取支持 LVDS 的 GPIO 信息。

当输入数据流的线速率不高于 1 Gbps 时，IP 仅占用分配的 GPIO 对应的 IODELAY 用于数据处理；而当输入数据流的线速率高于 1 Gbps 时，IP 还会借用相邻 GPIO 对应的 IODELAY 进行数据处理，同时额外占用的 IODELAY 对应的 GPIO 也不能再进行管脚分配，借用规则如下所述：

- 分配的 GPIO 和借用的 GPIO 属于同一个 IOT/IOR/IOB/IOL；
- 借用与分配的 GPIO 相邻的管脚名称中标号小的 GPIO；
- 借用的 GPIO 也需要支持 LVDS；
- 未封装出来的 Pin 也可以借用。

注！

若 GPIO 没有可借用的 IODELAY，则 IP 不可分配到此处。

以 GW5A(R)-25 系列 FPGA 产品为例，BANK7(UG324 封装)中有 13 对支持 LVDS 的 GPIO。当输入数据流的线速率不高于 1 Gbps 时，IP 的差分信号 `rxp_i` 和 `rxn_i` 可以分配到 13 对 GPIO 的任意一对；当输入数据流的线速率高于 1 Gbps 时，IP 的差分信号 `rxp_i` 和 `rxn_i` 可以分配到除 H4(IOT1A)和 H3(IOT1B)外的 12 对 GPIO 的任意一对。

例如当 IP 的差分信号 `rxp_i` 和 `rxn_i` 分配到 L7(IOT21A)和 K6(IOT21B) 时，IP 会额外借用 D2(IOT19A)和 D1(IOT19B)对应的 IODELAY，同时 D2 和 D1 也不能再进行管脚分配；当 IP 的差分信号 `rxp_i` 和 `rxn_i` 分配到 G3(IOT7A)和 G1(IOT7B)时，IP 会额外借用 IOT5A 和 IOT5B 对应的 IODELAY(IOT5A 和 IOT5B 在 UG324 中未封装出来)；由于 H4(IOT1A)和

H3(IOT1B)没有可借用的 GPIO，则 IP 不能将差分信号 rxp\_i 和 rxn\_i 分配到此处。

图 3-5 展示了 BANK7(UG324 封装)中 13 对支持 LVDS 的 GPIO。

图 3-5 BANK7(UG324 封装)中 13 对支持 LVDS 的 GPIO

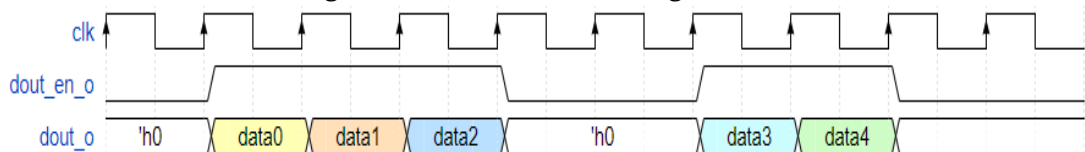
管脚名称	功能	BANK	ADC INPUT	DQS	配置功能	差分Pair	LVDS	UG324
BANK7 True LVDS Pair								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F2
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	J7
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	J6
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E3
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E1
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	F4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	F3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D2
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	L7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	K6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	E4
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	D3
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	F6
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	F5
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	C1
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	L5
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	K5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G1
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	H7
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G6

## 3.5 DATA

IP 将串行信号转换成并行数据进行输出，同时降低时钟频率，便于后续数据处理。

在 IP 未开启 Word Alignment 和 8B/10B Decoding 功能时，IP 将接收的数据通过 dout\_en\_o 和 dout\_o 输出。当 dout\_en\_o 为 1 时，dout\_o 输出接收的数据，同时先接收的串行数据放在低位。图 3-6 展示了未开启 Word Alignment 和 8B/10B Decoding 时数据输出过程。

图 3-6 未开启 Word Alignment 和 8B/10B Decoding 时数据输出过程



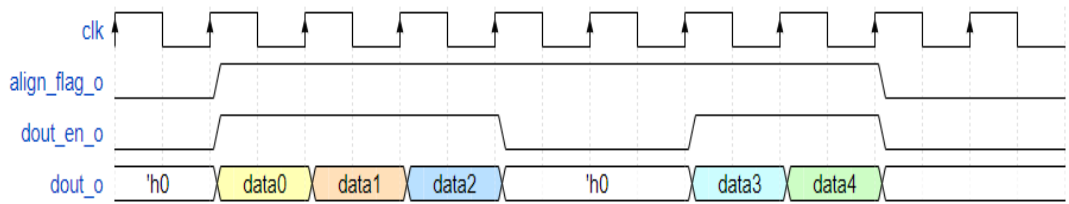
### 3.5.1 Word Alignment

Word Alignment 下，IP 会按照设置的 K 码对接收的数据进行对齐处理，将对齐的数据输出，Word Alignment 仅在输入数据流的线速率不高于 1Gbps 和 dout\_o 为 10 bits 位宽时可选择。

当 align\_flag\_o 为 1 时，表示接收数据对齐成功，若 dout\_en\_o 此时也为 1，则 dout\_o 输出对齐后的数据，同时先接收的串行数据放在低位；当 align\_flag\_o 为 0 时，表示接收数据对齐失败，IP 不输出数据。图 3-7 展示了 Word Alignment 时数据输出过程。



图 3-7 Word Alignment 时数据输出过程

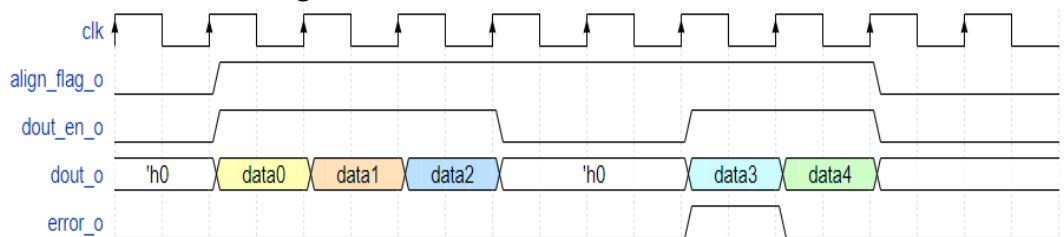


### 3.5.2 8B/10B Decoding

8B/10B Decoding 下，IP 会将接收的数据进行 8B/10B 解码处理，还原为编码前的数据，8B/10B Decoding 仅在输入数据流的线速率不高于 1Gbps、dout\_o 为 10bit 位宽和 Word Alignment 开启时可选择。

当 align\_flag\_o 为 1 时，表示接收数据对齐成功，若 dout\_en\_o 此时也为 1，则 dout\_o 输出 8B/10B 解码后的数据；当 align\_flag\_o 为 0 时，表示接收数据对齐失败，IP 不输出数据。当 dout\_en\_o 为 1 时，若 error\_o 为 0，则 dout\_o 解码时无异常，若 error\_o 为 1，则 dout\_o 解码时出现不一致性异常或数据异常。图 3-8 展示了 8B/10B Decoding 时数据输出过程。

图 3-8 8B/10B Decoding 时数据输出过程



解码后的数据 dout\_o 由两部分组成：K 码标识和数据。K 码标识为 1 则表示数据为 K 码，K 码标识为 0 则表示数据为 D 码；dout\_o 按照高位到低位的顺序依次是 1 bit 的 0、1 bit 的 K 码标识和 8 bit 的数据。表 3-2 展示了 8B/10B Decoding 时 dout\_o 的数据格式。

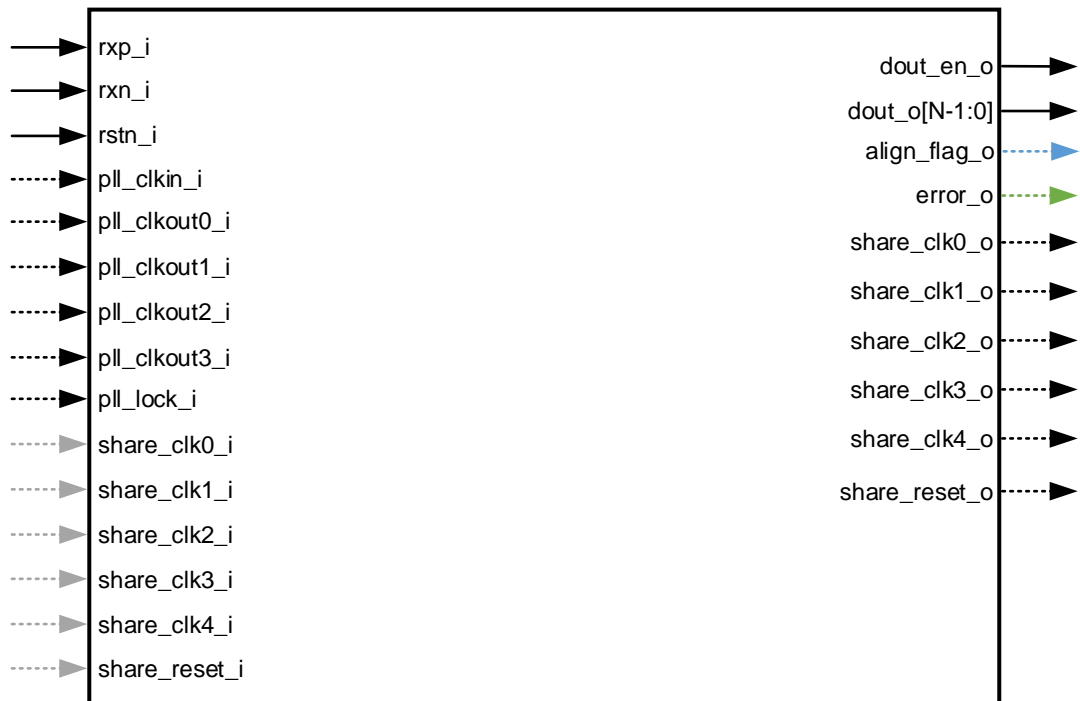
表 3-2 8B/10B Decoding 时 dout\_o 的数据格式

Bit	9	8	7:0
含义	常为0	K码标识	数据

# 4 端口描述

Gowin EasyCDR IP 端口示意图如图 4-1 所示。

图 4-1 EasyCDR IP 端口示意图



注！

- .....▶ 部分表示当 Shared logic 选择 Inside 时，端口存在
- .....▶ 部分表示当 Shared logic 选择 Outside 时，端口存在
- .....▶ 部分表示当勾选 Word Alignment 时，端口存在
- .....▶ 部分表示当勾选 Word Alignment 和 Enable 8B/10B Decoding 时，端口存在

## 信号定义


表 4-1 EasyCDR 端口信号

序号	信号名称	类型	位宽	描述
1	rxp_i	Input	1	接收差分信号，P端
2	rxn_i	Input	1	接收差分信号，N端
3	rstn_i	Input	1	复位信号，低电平有效

序号	信号名称	类型	位宽	描述	
4	pll_clk_in_i	Input	1	PLL参考时钟	
5	pll_clkout0_i	Input	1	PLL的0通道时钟信号，相位为0°	
6	pll_clkout1_i	Input	1	PLL的1通道时钟信号，相位为90°	
7	pll_clkout2_i	Input	1	PLL的2通道时钟信号，相位为180°	
8	pll_clkout3_i	Input	1	PLL的3通道时钟信号，相位为270°	
9	pll_lock_i	Input	1	PLL锁定信号，高电平有效	
10	share_clk0_o	Output	1	共享时钟1输出，相位0°	
11	share_clk1_o	Output	1	共享时钟2输出，相位90°	
12	share_clk2_o	Output	1	共享时钟3输出，相位180°	
13	share_clk3_o	Output	1	共享时钟4输出，相位270°	
14	share_clk4_o	Output	1	共享时钟5输出	
15	share_reset_o	Output	1	共享复位输出，高电平有效	
16	share_clk0_i	Input	1	共享时钟1输入，相位偏移0°	
17	share_clk1_i	Input	1	共享时钟2输入，相位偏移90°	
18	share_clk2_i	Input	1	共享时钟3输入，相位偏移180°	
19	share_clk3_i	Input	1	共享时钟4输入，相位偏移270°	
20	share_clk4_i	Input	1	共享时钟5输入	
21	share_reset_i	Input	1	共享复位输入，高电平有效	
22	dout_en_o	Output	1	并行数据有效标识，高电平有效	Shared Logic选择 Inside时，同步于 share_clk4_o； Shared Logic选择 outside时，同步于 share_clk4_i
23	dout_o	Output	32/20/16 /10	并行数据输出，低位在先	
24	align_flag_o	Output	1	数据对齐标识，高电平有效	
25	error_o	Output	1	输出错误标识，高电平有效	

# 5 调用及配置

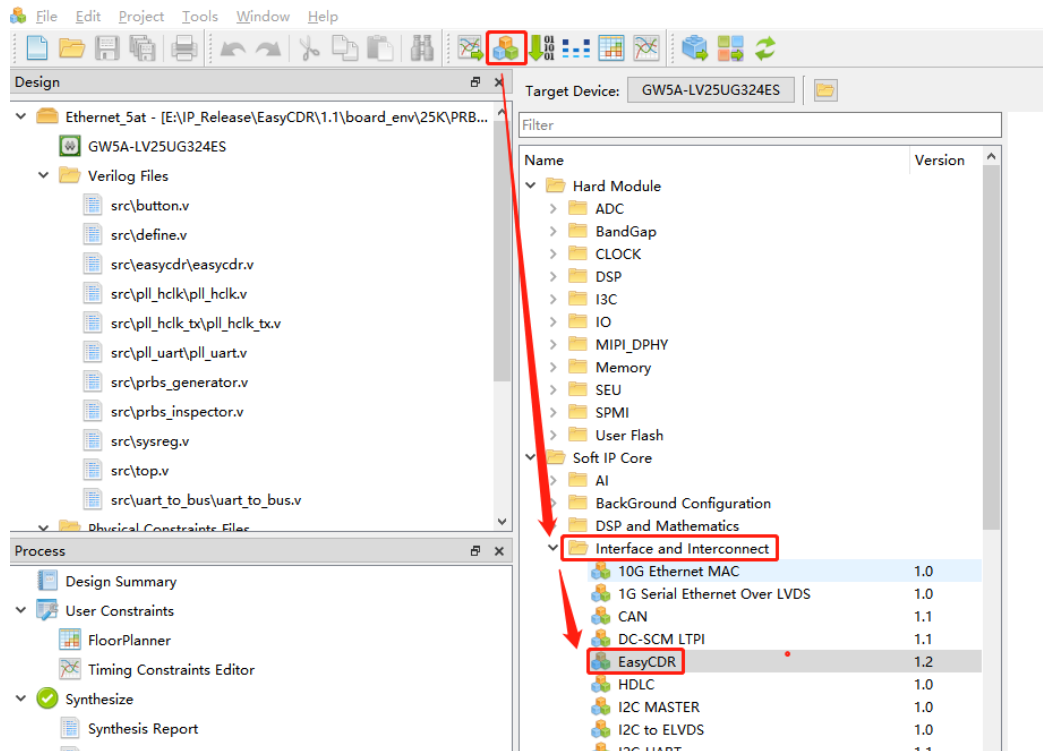
## 5.1 IP 调用

打开高云半导体云源软件，点击快捷栏“”或菜单栏“Tools > IP Core Generator”启动 IP Core Generator 工具，进行 IP 的调用及配置。

### 1. 打开 IP Core Generator

用户创建工程后，点击“IP Core Generator”，即可打开 Gowin 的 IP 核产生工具，如图 5-1 所示。

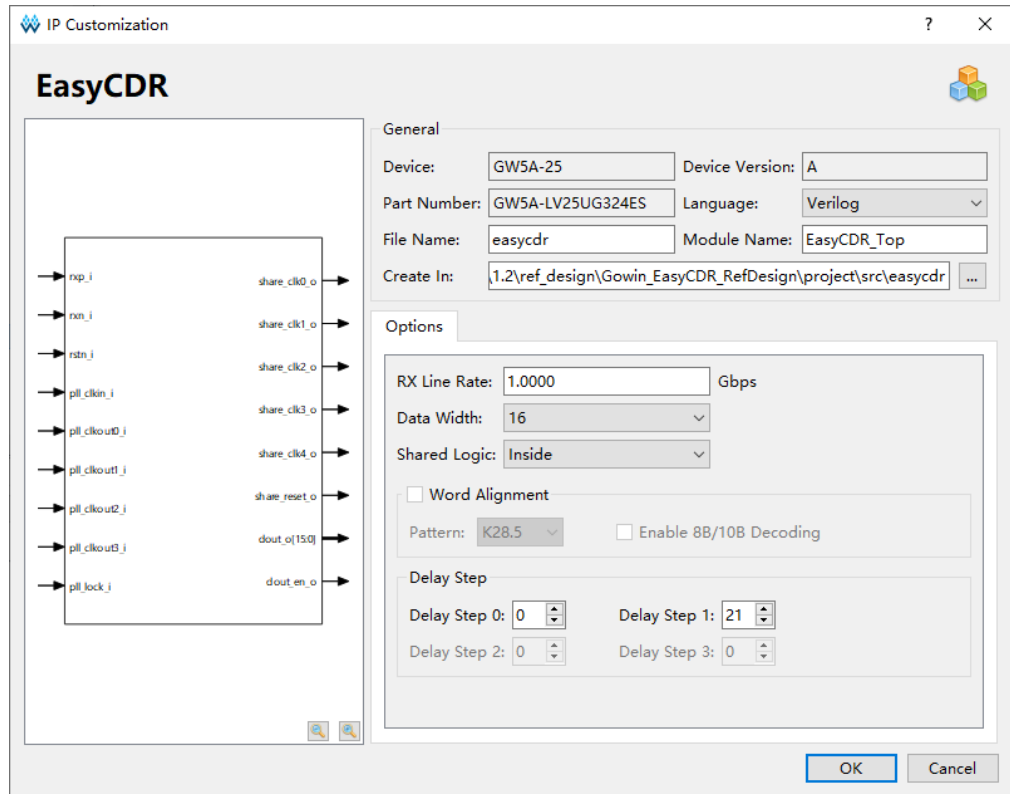
图 5-1 IP Core Generator 界面



### 2. 打开 IP

双击“Soft IP Core > Interface and Interconnect > EasyCDR”，打开 EasyCDR IP 界面，如图 5-2 所示。

图 5-2 EasyCDR 配置界面



- 可通过修改“File Name”，配置产生的 IP 文件名称。
- 可通过修改“Module Name”，配置产生的 IP 顶层模块名称。
- 可通过修改“Options”选项，配置 IP 其他配置。

## 5.2 IP 配置

表 5-1 IP 配置项

选项	描述
RX Line Rate	接收信号的线速率，输入范围0.1~2.2Gbps
Data Width	输出并行数据的位宽： <ul style="list-style-type: none"> <li>● RX Line Rate不高于1Gbps，可选10或16</li> <li>● RX Line Rate高于1Gbps，可选20和32</li> </ul>
Shared logic	共享时钟逻辑，需根据实际情况进行选择 <ul style="list-style-type: none"> <li>● 选择Inside，则输出共享时钟，服务于其他例化的IP</li> <li>● 选择Outside，则接收共享时钟，不输出</li> </ul>
Word Alignment	对齐功能，勾选后，端口align_flag_o为高即对齐成功，RX Line Rate不高于1Gbps且Data Width为10时可选择
Pattern	8B/10B解码的K码识别码，共12种，Word Alignment勾选后可选择
Enable 8B/10B Decoding	8B/10B解码功能，勾选后输出解码后的数据，Word Alignment勾选后可选择
Delay Step 0	IODELAY延时值0，常为0，用户可修改

选项	描述
Delay Step 1	IODELAY延时值1, 与RX Line Rate相关, 用户可修改
Delay Step 2	IODELAY延时值2, RX Line Rate不高于1Gbps时常为0, 用户不可修改, RX Line Rate高于1Gbps时与RX Line Rate相关, 用户可修改
Delay Step 3	IODELAY延时值3, RX Line Rate不高于1Gbps时常为0, 用户不可修改, RX Line Rate高于1Gbps时与RX Line Rate相关, 用户可修改

# 6 参考设计

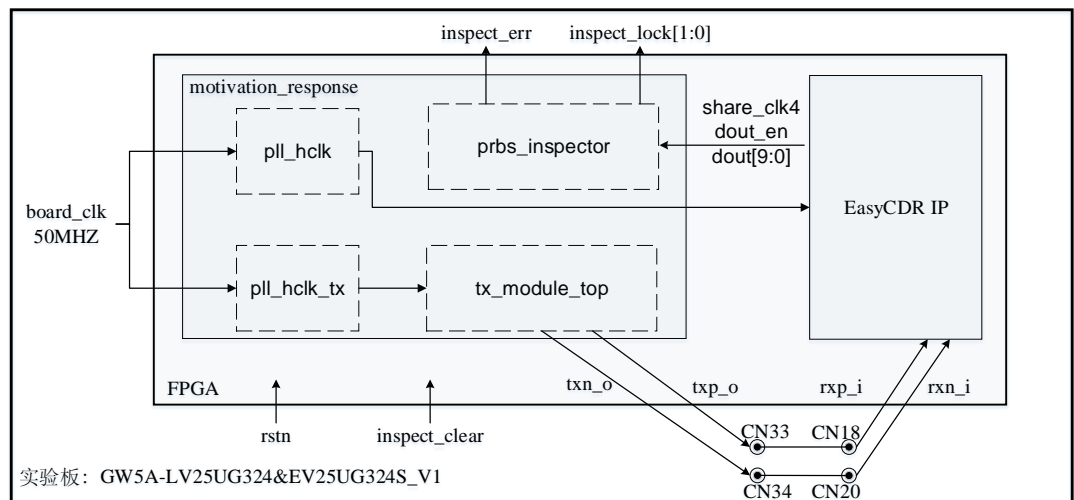
详细信息请参见高云半导体官网 [EasyCDR IP 参考设计](#)。

## 6.1 参考设计 1

### 6.1.1 硬件平台

本节介绍在 GW5A(R)-LV25UG324&EV25UG324S\_V1 实现 IP 的例程，即 Gowin EasyCDR RefDesign，系统结构如图 6-1。

图 6-1 参考设计 1 系统结构




1. FPGA 内部所有时钟由板载晶振产生，时钟为 50MHZ；
2. 按键 SW2（rstn）可对 FPGA 内部模块进行复位操作，低电平复位；
3. 按键 SW3（inspect\_clear）可对数据检测结果进行清除操作，低电平清除检测结果；
4. LED 灯 D8（inspect\_lock[0]）为当前数据接收稳定情况，高电平表示数据接收稳定；
5. LED 灯 D9（inspect\_lock[1]）为数据接收稳定情况，高电平表示数据接收中出现过不稳定的情况；

6. LED 灯 D11 (`inspect_err`) 为数据接收误码情况，高电平表示数据接收过程中出现过误码；
7. sma 接口 CN33 和 CN34 为发送端的差分对，线速率为 1Gbps；
8. sma 接口 CN18 和 CN20 为接收端的差分对。

## 6.1.2 工作原理


该测试系统时钟由板载晶振提供，工作原理如下：

1. `pll_hclk` 和 `pll_hclk_tx` 生成系统所需时钟。
2. `tx_module_top` 生成伪随机差分串行数据流输出至板载 sma 接口 CN33 和 CN34。
3. CN33、CN34 通过射频缆分别与 CN18、CN20 相连，为数据流传输至 IP 提供通道。
4. IP 解析输入数据流，并将解析后的数据传输至 `prbs_inspector` 进行检测，检测结果输出到 `inspect_err`、`inspect_lock`，用户可通过高云逻辑在线分析仪 () 查看。

## 6.1.3 参数配置

板载晶振输入时钟 50 MHz，用户可根据自身测试需求更改 PLL 以获取所需频率的时钟(当前设计的硬件平台默认配置下支持串行线速率范围为 0.1~1 Gbps)

## 6.1.4 操作步骤

1. 打开云源软件(Gowin\_V1.9.9.03 及以上) > 打开例程工程并设置顶层文件 > 编译例程 > 将生成的比特流文件(`ao.fs`)下载到板卡中。
2. 打开工具栏 > Gowin Analyzer Oscilloscope () > 运行，查看结果。

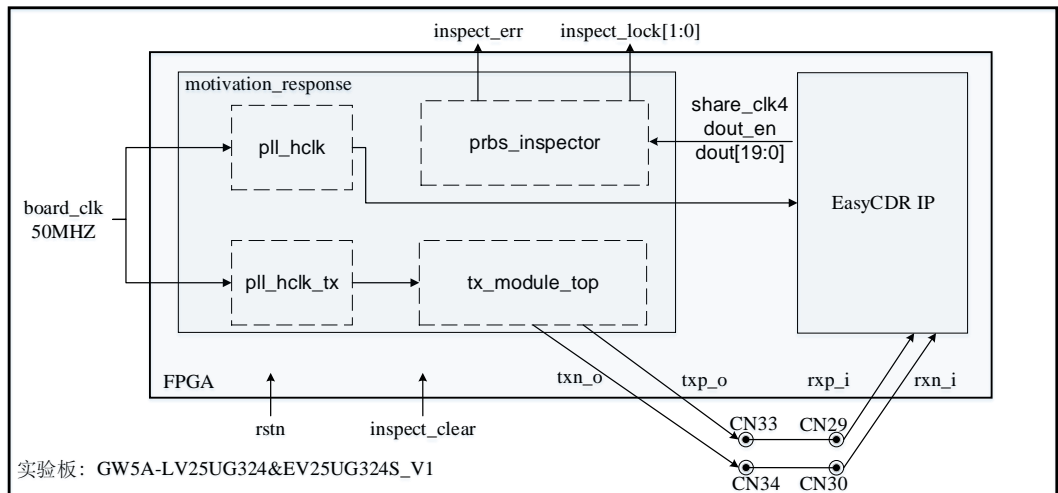
## 6.2 参考设计 2

### 6.2.1 硬件平台

本节介绍在 GW5A(R)-LV25UG324&EV25UG324S\_V1 实现 IP 的例程，即 Gowin EasyCDR RefDesign Exceed 1Gbps，系统结构如图 6-2。




图 6-2 参考设计 2 系统结构



1. FPGA 内部所有时钟由板载晶振产生，时钟为 50MHz；
2. 按键 SW2 (rstn) 可对 FPGA 内部模块进行复位操作，低电平复位；
3. 按键 SW3 (inspect\_clear) 可对数据检测结果进行清除操作，低电平清除检测结果；
4. LED 灯 D8 (inspect\_lock[0]) 为当前数据接收稳定情况，高电平表示数据接收稳定；
5. LED 灯 D9 (inspect\_lock[1]) 为数据接收稳定情况，高电平表示数据接收中出现过不稳定的情况；
6. LED 灯 D11 (inspect\_err) 为数据接收误码情况，高电平表示数据接收过程中出现过误码；
7. sma 接口 CN33 和 CN34 为发送端的差分对，线速率为 1.2 Gbps；
8. sma 接口 CN29 和 CN30 为接收端的差分对。

## 6.2.2 工作原理


该测试系统时钟由板载晶振提供，工作原理如下：

1. pll\_hclk 和 pll\_hclk\_tx 生成系统所需时钟。
2. tx\_module\_top 生成伪随机差分串行数据流输出至板载 sma 接口 CN33 和 CN34。
3. CN33、CN34 通过射频缆分别与 CN29、CN30 相连，为数据流传输至 IP 提供通道。
4. IP 解析输入数据流，并将解析后的数据传输至 prbs\_inspector 进行检测，检测结果输出到 inspect\_err、inspect\_lock，用户可通过高云逻辑在线分析仪 (  ) 查看。

### 6.2.3 参数配置

板载晶振输入时钟 50 MHz，用户可根据自身测试需求更改 PLL 以获取所需频率的时钟(当前设计的硬件平台默认配置下支持串行线速率范围为 1.0001~2.2 Gbps)

### 6.2.4 操作步骤

1. 打开云源软件(Gowin\_V1.9.9.03 及以上) > 打开例程工程并设置顶层文件 > 编译例程 > 将生成的比特流文件(ao.fs)下载到板卡中。
2. 打开工具栏 > Gowin Analyzer Oscilloscope () > 运行，查看结果。

# 7 文件交付

Gowin EasyCDR IP 交付文件主要包含文档和参考设计。

## 7.1 文档

文件夹主要包含用户指南 PDF 文档。

表 7-1 文档列表

名称	描述
IPUG1040, Gowin EasyCDR IP用户指南	Gowin EasyCDR IP用户手册

## 7.2 参考设计

表 7-2 参考设计文件列表

文件名称	描述
top.v	IP例程顶层文件，提供接口信息，不加密
easycdr	EasyCDR IP文件夹，包含EasyCDR IP相关文件，加密
pll_hclk	PLL文件夹，板载50Mhz时钟作为参考时钟，生成EasyCDR IP需要的时钟，不加密
pll_hclk_tx	PLL文件夹，板载50Mhz时钟作为参考时钟，生成tx_module_top需要的时钟，不加密
motivation_response.v	激励和检测文件，不加密
fpga_project.cst	物理约束文件，不加密(用户可自主配置)
fpga_project.sdc	时序约束文件，不加密(用户可自主配置)
fpga_project.rao	gao文件，不加密(用户可自主配置)

