




Gowin 1G Serial Ethernet Over LVDS IP

用户指南

IPUG1042-1.0, 2023/10/10

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部, 并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2023/10/10	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	v
1 关于本手册	1
1.1 目的	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	1
2 概述	3
2.1 主要特征	3
2.2 工作频率	4
2.3 资源利用	4
3 功能描述	5
3.1 整体结构	5
3.2 Clocking	6
3.2.1 Shared Logic	6
3.3 Resets	7
3.4 PRBS	8
3.5 以太网协议	8
3.5.1 配置接口	8
3.5.2 状态接口	10
3.5.3 PHY 层接口	12
3.5.4 MAC 层接口	16
4 端口列表	26
5 参数配置	32
6 界面配置	33
7 参考设计	36
7.1 硬件平台	36

7.2 实现框图.....	37
7.3 总线协议与地址规划.....	37
7.4 板级测试.....	40
7.4.1 操作说明.....	40
7.4.2 操作步骤.....	40
8 文件交付	43
8.1 文档.....	43
8.2 设计源代码（加密）.....	43
8.3 参考设计.....	43

图目录

图 3-1 Gowin 1G Serial Ethernet Over LVDS IP 结构图	5
图 3-2 单个 IP 情况下时钟逻辑与 IP 之间的连接关系.....	7
图 3-3 多个 IP 情况下时钟逻辑与 IP 之间的连接关系.....	7
图 3-4 IP 两种复位方式的逻辑连接方式	8
图 3-5 1000M 速率正常以太网接收	12
图 3-6 10M/100M 速率正常以太网帧接收	12
图 3-7 1000M 速率错误以太网帧接收	13
图 3-8 10M/100M 速率错误以太网帧接收	13
图 3-9 1000M 速率载波扩展接收.....	13
图 3-10 10M/100M 速率载波扩展接收	13
图 3-11 1000M 速率载波扩展错误接收.....	13
图 3-12 10M/100M 速率载波扩展错误接收	14
图 3-13 1000M 速率正常以太网帧发送	14
图 3-14 10M/100M 速率正常以太网帧发送	14
图 3-15 1000M 速率错误以太网帧发送	15
图 3-16 10M/100M 速率错误以太网帧发送	15
图 3-17 1000M 速率载波扩展发送.....	15
图 3-18 10M/100M 速率载波扩展发送	15
图 3-19 1000M 速率载波扩展错误发送	15
图 3-20 10M/100M 速率载波扩展错误发送	16
图 3-21 1000M 速率半双工模式发送	16
图 3-22 1000M 速率发送冲突.....	16
图 3-23 1000M 速率正常 MAC 帧接收	17
图 3-24 10M/100M 速率正常 MAC 帧接收	17
图 3-25 1000M 速率错误 MAC 帧接收	17
图 3-26 10M/100M 速率错误 MAC 帧接收	17
图 3-27 1000M 速率使能 FCS Forward 时正确 MAC 帧接收	18
图 3-28 1000M 速率使能 FCS Forward 时错误 MAC 帧接收	18
图 3-29 10M/100M 速率使能 FCS Forward 时正确 MAC 帧接收	18

图 3-30 10M/100M 速率使能 FCS Forward 时错误 MAC 帧接收	18
图 3-31 VLAN Tagged 帧接收	18
图 3-32 接收统计	19
图 3-33 1000M 速率正常 MAC 帧发送	20
图 3-34 10M/100M 速率正常 MAC 帧发送	20
图 3-35 1000M 速率错误 MAC 帧发送	20
图 3-36 10M/100M 速率错误 MAC 帧发送	20
图 3-37 1000M 速率使能 FCS Forward 时 MAC 帧发送	21
图 3-38 10M/100M 速率使能 FCS Forward 时 MAC 帧发送	21
图 3-39 冲突时重发	21
图 3-40 冲突时放弃重发（主动放弃）	21
图 3-41 冲突时放弃重发（被动放弃）	22
图 3-42 发送统计	22
图 3-43 发送 Pause 帧	23
图 3-44 接收 pause 帧	23
图 3-45 MDC、MDIO 连接示意图	24
图 3-46 miim 写时序	25
图 3-47 miim 读时序	25
图 4-1 Gowin 1G Serial Ethernet Over LVDS IP IO 端口示意图	26
图 6-1 IP 核产生工具	33
图 6-2 1G Serial Ethernet Over LVDS IP 配置界面	34
图 6-3 1G Serial Ethernet Over LVDS IP 相关文件	35
图 7-1 硬件平台	36
图 7-2 参考设计实现框图	37
图 7-3 UART to Bus IP 参数设置 1	38
图 7-4 UART to Bus IP 参数设置 2	38

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin 1G Serial Ethernet Over LVDS IP	3
表 2-2 资源利用	4
表 3-1 GW5A(R)-25 系列产品内 HCLK 组对应的 GPIO 和 PLL	6
表 3-2 configuration_vector_i 位定义	9
表 3-3 status_vector_o 位定义	11
表 3-4 rx_statistics_vector_o 位定义	19
表 3-5 tx_statistics_vector_o 位定义	22
表 4-1 Gowin 1G Serial Ethernet Over LVDS IP IO 端口	27
表 5-1 Gowin 1G Serial Ethernet Over LVDS IP 静态参数	32
表 7-1 寄存器地址定义	38
表 8-1 文档列表	43
表 8-2 Gowin 1G Serial Ethernet Over LVDS IP 设计源代码列表	43
表 8-3 Gowin 1G Serial Ethernet Over LVDS IP RefDesign 文件夹内容列表	43

1 关于本手册

1.1 目的

Gowin 1G Serial Ethernet Over LVDS IP 用户指南主要包括功能简介、功能描述、GUI 调用、参考设计等，旨在帮助用户快速了解 Gowin 1G Serial Ethernet Over LVDS IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9 Beta-5 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CRC	Cyclic Redundancy Check	循环冗余检验
FCS	Frame Check Sequence	帧校验序列
IFG	Inter-Frame Gap	帧间距
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
MAC	Media Access Control	介质访问控制层
PCS	Physical Coding Sublayer	物理编码子层
PMA	Physical Medium Attachment	物理媒介适配层
SFD	Start of Frame Delimiter	帧开始界定符

术语、缩略语	全称	含义
PRBS	Pseudo-Random Binary Sequence	伪随机二进制序列
HCLK	High-speed Clock	高速时钟
GPIO	Gowin Programmable Input/Output	Gowin 可编程通用管脚
PLL	Phase-locked Loop	锁相环
SGMII	Serial Gigabit Media Independent Interface	串行千兆媒体独立接口

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin 1G Serial Ethernet Over LVDS IP实现了IEEE802.3标准中1000BASE-X和SGMII功能描述，为用户提供了一个通用的访问接口，可以集成到需要1G串行以太网的设备中，这种连接通常用于通信应用。

表 2-1 Gowin 1G Serial Ethernet Over LVDS IP

Gowin 1G Serial Ethernet Over LVDS IP	
逻辑资源	见表 2-2
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9.Beta-5 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.1 主要特征

- 支持 1000BASE-X 和 SGMII 标准
- 符合标准 IEEE 802.3
- 1000BASE-X 支持 1.25Gbps 速率
- SGMII 支持 10/100/1000M 速率
- 支持用户可选是否包含以太网 MAC 功能
- 支持全双工和半双工模式，半双工模式下支持冲突检测
- 支持用户可选是否自动添加和校验 CRC
- 支持自动添加 pad 功能
- 支持以太网帧分类统计
- 支持以太网帧错误统计

- 支持 IFG 可配置功能
- 支持 Jumbo 模式
- 支持全双工模式下的 Flow Control
- 支持 Management 接口 mdc、mdio
- 支持 PRBS 功能

2.2 工作频率

Gowin 1G Serial Ethernet Over LVDS IP 在 625MHz 高速时钟下进行数据采样，在 156.25MHz 下进行编解码等数据处理，最终用户在 125MHz 下进行数据的传输。

2.3 资源利用

Gowin 1G Serial Ethernet Over LVDS IP 采用 Verilog 语言，因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5A 系列 FPGA 为例，资源利用情况如表 2-2 所示，关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

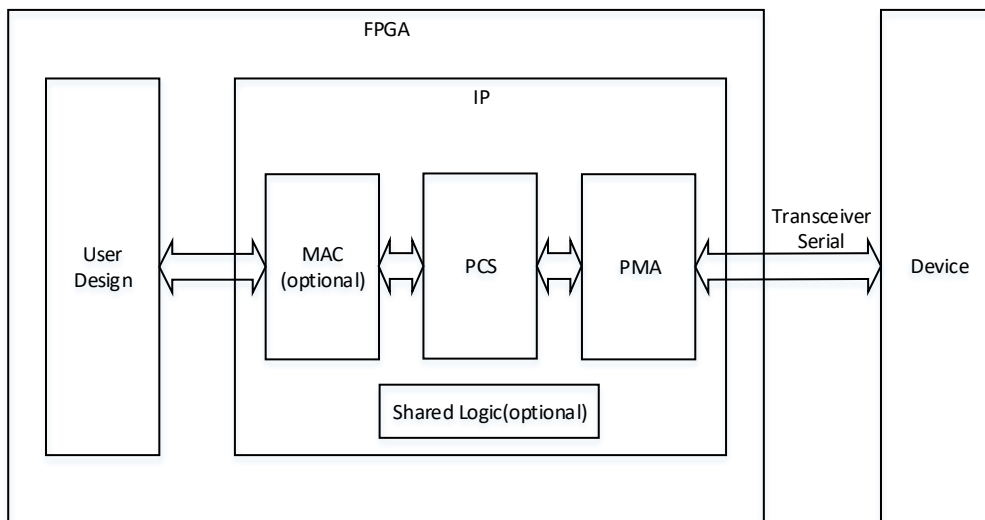
接口	LUTs	REGs	器件	速度
MAC 层	2419	2101	GW5A-25	C2/I1
PHY 层	1383	1040	GW5A-25	C2/I1
PHY 层(MIIM)	1511	1111	GW5A-25	C2/I1

3 功能描述

3.1 整体结构

Gowin 1G Serial Ethernet Over LVDS IP 基本结构如图 3-1 所示，主要包含 MAC(optional)、PCS、PMA、Shared Logic(optional)模块。图 3-1 中的 User Design 是 FPGA 中的用户设计，Device 是外部连接的支持 1000BASE-X 标准或 SGMII 标准的以太网设备。

图 3-1 Gowin 1G Serial Ethernet Over LVDS IP 结构图



- MAC: 实现用户数据格式与以太网帧数据格式之间的转换, 可实现 CRC、PAD、Flow Control、IFG 配置、帧统计、错误指示等功能。
- PCS: 实现 GMII、自协商、8B10B 编解码等功能。
- PMA: 实现串并转换、word align、PRBS 的生成与检查等功能。
- Shared Logic: 时钟网络。

3.2 Clocking

器件内包含 HCLK 资源，作为高速时钟信号驱动 GPIO 资源。每 4 路 HCLK 为一组，且每个 HCLK 组可驱动固定的 GPIO 资源且被对应的 PLL 资源驱动，HCLK、PLL 和 GPIO 之间的对应关系可参考各产品数据手册。

以 GW5A(R)-25 系列 FPGA 产品为例，器件内包含 16 条 HCLK 资源，分 4 组 HCLK，每个 HCLK 组可驱动 2 个 BANK 的 GPIO，且每个 HCLK 组可被对应的 2 个 PLL 驱动，表 3-1 展示了 GW5A(R)-25 系列 FPGA 产品内每个 HCLK 组对应的 GPIO 和 PLL 情况。

表 3-1 GW5A(R)-25 系列产品内 HCLK 组对应的 GPIO 和 PLL

PLL	BANK
PLL_T/PLL_R[0]	BANK0/BANK1
PLL_R[1]/PLL_B	BANK2/BANK3
PLL_B/PLL_L[1]	BANK4/BANK5
PLL_L[0]/PLL_T	BANK6/BANK7

由于每个 HCLK 组都有对应的 GPIO 和 PLL，所以在例化 IP 时需要遵循以下几点要求：

- 例化单个 IP 时，IP 的发送差分信号（TX_P/TX_N）和接收差分信号（RX_P/RX_N）需分配到同个 HCLK 组的 GPIO 上；
- 例化多个 IP 时，所有 IP 的差分信号尽可能的分配到同个 HCLK 组的 GPIO 上，以便节省 HCLK 和 PLL 资源；
- 根据 IP 的差分信号所分配的 BANK，需要手动约束 PLL 到对应的位置上；例如 IP 的差分信号分配到 BANK0，约束 PLL 到 PLL_T，PLL 在工程顶层例化，例化名为 u_pll_hclk，约束语句为“INS_LOC "u_pll_hclk/PLLA_inst" PLL_T;”，写入.cst 文件。

3.2.1 Shared Logic

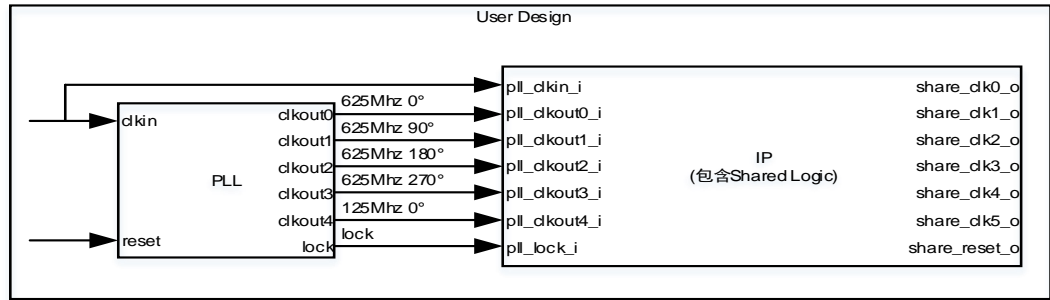
IP 需要占用 4 路 HCLK 资源构建时钟网络，当同一个 HCLK 组内例化多个 IP 时，所有 IP 需要共享此时钟网络。

Shared Logic 为 4 路 HCLK 构建的时钟网络，用户可根据自身设计需求选择 IP 是否包含 Shared Logic。

单个 IP

当 HCLK 组中仅例化单个 IP 时，IP 应包含 Shared Logic，用于构建时钟网络，图 3-2 展示了单个 IP 情况下时钟逻辑与 IP 之间的连接关系。

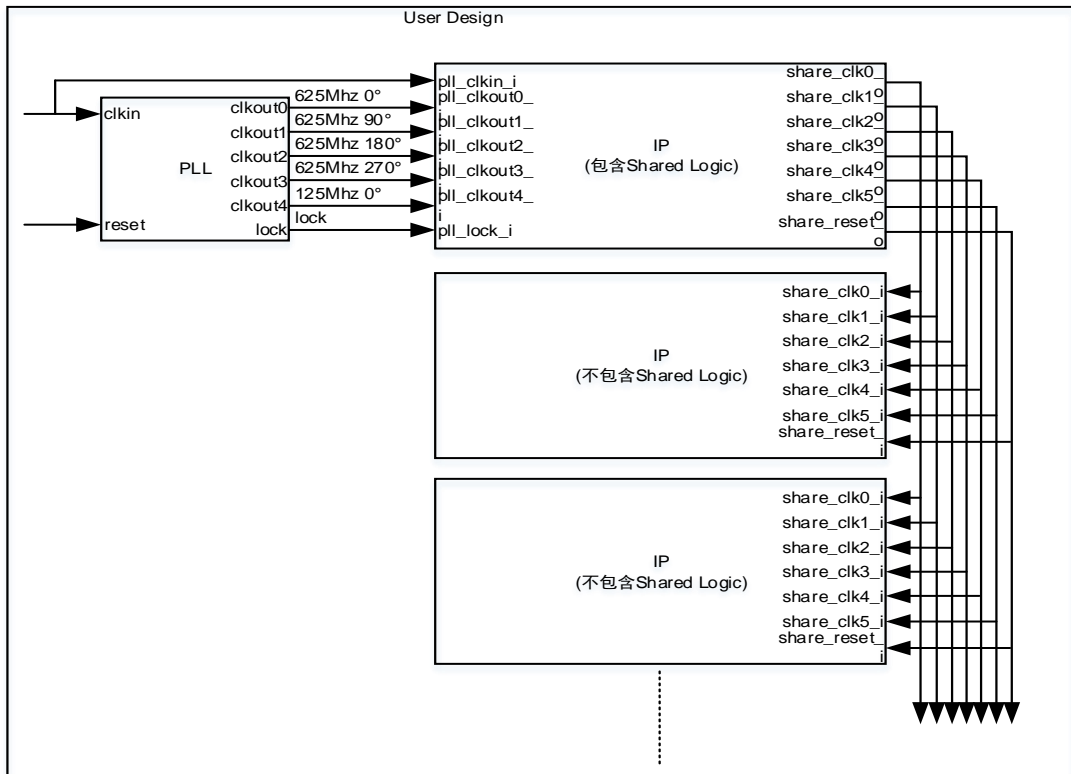
图 3-2 单个 IP 情况下时钟逻辑与 IP 之间的连接关系



多个 IP

当 HCLK 组中例化至少两个 IP 时，其中一个 IP 应包含 Shared Logic，剩余 IP 应不包含 Shared Logic，以实现时钟网络的共享，图 3-3 展示了多个 IP 情况下时钟逻辑与 IP 之间的连接关系。

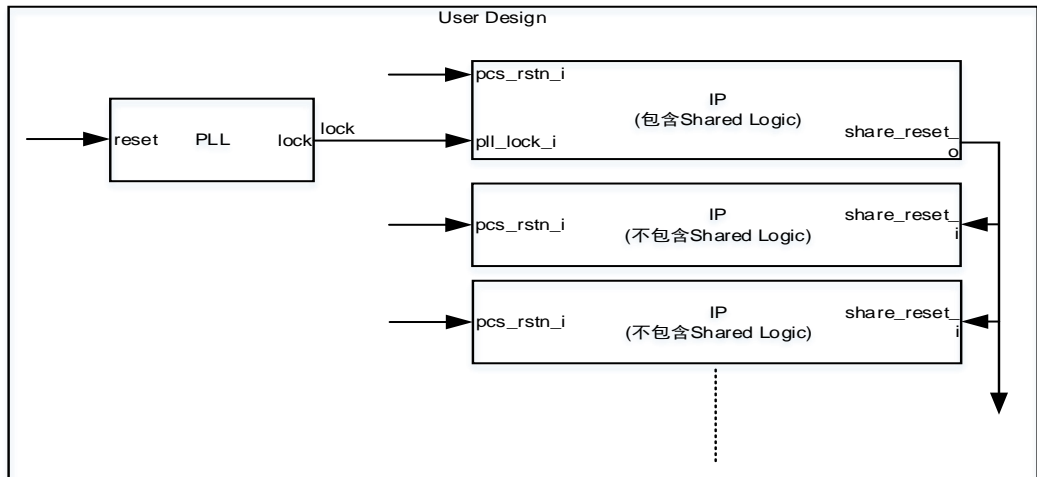
图 3-3 多个 IP 情况下时钟逻辑与 IP 之间的连接关系



3.3 Resets

IP 支持两种复位方式，第一种复位方式用于复位 HCLK 组内所有的 IP，即通过复位 PLL 来控制 Shared Logic 进行 HCLK 组内所有 IP 的复位操作；另一种复位方式用于独立复位单个 IP，即通过 pcs_rstn_i 实现单个 IP 的独立复位操作，图 3-4 展示了 IP 两种复位方式的逻辑连接方式。

图 3-4 IP 两种复位方式的逻辑连接方式



3.4 PRBS

IP 支持 PRBS 的码型生成器和检查器功能，用于模拟高速串行链路的数据传输特征，并检测高速串行链路的数据传输情况。

所有信号同步于 share_clk4_o/share_clk4_i。

用户通过 prbs_enable_i 控制 IP 内 PRBS 功能的使能与禁用，prbs_enable_i=1 时打开 PRBS 功能，IP 将码型生成器产生的数据发送到高速串行链路，同时从高速串行链路接收的数据会在检查器中进行检测，通过 prbs_lock_o、prbs_err_o 和 prbs_err_num_o 反馈检测的结果。

检查器每个周期内检测 10bit 数据。prbs_lock_o 持续为 1 时，表示当前高速串行链路传输稳定，期间若 prbs_err_o 为 1 则表示当前检测的 10bit 数据内有误码，可通过 prbs_err_num_o 查看误码数量；prbs_lock_o 持续为 0 时，表示当前高速串行链路传输存在问题。

3.5 以太网协议

3.5.1 配置接口

标准配置

IP 支持 1000BASE-X 和 SGMII 标准，SGMII 标准又可分为 System Mode 和 Media Mode。System Mode 时，IP 当前的速率和双工模式由其外部连接的以太网设备决定，其支持 10M、100M 和 1000M 三种速率，支持全双工和半双工两种双工模式；Media Mode 时，IP 当前的速率和双工模式可自行设置，其支持的速率和双工模式与 System Mode 时相同。

所有信号同步于 share_clk4_o/share_clk4_i。

- 1000BASE-X 标准配置

当用户设置 basex_or_sgmii_i 为 0 时，则 IP 为 1000BASE-X 标准；通过设置 basex_link_timer_i 可配置 1000BASE-X 标准的 link 时间，具体设置的 link 时间可按照如下公式计算：

link 时间=basex_link_timer_i*26.2144us

注!

IEEE 802.3 标准规定 1000BASE-X 的 link 时间为 10ms~20ms。

● SGMII 标准配置

当用户设置 basex_or_sgmii_i 为 1 时, 则 IP 为 SGMII 标准; 通过设置 sgmii_link_timer_i 可配置 SGMII 标准的 link 时间, 具体设置的 link 时间可按照如下公式计算:

link 时间=sgmii_link_timer_i*26.2144us

注!

SGMII 的 link 时间为 1.6ms。

当用户设置 sgmii_mode_i 为 0 时, 则 SGMII 标准为 System Mode, 此时不需要进行速率和双工模式的设置; 当用户设置 sgmii_mode_i 为 1 时, 则 SGMII 标准为 Media Mode, 可通过 configuration_vector_i[13:11] 设置 SGMII 标准的速率和双工模式。对于双工模式, configuration_vector_i[13] 为 1 时, 表示 SGMII 标准为全双工, configuration_vector_i[13] 为 0 时, 表示 SGMII 标准为半双工; 对于速率, configuration_vector_i[12:11] 为 1X 时, 表示 SGMII 标准为 1000M 速率传输, configuration_vector_i[12:11] 为 01 时, 表示 SGMII 标准为 100M 速率传输, configuration_vector_i[12:11] 为 00 时, 表示 SGMII 标准为 10M 速率传输。

功能配置

用户配置 repeater_mode_i 为 1 时, 可设置 IP 为中继器模式; 可配置 configuration_vector_i 来控制 IP 内部自协商功能使能/禁用、重新自协商、双工模式、速率模式、掉电等功能。应当注意 configuration_vector_i 仅在 IP 包含 MAC 功能或仅有 PHY 功能且不支持 PHY MIIM 接口时存在; 用户还可通过配置 signal_detect_i 为 1, 设置 IP 支持信号检测功能, 同时 signal_detect_i 和 configuration_vector_i[1] 可一起控制 IP 的数据同步功能。configuration_vector_i 位定义如表所示。

所有信号同步于 share_clk4_o/share_clk4_i。

表 3-2 configuration_vector_i 位定义

位置	名称	描述
14	Sgmii Phy Link	SGMII标准Media Mode下PHY的Link状态: 1: Link up 0: Link down
13	Sgmii Phy Duplex	SGMII标准Media Mode下双工模式: 1: 全双工 0: 半双工
12:11	Sgmii Phy Speed	SGMII标准Media Mode下速率: 1X: 1000M速率 01: 100M速率 00: 10M速率

位置	名称	描述
10	Hd	1000BASE-X标准下半双工模式： 1: 使能 0: 禁用
9	Fd	1000BASE-X标准下全双工模式： 1: 使能 0: 禁用
[8:7]	{Ps2,Ps1}	1000BASE-X标准下Pause模式： 00: No Pause 01: Symmetric Pause 10: Asymmetric Pause towards link partner 11: Both Symmetric Pause and Asymmetric Pause towards link partner
6	Power Down	掉电功能： 1: 掉电 0: 上电
5	Unidir En	单向传输功能： 1: 使能 0: 禁用
4	Mr Restart An	重新自协商功能： 1->0: 重新自协商
3	Isolate	传输隔离功能，可隔离用户与PHY层之间的数据传输： 1: 使能 0: 禁用
2	Mr An Enable	自协商功能： 1: 使能 0: 禁用
1	Mr Loopback	数据同步功能： 1: IP执行数据同步，signal_detect_i无效 0: 若signal_detect_i=1，IP执行数据同步；若signal_detect_i=0，IP不执行数据同步
0	Mr Main Reset	复位功能： 1: 复位 0: 解复位

3.5.2 状态接口

status_vector_o反馈了IP功能的当前状态,link_partner_ability_base_o反馈了本次自协商时对方配置寄存器信息。status_vector_o位定义如表3-3所示。

所有信号同步于share_clk4_o/share_clk4_i。

表 3-3 status_vector_o 位定义

位置	名称	描述
10	Decode Disparity Err	解码时不一致性异常指示： 1: 不一致性异常 0: 不一致性正常
9	Decode Coding Err	解码时数据异常指示： 1: 数据异常 0: 数据正常
8	Phy Link Status	SGMII标准下对方的PHY Link状态指示： 1: Link up 0: Link down
7	Duplex Status	SGMII标准下对方的双工模式指示： 1: 全双工 0: 半双工
6:5	Speed Status	SGMII标准下对方的速率指示： 1x: 1000M 01: 100M 00: 10M
4	Page Received	接收到对方配置寄存器信息指示
3	Power Down	掉电状态指示： 1: 掉电 0: 上电
2	An Complete	自协商完成状态指示： 1: 协商成功 0: 协商未成功
1	Link Status	Link状态指示： 1: Link up 0: Link down
0	Sync Status	数据同步状态指示： 1: 数据同步 0: 数据未同步

3.5.3 PHY 层接口

以太网帧接收

接收以太网帧是把串行数据转换为以太网帧数据的过程。所有接收信号同步于 gmii_rx_clk_o。

正常以太网帧接收

图 3-5 展示在 1000M 速率下正常以太网帧接收过程，图 3-6 展示在 10M/100M 速率下正常以太网帧接收过程。

在任何速率下，gmii_rx_clk_o 都为 125Mhz，10M 速率时每个字节数据重复接收 100 个周期；100M 速率每个字节数据重复接收 10 个周期，1000M 速率时每个字节数据仅接收 1 个周期。

1000M 速率下，以太网帧以 7 字节 Preamble 和 1 字节 SFD 标志着一帧数据的开始，而 10M 和 100M 速率下，每个字节数据分别会重复接收 100 个和 10 个周期。需要注意在任何速率下，由于转换过程中包起始定界符的存在，会导致接收的 Preamble 缺失 1~2 个周期

在整个以太网帧的接收过程中，gmii_rx_dv_o 一直保持为 1，直到这一帧结束时才会变为 0，同时 gmii_rx_er_o 也一直保持为 0，gmii_rxd_o 为接收的数据。需要注意 IP 中没有 buffer 用来缓存接收的以太网帧，因此用户必须时刻准备接收以太网帧。当帧的第一个字节开始出现在用户接口后，数据会被连续接收，直到整个帧接收完毕。

图 3-5 1000M 速率正常以太网接收

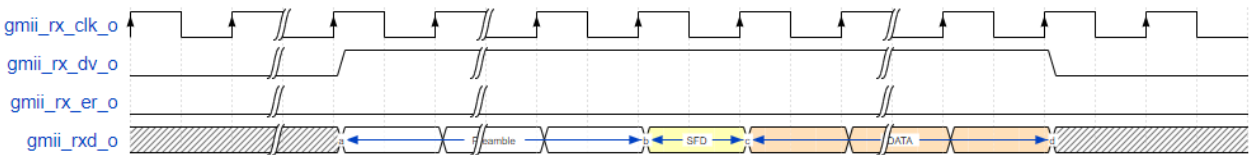
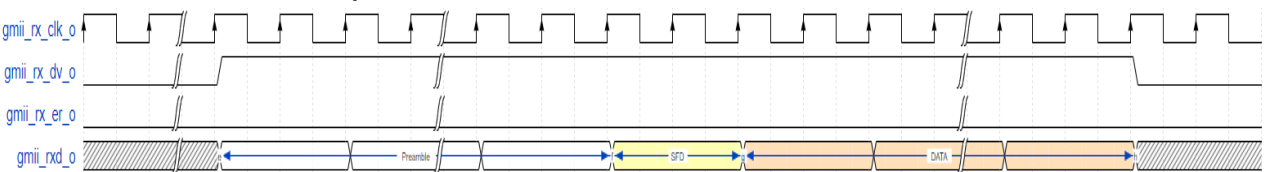


图 3-6 10M/100M 速率正常以太网帧接收



错误以太网帧接收

在 gmii_rx_dv_o 为 1 时，若 gmii_rx_er_o 为 1 时，表示当前帧有某些错误数据。图 3-7 和图 3-8 分别展示在 1000M 和 10M/100M 速率下一个错误帧的接收过程。

图 3-7 1000M 速率错误以太网帧接收

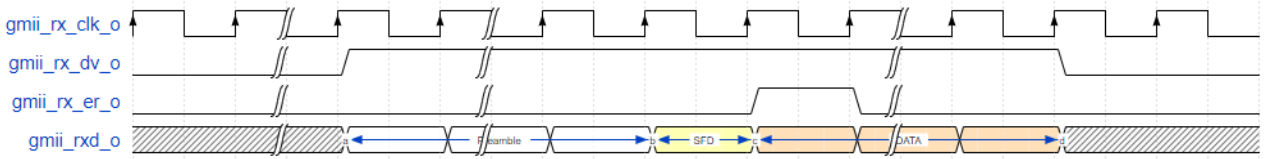
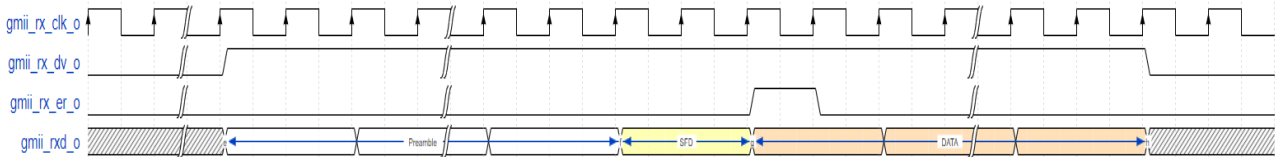


图 3-8 10M/100M 速率错误以太网帧接收



载波扩展接收

当 gmii_rx_dv_o 为 0, gmii_rx_er_o 为 1, gmii_rxd_o 为 8'h0F 时, 此过程为载波扩展接收, 需要注意载波扩展会紧跟在以太网帧接收后。图 3-9 展示在 1000M 速率下载波扩展的接收过程, 图 3-10 展示在 10M/100M 速率下载波扩展的接收过程。

图 3-9 1000M 速率载波扩展接收

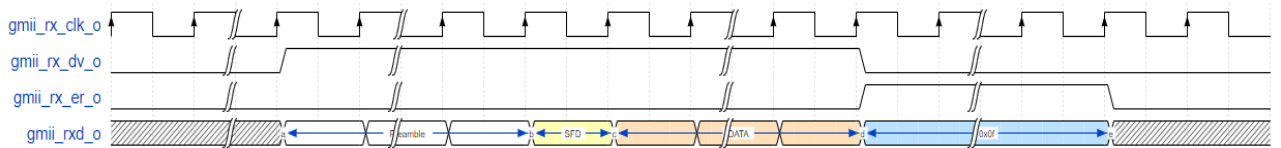
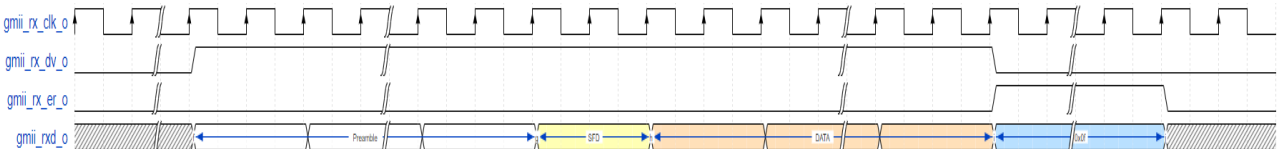


图 3-10 10M/100M 速率载波扩展接收



载波扩展错误接收

在载波扩展接收的基础上, 当 gmii_rx_dv_o 为 0, gmii_rx_er_o=1 时, 出现 gmii_rxd_o 为 8'h1F 的情况。图 3-11 展示在 1000M 速率下载波扩展错误的接收过程, 图 3-12 展示在 10M/100M 速率下载波扩展错误的接收过程。

图 3-11 1000M 速率载波扩展错误接收

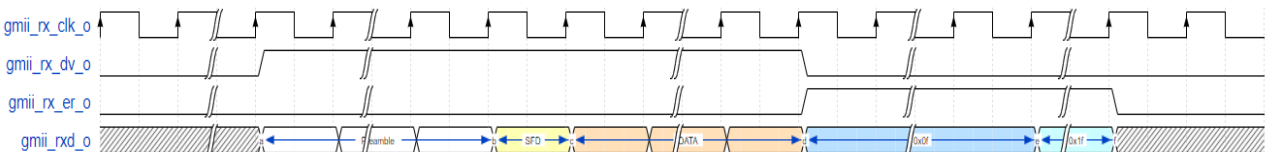
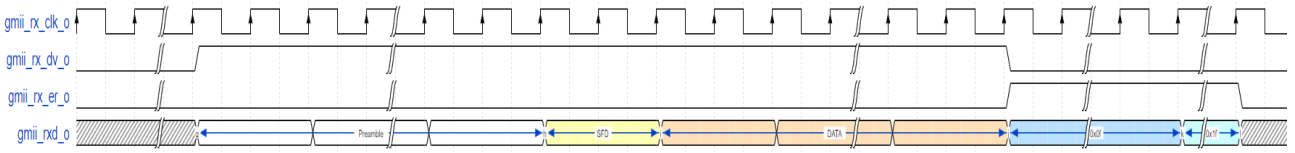


图 3-12 10M/100M 速率载波扩展错误接收



以太网帧发送

发送以太网帧是把以太网帧数据转换为串行数据的过程。所有发送信号同步于 gmii_tx_clk_o。

正常以太网帧发送

图 3-13 展示在 1000M 速率下正常以太网帧发送过程，图 3-14 展示在 10M/100M 速率下正常以太网帧发送过程。

在任何速率下，gmii_tx_clk_o 都为 125Mhz，10M 速率时每个字节数据重复发送 100 个周期；100M 速率时每个字节数据重复发送 10 个周期，1000M 速率时每个字节数据仅发送 1 个周期。

1000M 速率时，以太网帧以 7 字节 Preamble 和 1 字节 SFD 作为开始，而 10M 和 100M 速率下，每个字节需要分别重复发送 100 个和 10 个周期。

在整个以太网帧的发送过程中，gmii_tx_en_i 须一直保持为 1，直到这一帧结束时才能变为 0，同时 gmii_tx_er_i 也需要一直保持为 0；gmii_tx_en_i 为 1 时，将需要传输的字节赋给 gmii_txd_i。需要注意 IP 中没有 buffer 用来缓存发送的以太网帧。因此当第一个字节开始发送后，用户需要准备好后续字节，在 gmii_tx_en_i 为 1 时，及时赋给 gmii_txd_i，直到整个帧发送完毕。

图 3-13 1000M 速率正常以太网帧发送

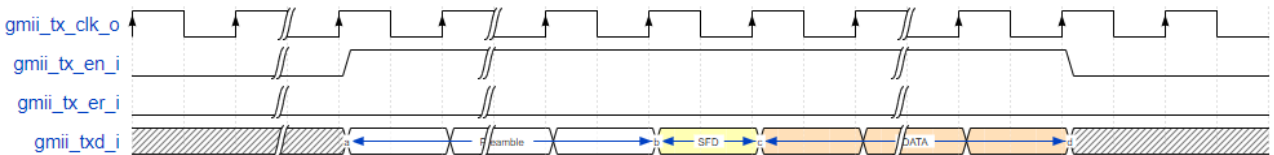
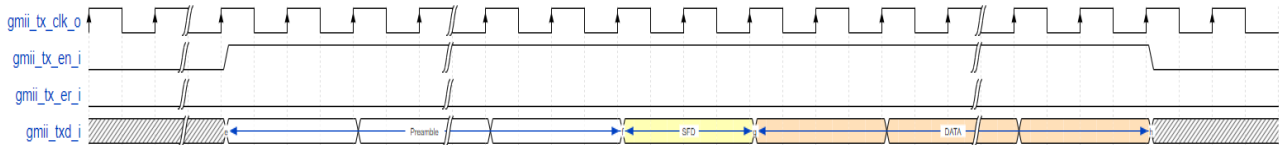


图 3-14 10M/100M 速率正常以太网帧发送



错误以太网帧发送

在发送过程中，当 gmii_tx_en_i 和 gmii_tx_er_i 同时为 1 时，表示当前帧内有错误。图 3-15 展示在 1000M 速率下一个错误帧的发送过程，图 3-16 展示在 10M/100M 速率下一个错误帧的发送过程。

图 3-15 1000M 速率错误以太网帧发送

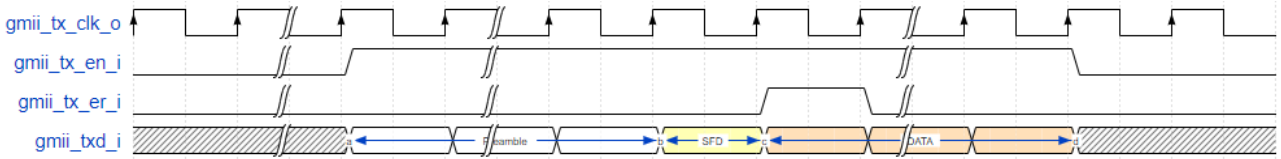
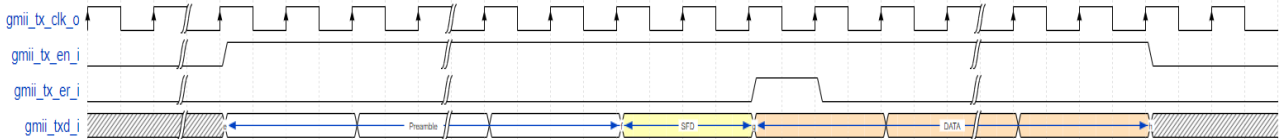


图 3-16 10M/100M 速率错误以太网帧发送



载波扩展发送

当 gmii_tx_en_i 为 0, gmii_tx_er_i=1, gmii_txd_i 为 8'h0F 时, 此过程为载波扩展发送, 需要注意载波扩展要紧跟在以太网帧发送后。图 3-17 展示在 1000M 速率下载波扩展的发送过程, 图 3-18 展示在 10M/100M 速率下载波扩展的发送过程。

图 3-17 1000M 速率载波扩展发送

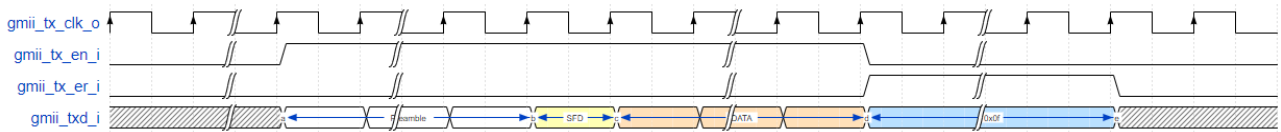
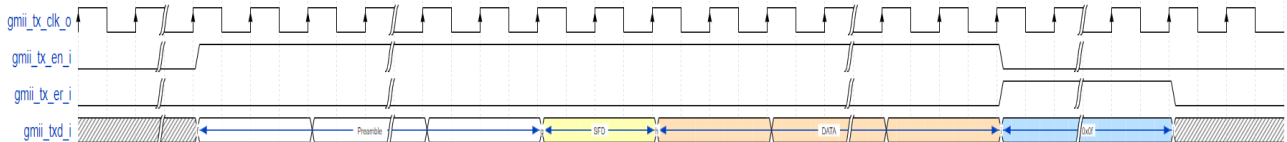


图 3-18 10M/100M 速率载波扩展发送



载波扩展错误发送

在载波扩展发送的基础上, 在当 gmii_tx_en_i 为 0, gmii_tx_er_i=1 时, gmii_txd_i 先输出连续的 8'h0f, 再输出连续的 8'h1f。图 3-19 展示在 1000M 速率下载波扩展错误的发送过程, 图 3-20 展示在 10M/100M 速率下载波扩展错误的发送过程。

图 3-19 1000M 速率载波扩展错误发送

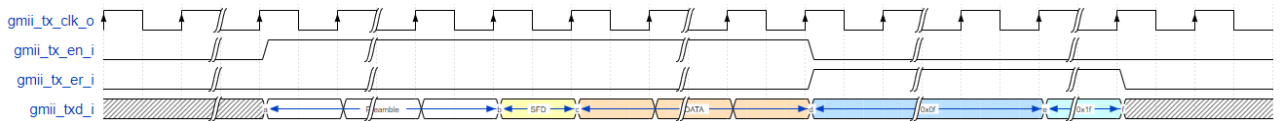
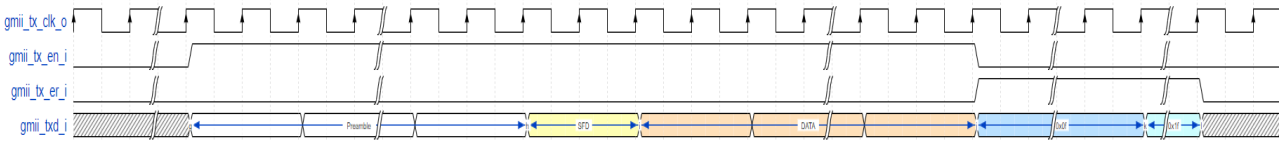


图 3-20 10M/100M 速率载波扩展错误发送



半双工模式发送

在半双工模式下，发送前先检测 gmii_crs_o 和 gmii_col_o 信号，若都为 0，可按照以上全双工发送过程发送以太网帧，否则继续等待；如果发送过程中，用户检测到 gmii_crs_o 为 1，需马上把 gmii_tx_en_i 和 gmii_tx_er_i 置 0，用来结束此次以太网帧的发送，待 gmii_crs_o 和 gmii_col_o 都为 0 后，用户可以自行决定是否重发此帧。图 3-21 展示在 1000M 速率下半双工模式的发送过程，图 3-22 展示在 1000M 速率下发送冲突的过程。

图 3-21 1000M 速率半双工模式发送

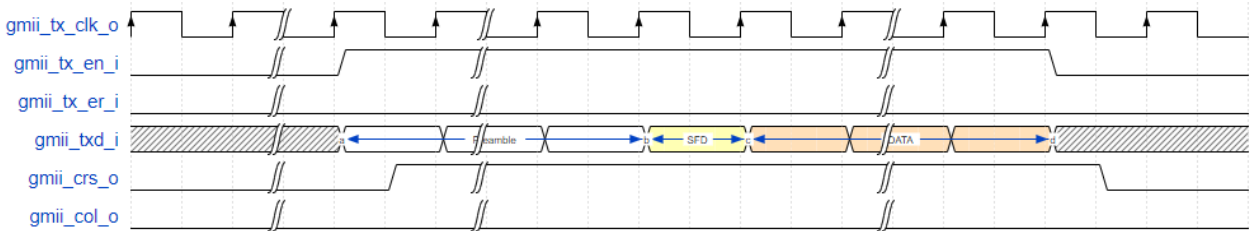
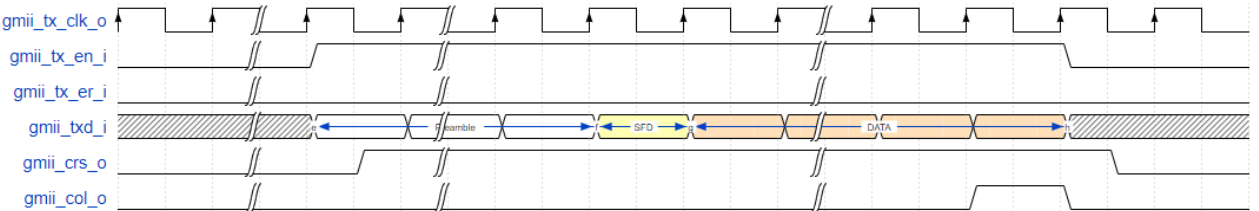


图 3-22 1000M 速率发送冲突



3.5.4 MAC 层接口

MAC 帧接收

接收 MAC 帧是把串行数据转换为用户数据的过程。所有接收信号同步于 rx_mac_clk_o。

正常 MAC 帧接收

图 3-23 展示在 1000M 速率下正常 MAC 帧接收过程，图 3-24 展示在 10M/100M 速率下正常 MAC 帧接收过程。

当 rx_mac_valid_o 为 1 时，表明此周期 rx_mac_data_o 有效；当 rx_mac_valid_o 和 rx_mac_last_o 同时为 1 时，表明此周期 rx_mac_data_o 有效且为这一帧 MAC 帧的最后一个字节。需要注意 IP 中没有 buffer 用来缓存接收的 MAC 帧，因此用户必须时刻准备接收 MAC 帧。当帧的第一个字节开始出现在用户接口后，数据会被连续接收，直到整个帧接收完毕。

图 3-23 1000M 速率正常 MAC 帧接收

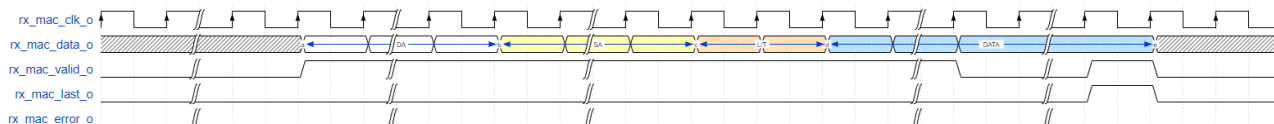
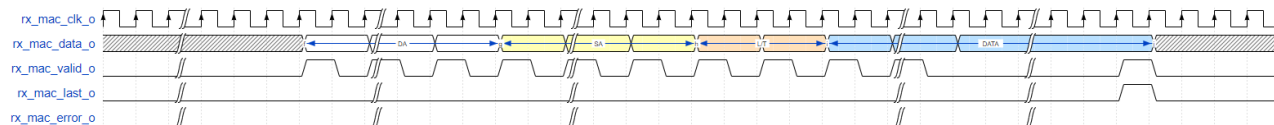


图 3-24 10M/100M 速率正常 MAC 帧接收



错误 MAC 帧接收

当 rx_mac_error_o 为 1 时，表示当前帧有某些错误，具体错误类型可通过 rx_statistics_valid_o 和 rx_statistics_vector_o 信号查看。

rx_mac_error_o 仅会在 rx_mac_last_o 为 1 时指示当前帧的错误状态。图 3-25 和图 3-26 分别展示在 1000M 和 10M/100M 速率下一个错误 MAC 帧的接收过程。

图 3-25 1000M 速率错误 MAC 帧接收

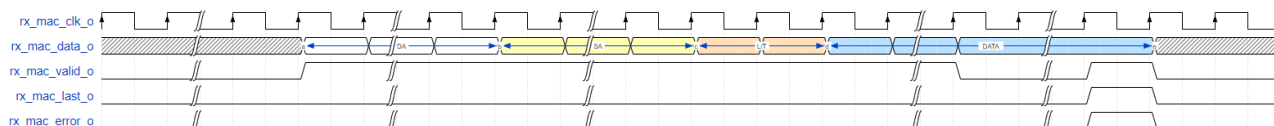
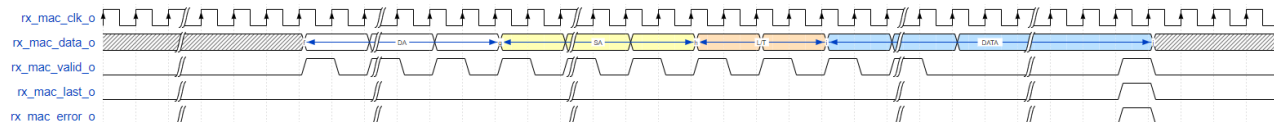


图 3-26 10M/100M 速率错误 MAC 帧接收



当出现如下错误时，rx_mac_error_o 会指示：

1. 接收到 FCS 错误帧
2. 接收到 align 帧
3. 在接收过程中，收到 PHY 层接口 gmii_rx_er_o 信号有效
4. 半双工时，出现冲突
5. 帧长度错误。不使能 Jumbo 功能时，接收非 VLAN 帧小于 64 字节或大于 1518 字节，VLAN 帧小于 64 字节或大于 1522 字节；使能 Jumbo 功能时，接收帧小于 64 字节。

接收 MAC 帧 FCS Forward

当用户设置 IP 为接收 FCS Forward 模式时，IP 会把接收到的 FCS 字段传给用户侧，如图 3-27 到图 3-30 所示。此时，IP 仍然自动校验 FCS 字段，并通过 rx_mac_error_o 和 rx_statistics_vector_o 指示。

图 3-27 1000M 速率使能 FCS Forward 时正确 MAC 帧接收

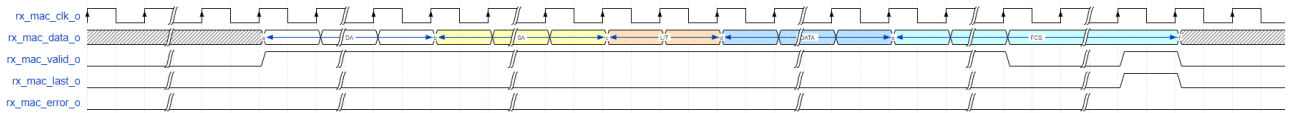


图 3-28 1000M 速率使能 FCS Forward 时错误 MAC 帧接收

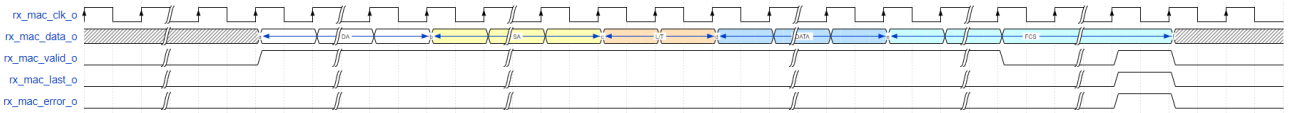


图 3-29 10M/100M 速率使能 FCS Forward 时正确 MAC 帧接收

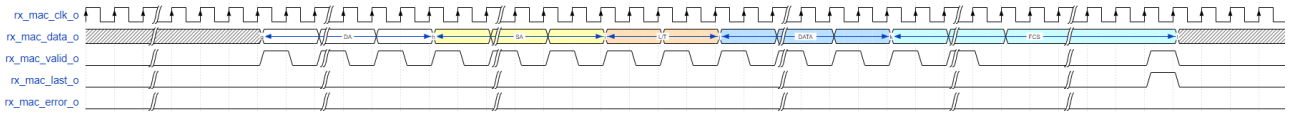
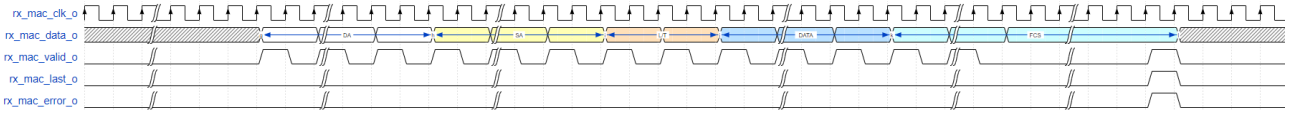


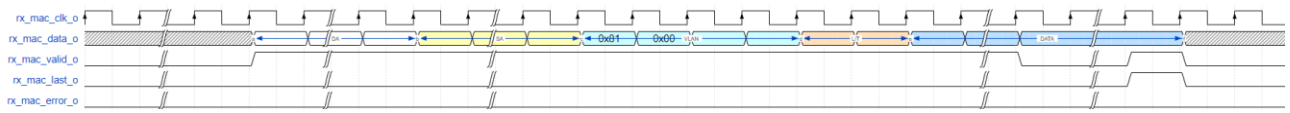
图 3-30 10M/100M 速率使能 FCS Forward 时错误 MAC 帧接收



接收 VLAN Tagged 帧

当 IP 接收到 VLAN Tagged 帧时，会在 rx_statistics_vector_o 指示此帧为 VLAN Tagged 帧。VLAN Tagged 帧为源 MAC 地址之后两字节为 0x8100 的帧。在 IEEE802.3 中定义 VLAN 字段为 4 个字节，其中前两字节为 0x8100，后两字节为 VLAN 标签，如图 3-31 所示。

图 3-31 VLAN Tagged 帧接收



接收 MAC Control 帧

当 IP 接收到 MAC Control 帧时，会在 rx_statistics_vector_o 指示此帧为 MAC Control 帧。MAC Control 帧为 L/T 字段为 0x8808 的帧。在 IEEE802.3 中定义当 L/T 字段为 0x8808 时，此帧为 MAC Control 帧。

以太网线路异常时接收

在以太网线路出现异常或半双工发生冲突时，线路上有可能会出现单字节帧的情况。此时，用户侧接口第一个 rx_mac_valid_o 和 rx_mac_last_o 会同时为 1，即接收一个字节后，此帧结束。用户应用程序需处理此种异常情况的发生。

接收统计

接收帧的统计信息在 `rx_statistics_vector_o` 信号输出。当 `rx_statistics_valid_o` 为 1 时，表示 `rx_statistics_vector_o` 有效，此时 `rx_statistics_vector_o` 指示了刚接收帧的统计信息。时序如图 3-32 所示，`rx_statistics_vector_o` 位定义如图 3-32 所示。

图 3-32 接收统计

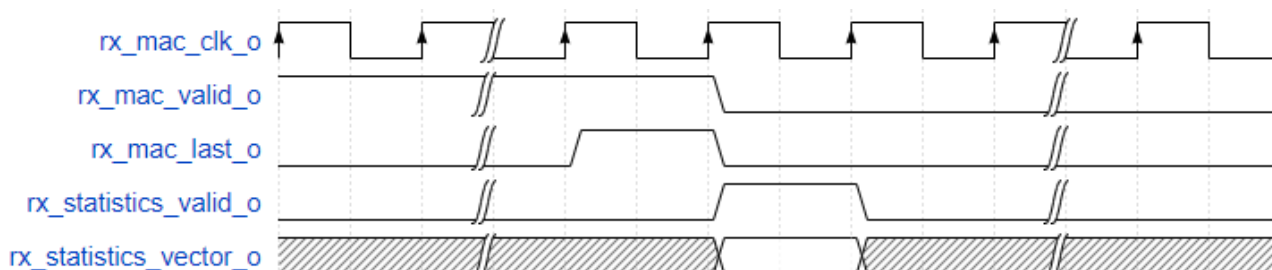


表 3-4 `rx_statistics_vector_o` 位定义

位置	名称	描述
26	RX Alignment Error	如果接收帧不是字节的整数倍，置1
25	RX Length Error	如果接收帧长度不符合标准，置1
24	RX FCS Error	如果接收帧有FCS错误，置1
23	RX_ER Error	如果接收过程中收到PHY层接口 <code>gmii_rx_er_o</code> 信号有效，置1
22	RX Collision Error	在半双工模式下，如果接收帧过程中出现冲突，置1
21:6	RX Frame Length	接收帧长度，包括FCS字段
5	RX Flow Control Frame	在全双工模式下，如果接收帧为流控帧，置1
4	RX MAC Control Frame	如果接收帧为MAC Control帧，置1
3	RX VLAN Frame	如果接收帧为VLAN帧，置1
2	RX Multicast Frame	如果接收帧为组播帧，置1
1	RX Broadcast Frame	如果接收帧为广播帧，置1
0	RX Unicast Frame	如果接收帧为单播帧，置1

MAC 帧发送

发送 MAC 帧是把用户数据转换为串行数据的过程。所有发送信号同步于 `tx_mac_clk_o`。

正常 MAC 帧发送

图 3-33 展示在 1000M 速率下正常 MAC 帧发送过程，图 3-34 展示在 10M/100M 速率下正常 MAC 帧发送过程。

在任何速率下，`tx_mac_clk_o` 都为 125Mhz；区别在于，10M 速率时 `tx_mac_ready_o` 每 100 个周期有效一次；100M 速率时 `tx_mac_ready_o` 每 10 个周期有效一次，1000M 速率时 `tx_mac_ready_o` 每个周期都有效。

在整个帧的发送过程中，tx_mac_valid_i 须一直保持为 1，直到这一帧结束时才能变为 0。当 tx_mac_ready_o 和 tx_mac_last_i 同时为 1 时，表明此周期 tx_mac_data_i 被发送且为这一帧 MAC 帧的最后一个字节。需要注意 IP 中没有 buffer 用来缓存发送的 MAC 帧。因此当第一个字节开始发送后，用户需要准备好后续字节，在 tx_mac_ready_o 为 1 时，及时赋给 tx_mac_data_i。直到整个帧发送完毕。

图 3-33 1000M 速率正常 MAC 帧发送

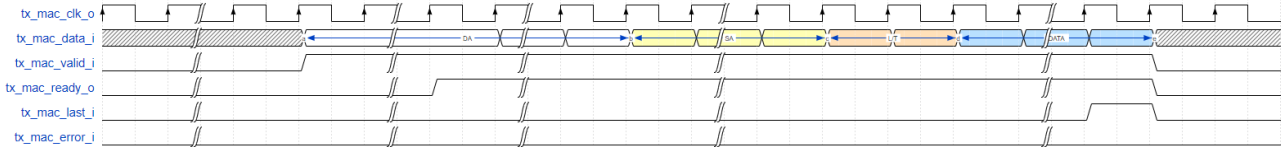
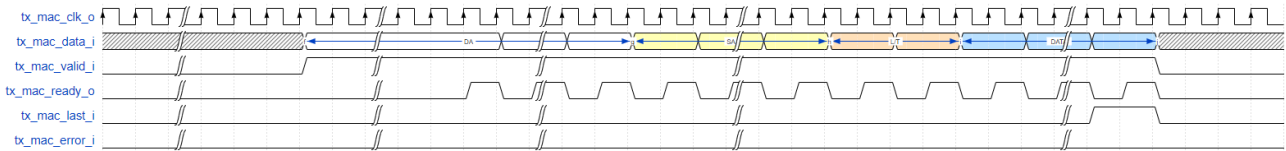


图 3-34 10M/100M 速率正常 MAC 帧发送



错误 MAC 帧发送

在发送过程中，当 tx_mac_error_i 和 tx_mac_ready_o 同时为 1 时，表示当前发送帧有错误。IP 会在 PHY 层接口发送 gmii_tx_er_i 发送数据错误指示。图 3-35 展示在 1000M 速率下一个错误 MAC 帧的发送过程，图 3-36 展示在 10M/100M 速率下一个错误 MAC 帧的发送过程。

图 3-35 1000M 速率错误 MAC 帧发送

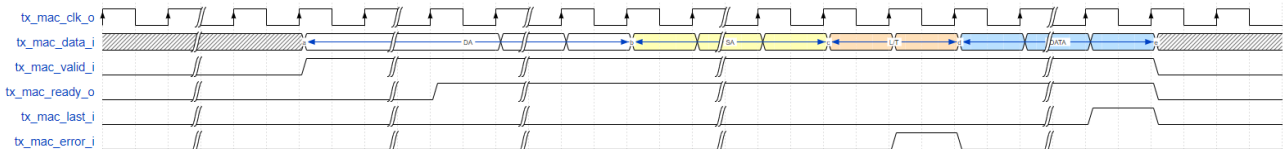
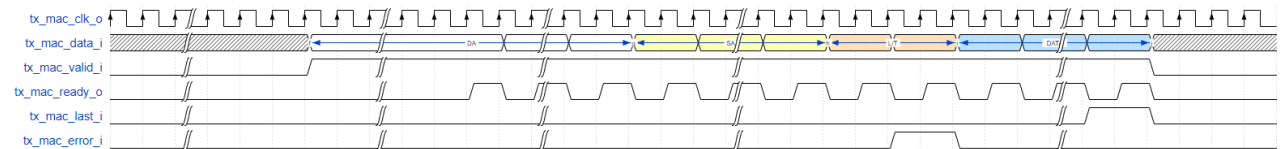


图 3-36 10M/100M 速率错误 MAC 帧发送



发送 MAC 帧 FCS Forward

当用户设置 IP 为发送 FCS Forward 模式时，IP 不会自动添加 FCS 字段，用户在发送完 DATA 字段后，需要计算并手动添加 FCS 字段，如图 3-37 和

图 3-38 所示。

图 3-37 1000M 速率使能 FCS Forward 时 MAC 帧发送

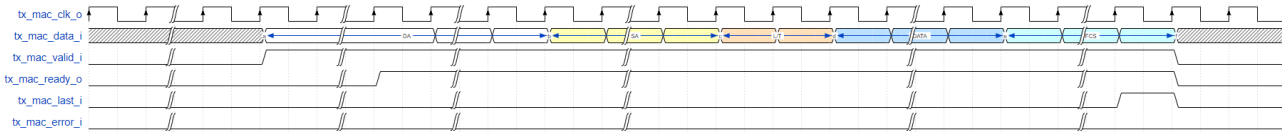
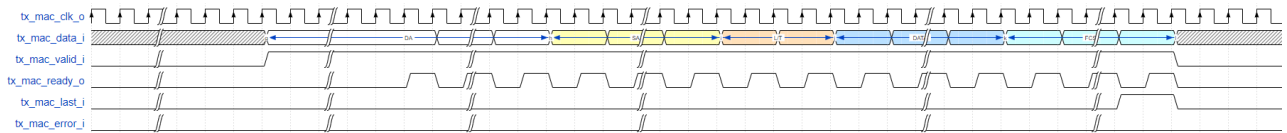


图 3-38 10M/100M 速率使能 FCS Forward 时 MAC 帧发送



半双工模式发送

在半双工模式下，IP 通过 `tx_collision_o` 和 `tx_retransmit_o` 信号指示发送状态。如果发送过程中，用户未检测到冲突产生，可按照以上全双工发送过程发送 MAC 帧。如果发送过程中，用户检测到冲突产生，需做下述处理，以保证数据的正确传输。当用户检测到 `tx_collision_o` 为 1 时，说明此时线路上有冲突。用户必须在检测到 `tx_collision_o` 为 1 时，马上把 `tx_mac_valid_i` 置 0，用来结束此次 MAC 帧的发送。在检测到 `tx_collision_o` 为 1 的同时，如果 `tx_retransmit_o` 为 1，说明此次冲突在合理范围内，用户可以自行决定是否重发此帧。如果用户准备重发此帧，请在 5 个周期内把 `tx_mac_valid_i` 置 1，准备此帧的重新发送；如果用户准备放弃重发此帧，请在 5 个周期之后再 把 `tx_mac_valid_i` 置 1，准备下一帧的发送。在检测到 `tx_collision_o` 为 1 的同时，如果 `tx_retransmit_o` 为 0，说明此次冲突不在合理范围内（某一帧冲突超过 16 次或冲突发生在已发送 64 字节之后），此时用户需放弃此帧的发送。图 3-39 展示产生冲突时重发的过程，图 3-40 和图 3-41 分别展示产生冲突时不重发的过程。

图 3-39 冲突时重发

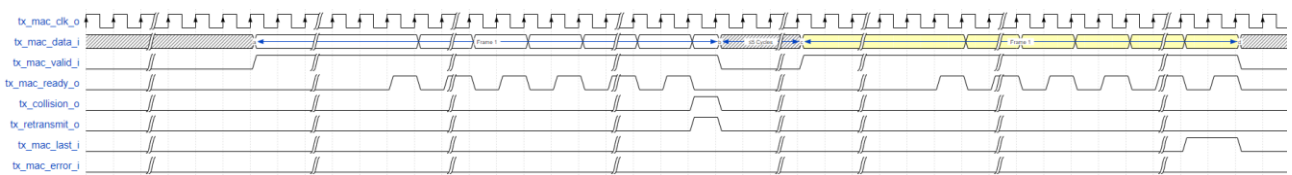


图 3-40 冲突时放弃重发（主动放弃）

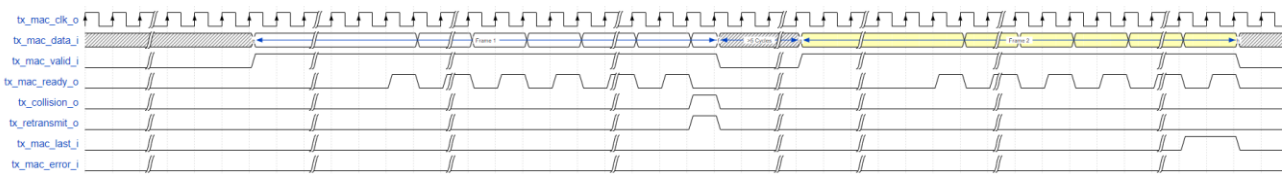
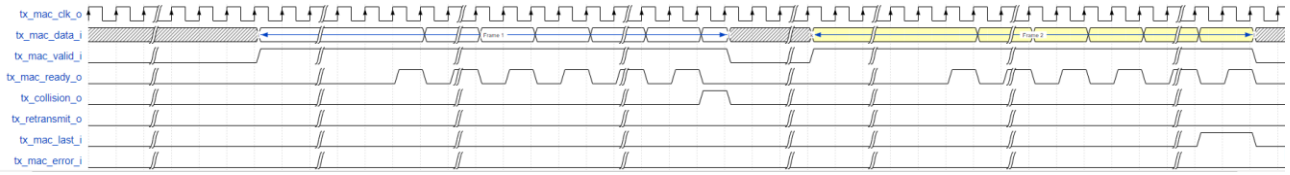


图 3-41 冲突时放弃重发（被动放弃）



发送统计

发送帧的统计信息在 tx_statistics_vector_o 信号输出。当 tx_statistics_valid_o 为 1 时，表示 tx_statistics_vector_o 有效，此时 tx_statistics_vector_o 指示了刚发送帧的统计信息。时序如图 3-42 所示，tx_statistics_vector_o 位定义如图 3-42 所示。

图 3-42 发送统计

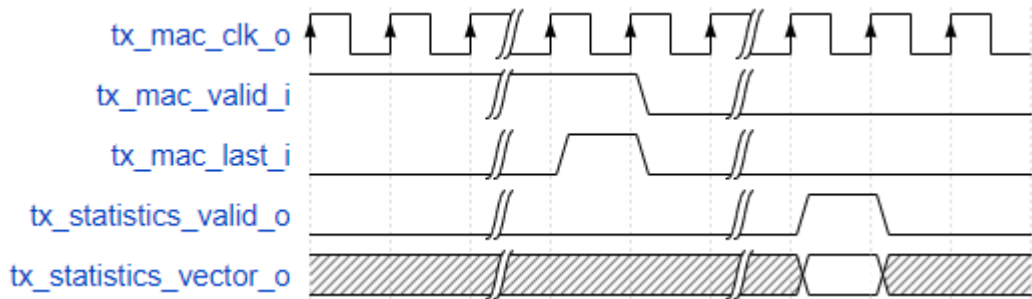


表 3-5 tx_statistics_vector_o 位定义

位置	名称	描述
28	TX Collision	半双工模式下，如果此帧发送时产生冲突，置 1
27:24	TX Attempts	半双工模式下，此帧尝试发送的次数。0 代表第 1 次发送；1 代表第 2 次发送；15 代表第 16 次发送。
23	Excessive Collision	在半双工模式下，如果此帧在第 16 次尝试发送时产生冲突，置 1
22	Late Collision	如果冲突发生在已发送 64 字节之后，置 1
21:6	TX Frame Length	发送帧长度，包括 FCS 字段
5	TX Flow Control Frame	在全双工模式下，如果通过配置 IP 发送流控帧，置 1
4	TX MAC Control Frame	如果发送帧为 MAC Control 帧，置 1
3	TX VLAN Frame	如果发送帧为 VLAN 帧，置 1
2	TX Multicast Frame	如果发送帧为组播帧，置 1
1	TX Broadcast Frame	如果发送帧为广播帧，置 1
0	TX Unicast Frame	如果发送帧为单播帧，置 1

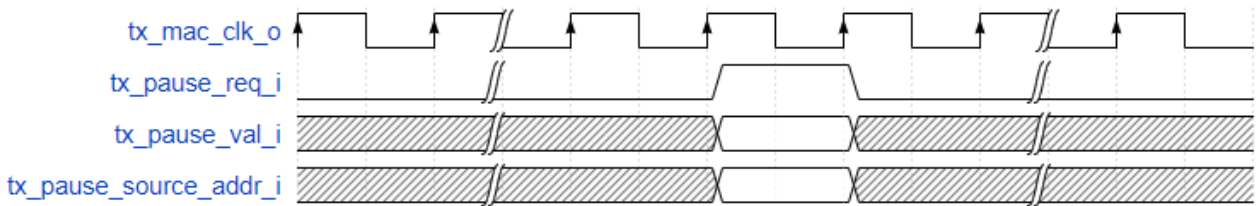
Flow Control 功能

IP 支持全双工模式下的 Flow Control 功能。在全双工模式下，用户可以通过配置 IP 发送或者接收 Pause 帧，实现流控功能。

发送 Pause 帧

用户可以通过把 tx_pause_req_i 信号置 1，来发送一个 pause 帧。tx_pause_val_i 的值插入到 pause 帧的 parameter 字段，用来计算 pause 时间。tx_pause_source_addr_i 作为 pause 帧的源 MAC 地址发送，发送顺序为从低字节到高字节。

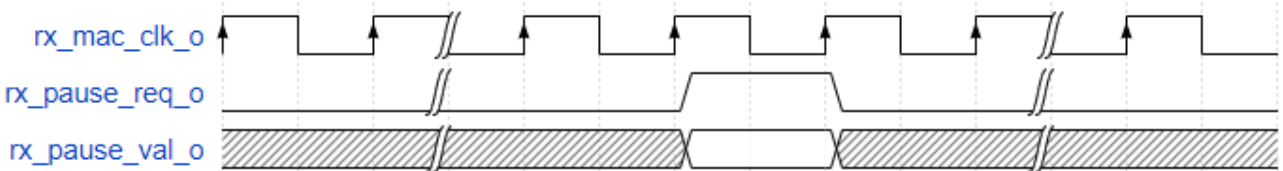
图 3-43 发送 Pause 帧



接收 pause 帧

当 IP 接收到一个 pause 后，会把 rx_pause_req_o 信号置 1。rx_pause_val_o 的值为接收到 pause 帧的 parameter 字段，用来计算 pause 时间。

图 3-44 接收 pause 帧



FCS Forward 功能

IP 支持发送和接收分别配置 FCS Forward 功能。

接收 FCS Forward 功能

当用户禁止接收 FCS Forward 功能时，FCS 字段不会被输出到用户侧。IP 会自动校验 FCS 字段，并把校验结果输出到 rx_statistics_vector_o 相应字段。当用户使能接收 FCS Forward 功能时，FCS 字段会被输出到用户侧。IP 仍会自动校验 FCS 字段，并把校验结果输出到 rx_statistics_vector_o 相应字段。

发送 FCS Forward 功能

当用户禁止发送 FCS Forward 功能时，用户无需计算并发送 FCS 字段。IP 会自动计算 FCS 字段，并自动添加到以太网帧。当用户使能发送 FCS Forward 功能时，用户需计算 FCS 字段，并在用户侧发送给 IP。

PAD 功能

当用户禁止发送 FCS Forward 功能时，若用户发送到 IP 的帧小于 60 字节（不包括 FCS），IP 会自动补 0 到 60 字节，再添加 FCS 字段，以保证发送以太网帧符合最小 64 字节要求。当用户使能发送 FCS Forward 功能时，IP 不会自动补齐 64 字节，实际发送数据和长度完全由用户决定。

发送 IFG 设置功能

当 IP 工作在全双工模式时，用户可以设置以太网发送最小 IFG。当 IP 工作在半双工模式时，用户设置的发送最小 IFG 被忽略，最小 IFG 仍然为 12 字节。

当用户禁止 IFG 功能时，IP 发送最小 IFG 为 12 字节，即 96bit。当用户使能 IFG 功能时，IP 根据用户设置决定最小 IFG。若用户设置最小 IFG 小于 8 字节，IP 实际最小 IFG 为 8 字节；若用户设置最小 IFG 大于等于 8 字节，IP 实际最小 IFG 为用户设置的值。最小 IFG 最大可设置为 255 字节。

Jumbo 设置功能

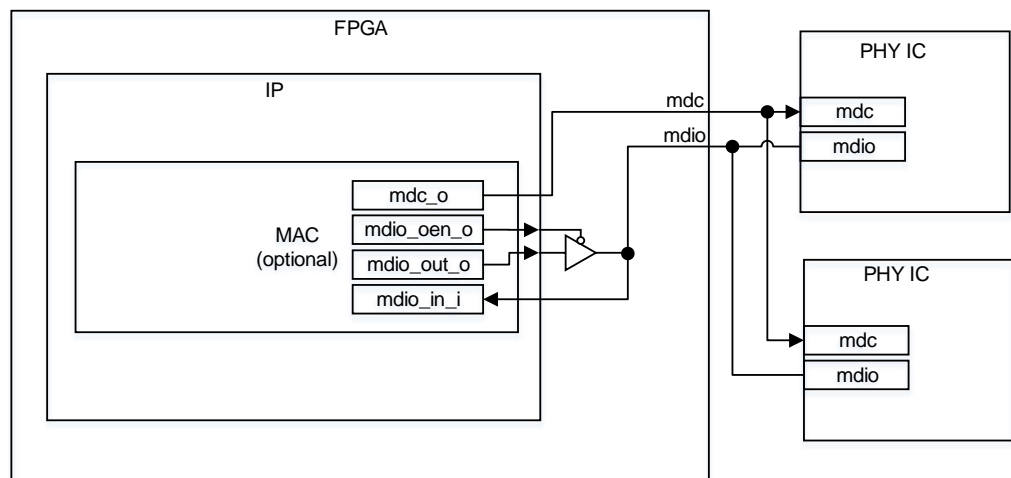
IP 支持 Jumbo 功能。当用户禁止 Jumbo 功能时，IP 判断正确以太网帧长度为 64 字节~1518 字节(非 VLAN 帧)或 64 字节~1522 字节(VLAN 帧)。当收到的以太网帧不在上述范围内时，rx_mac_error_o 会指示此帧有错误，且 rx_statistics_vector_o 中 RX Length Error 为 1。当用户使能 Jumbo 功能时，只有接收到的以太网帧小于 64 字节，IP 才会判断为错误。

Management 功能

IP 提供为用户通过 MIIM 接口，方便用户通过 MDC 和 MDIO 配置 PHY 芯片寄存器。

MDC 时钟由 miim_hs_clk_i 输入时钟分频而来，用户需根据 miim_hs_clk_i 输入时钟来配置分频器，使 MDC 时钟频率符合 PHY 芯片要求，配置方法请参考表 5-1 所示，MDC、MDIO 连接如图 3-45 所示。

图 3-45 MDC、MDIO 连接示意图



MDIO 连接参考 verilog 如下：

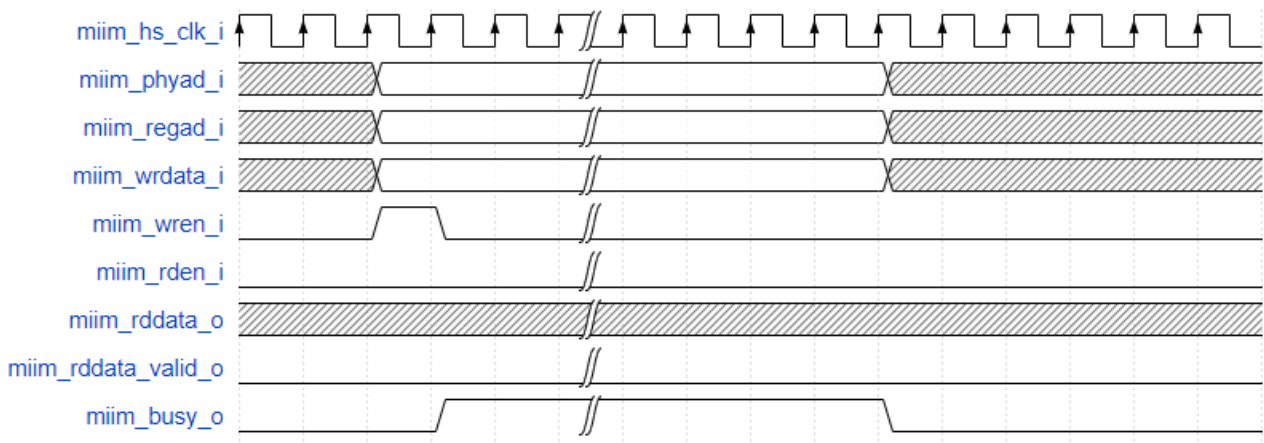

```
assign mdio_in_i = mdio;
```

```
assign mdio = (!mdio_oen_o) ? mdio_out_o : 1'bz;
```

所有 miim 接口信号同步于 miim_hs_clk_i 时钟。

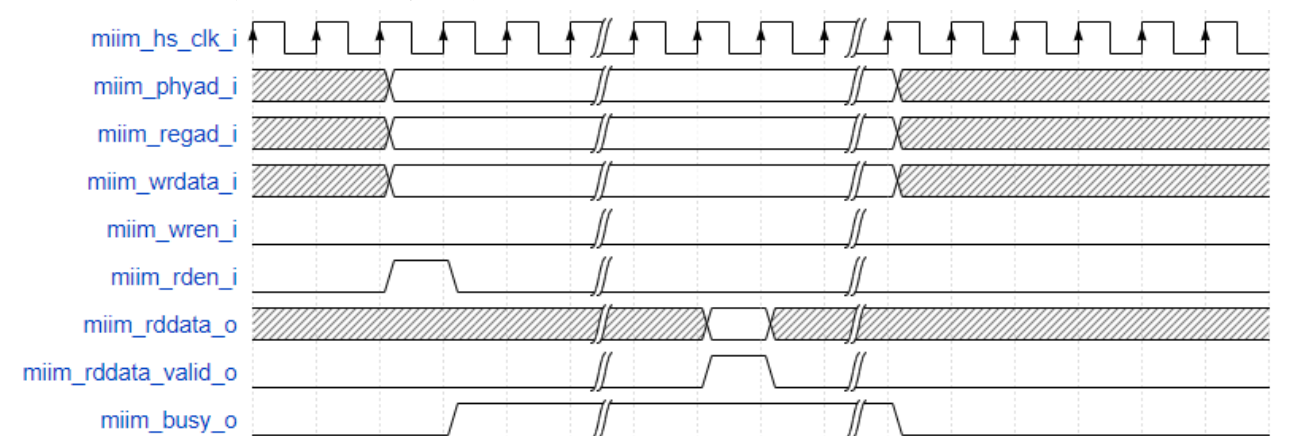
若进行写操作，用户需把 miim_wren_i 置 1 一个周期。IP 会把 miim_busy_o 拉高，说明 miim 总线正在进行此次写操作。当 miim_busy_o 再次为 0，表示此次写操作结束，用户可进行下一次读或写操作。miim_phyad_i、miim_regad_i 和 miim_wrdata_i 信号在 miim_wren_i 为 1 时需在总线上准备好，且在 miim_busy_o 为 1 时保持不变。miim 写时序如图 3-46 所示。

图 3-46 miim 写时序



若进行读操作，用户需把 miim_rden_i 置 1 一个周期。IP 会把 miim_busy_o 拉高，说明 miim 总线正在进行此次读操作。当 miim_busy_o 再次为 0，表示此次读操作结束，用户可进行下一次读或写操作。miim_phyad_i 和 miim_regad_i 信号在 miim_rden_i 为 1 时需在总线上准备好，且在 miim_busy_o 为 1 时保持不变。在读过程中，用户监测 miim_rddata_valid_o 信号。当 miim_rddata_valid_o 为 1 时，用户可以在 miim_rddata_o 信号采样此次读操作的值。miim 读时序如图 3-47 所示。

图 3-47 miim 读时序



4 端口列表

Gowin 1G Serial Ethernet Over LVDS IP 的 IO 端口如图 4-1 所示。

图 4-1 Gowin 1G Serial Ethernet Over LVDS IP IO 端口示意图

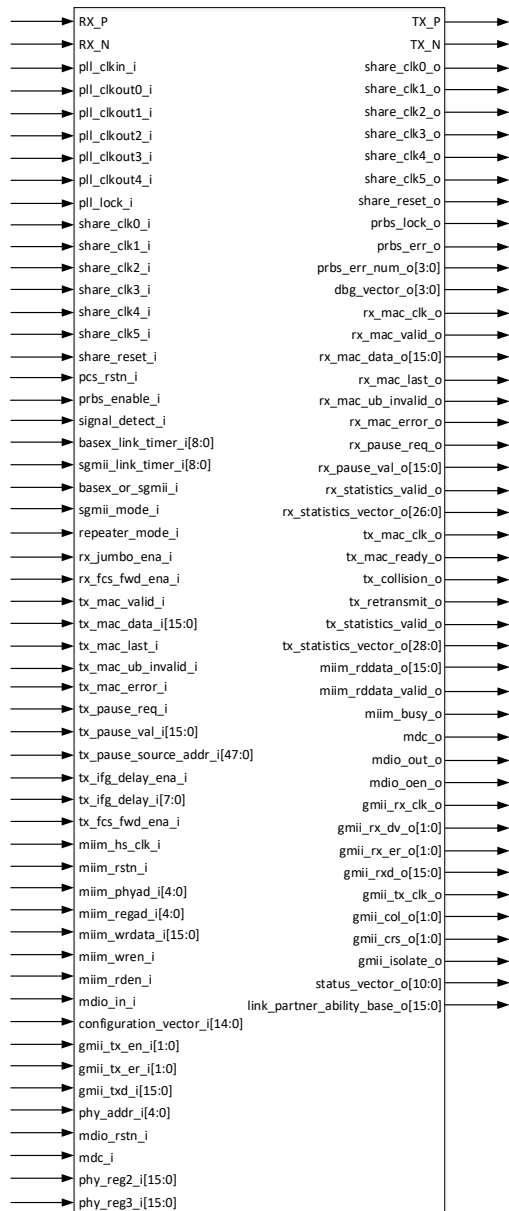


表 4-1 Gowin 1G Serial Ethernet Over LVDS IP IO 端口

信号	方向	位宽	描述	时钟域	
Differential Interface					
RX_P	input	1	接收差分信号, P端		
RX_N	input	1	接收差分信号, N端		
TX_P	output	1	发送差分信号, P端		
TX_N	output	1	发送差分信号, N端		
Clock Interface					
pll_clkkin_i	input	1	PLL的参考时钟信号		
pll_clkout0_i	input	1	PLL的0通道时钟信号, 频率为625Mhz, 相位为0°		
pll_clkout1_i	input	1	PLL的1通道时钟信号, 频率为625Mhz, 相位为90°		
pll_clkout2_i	input	1	PLL的2通道时钟信号, 频率为625Mhz, 相位为180°		
pll_clkout3_i	input	1	PLL的3通道时钟信号, 频率为625Mhz, 相位为270°		
pll_clkout4_i	input	1	PLL的4通道时钟信号, 频率为125Mhz, 相位为0°		
pll_lock_i	input	1	PLL的锁定信号		
share_clk0_o	output	1	共享时钟输出信号, 频率为625Mhz, 相位为0°		
share_clk1_o	output	1	共享时钟输出信号, 频率为625Mhz, 相位为90°		
share_clk2_o	output	1	共享时钟输出信号, 频率为625Mhz, 相位为180°		
share_clk3_o	output	1	共享时钟输出信号, 频率为625Mhz, 相位为270°		
share_clk4_o	output	1	共享时钟输出信号, 频率为156.25Mhz, 相位为0°		
share_clk5_o	output	1	共享时钟输出信号, 频率为125Mhz, 相位为0°		
share_reset_o	output	1	共享复位输出信号, 高有效		pll_clkkin_i
share_clk0_i	input	1	共享时钟输入信号, 频率为625Mhz, 相位为0°		
share_clk1_i	input	1	共享时钟输入信号, 频率为625Mhz, 相位为90°		
share_clk2_i	input	1	共享时钟输入信号, 频率为625Mhz, 相位为180°		
share_clk3_i	input	1	共享时钟输入信号, 频率为625Mhz, 相位为270°		
share_clk4_i	input	1	共享时钟输入信号, 频率为156.25Mhz, 相位为0°		
share_clk5_i	input	1	共享时钟输入信号, 频率为125Mhz, 相位为0°		
share_reset_i	input	1	共享复位输入信号, 高有效	pll_clkkin_i	
RESET					
pcs_rstn_i	input	1	复位信号, 低有效		
PRBS Interface					
prbs_enable_i	input	1	PRBS功能使能信号 1: 使能PRBS功能 0: 禁用PRBS功能	share_clk4_o/ share_clk4_i	
prbs_lock_o	output	1	PRBS检测锁定信号 1: PRBS检测锁定 0: PRBS检测失锁		
prbs_err_o	output	1	PRBS检测误码信号		

信号	方向	位宽	描述	时钟域
			1: PRBS检测存在误码 0: PRBS检测正常	
prbs_err_num_o	output	4	PRBS检测误码率信号, 表示10bit数据中误码情况	
Debug Interface				
dbg_vector_o	output	4	Debug信号, 异常时为1: [3]: RX Buffer下溢信号, 表示RX Buffer写慢读快 [2]: RX Buffer上溢信号, 表示RX Buffer写快读慢 [1]: 8B10B解码时数据异常信号 [0]: 8B10B解码时不一致性异常信号	[3]: pll_clkout4_i/ share_clk5_o/ share_clk5_i [2:0]: share_clk4_o/ share_clk4_i
IP Configuration				
signal_detect_i	input	1	信号检测功能配置, 和configuration_vector_i[1]组合控制数据同步功能: 1: 使能信号检测功能 0: 禁用信号检测功能	share_clk4_o/ share_clk4_i
basex_link_timer_i	input	9	1000BASE-X协议下Link时间, 建议为381	
sgmii_link_timer_i	input	9	SGMII协议下Link时间, 建议为61	
basex_or_sgmii_i	input	1	以太网协议选择信号: 1: SGMII标准 0: 1000BASE-X标准	
sgmii_mode_i	input	1	SGMII模式选择信号: 1: Media Mode 0: System Mode	
repeater_mode_i	input	1	中继器模式选择信号: 1: 使能中继器模式 0: 禁用中继器模式	
configuration_vector_i	input	15	功能配置信号	
IP Status				
status_vector_o	output	11	功能状态信息指示	share_clk4_o/ share_clk4_i
link_partner_ability_base_o	output	16	对方配置寄存器信息指示	
GMII Interface				
gmii_rx_clk_o	output	1	GMII接收时钟, 频率为125Mhz	gmii_rx_clk_o
gmii_rx_dv_o	output	1	GMII接收使能	
gmii_rxd_o	output	8	GMII接收数据	
gmii_rx_er_o	output	1	GMII接收错误	
gmii_tx_clk_o	output	1	GMII发送时钟, 频率为125Mhz	gmii_tx_clk_o
gmii_tx_en_i	input	1	GMII发送使能	

信号	方向	位宽	描述	时钟域
gmii_txd_i	input	8	GMII发送数据	
gmii_tx_er_i	input	1	GMII发送错误	
gmii_col_o	output	1	GMII冲突信号, 此信号仅在半双工有效	
gmii_crs_o	output	1	GMII载波信号, 此信号仅在半双工有效	
gmii_isolate_o	output	1	GMII传输隔离	
MAC Layer Interface				
rx_mac_clk_o	output	1	接收时钟, 频率为125MHZ	rx_mac_clk_o
rx_mac_valid_o	output	1	接收使能	
rx_mac_data_o	output	8	接收数据	
rx_mac_last_o	output	1	接收最后字节指示	
rx_mac_error_o	output	1	接收错误帧指示	
rx_statistics_vali d_o	output	1	接收统计有效指示	
rx_statistics_vect or_o	output	27	接收统计信息	
tx_mac_clk_o	output	1	发送时钟, 频率为125MHZ	tx_mac_clk_o
tx_mac_valid_i	input	1	发送使能	
tx_mac_data_i	input	8	发送数据	
tx_mac_last_i	input	1	发送最后字节指示	
tx_mac_error_i	input	1	发送错误帧指示	
tx_mac_ready_o	output	1	发送握手信号, 为1表示tx_mac_data_i被接收	
tx_collision_o	output	1	发送线路冲突指示信号, 为1表示此次发送出现线路冲突, 用户需立刻结束此次发送。此信号仅在半双工时有有效	
tx_retransmit_o	output	1	发送重发指示信号, 此信号与tx_collision_o同时出现, 为1表示需要重发此帧。此信号仅在半双工时有有效	
tx_statistics_vali d_o	output	1	发送统计有效指示	
tx_statistics_vect or_o	output	29	发送统计信息	
MAC Layer Configuration				
rx_fcs_fwd_ena_ i	input	1	接收FCS Forward功能: 1: 使能接收FCS Forward功能 0: 禁止接收FCS Forward功能	rx_mac_clk_o
rx_jumbo_ena_i	input	1	接收Jumbo功能: 1: 使能接收Jumbo功能 0: 禁止接收Jumbo功能	
rx_pause_req_o	output	1	接收pause帧指示信号	
rx_pause_val_o	output	16	接收pause帧parameter字段, 代表本方需要暂停时	

信号	方向	位宽	描述	时钟域
			间	
tx_fcs_fwd_ena_i	input	1	发送FCS Forward功能: 1: 使能发送FCS Forward功能 0: 禁止发送FCS Forward功能	tx_mac_clk_o
tx_ifg_delay_ena_i	input	1	发送最小IFG配置使能: 1: 使能最小IFG配置 0: 禁止最小IFG配置, 默认最小IFG为12字节	
tx_ifg_delay_i	input	8	发送最小IFG: 当tx_ifg_delay_ena_i为1时, IP发送最小IFG由tx_ifg_delay_i决定。当tx_ifg_delay_i小于8时, 最小IFG为8; 当tx_ifg_delay_i大于等于8时, 最小IFG为用户设置值。 当tx_ifg_delay_ena_i为0时, 此设置无效	
tx_pause_req_i	input	1	发送pause帧使能信号	
tx_pause_val_i	input	16	发送pause帧parameter字段, 代表要求对方暂停时间	
tx_pause_source_addr_i	input	48	发送pause帧源地址	
Management Interface				
miim_hs_clk_i	input	1	Management模块时钟输入 (MAC层)	miim_hs_clk_i
miim_rstn_i	input	1	Management模块复位输入 (MAC层)	
miim_phyad_i	input	5	PHY地址 (MAC层)	
miim_regad_i	input	5	寄存器地址 (MAC层)	
miim_wrdata_i	input	16	写数据 (MAC层)	
miim_wren_i	input	1	写使能 (MAC层)	
miim_rden_i	input	1	读使能 (MAC层)	
miim_rddata_o	output	16	读数据 (MAC层)	
miim_rddata_valid_o	output	1	读数据有效, MAC层	
miim_busy_o	output	1	MIIM接口状态指示 (MAC层): 1: 正在读/写 0: 空闲	
mdc_o	output	1	MDC时钟输出 (MAC层)	MAC层: miim_hs_clk_i PHY层: mdc_i
mdio_in_i	input	1	MDIO输入 (MAC层、PHY层)	
mdio_out_o	output	1	MDIO输出 (MAC层、PHY层)	
mdio_oen_o	output	1	MDIO输出使能 (MAC层、PHY层)	mdc_i
phy_addr_i	input	5	PHY地址 (PHY层)	
mdio_rstn_i	input	1	MIIM复位 (PHY层)	
mdc_i	input	1	MDC时钟输入 (PHY层)	
phy_reg2_i	input	16	地址0x2的寄存器数据 (PHY层)	

信号	方向	位宽	描述	时钟域
phy_reg3_i	input	16	地址0x3的寄存器数据 (PHY层)	

5 参数配置

用户需根据设计要求配置 Gowin 1G Serial Ethernet Over LVDS IP 的各个静态参数。请参考表 5-1 所示。

表 5-1 Gowin 1G Serial Ethernet Over LVDS IP 静态参数

名称	描述	选项
LVDS OBUF	LVDS OBUF 选择	TLVDS OBUF, ELVDS OBUF
Shared Logic	Shared Logic 的位置选择	Inside, Outside
Enable MAC	以太网 MAC 层功能使能	勾选, 不勾选
Enable PHY MIIM	以太网 PHY 层 MIIM 接口使能, 用于配置 PHY 层的寄存器	勾选, 不勾选
MIIM Clock Divider	miim_hs_clk_i 输入时钟分频值, 分频后的时钟输出到 mdc_o, 作为管理接口时钟输出, 只用于使能以太网 MAC 层功能时。若此选项小于 2, 则实际分频值为 2; 若此选项大于等于 2, 则实际分频值为输入值	用户输入, 范围 0~255
Enable Debug Port	调试信号输出使能	勾选, 不勾选

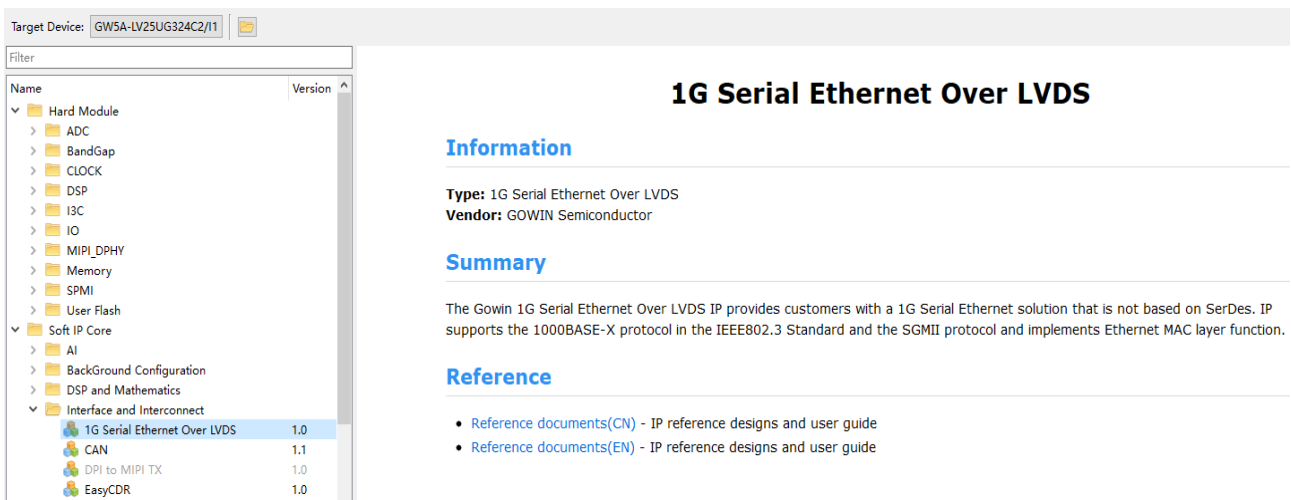
6 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin 1G Serial Ethernet Over LVDS IP。本章节以选择使用 MAC 层接口为例，介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后，单击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 Gowin 的 IP 核产生工具，如图 6-1 所示。

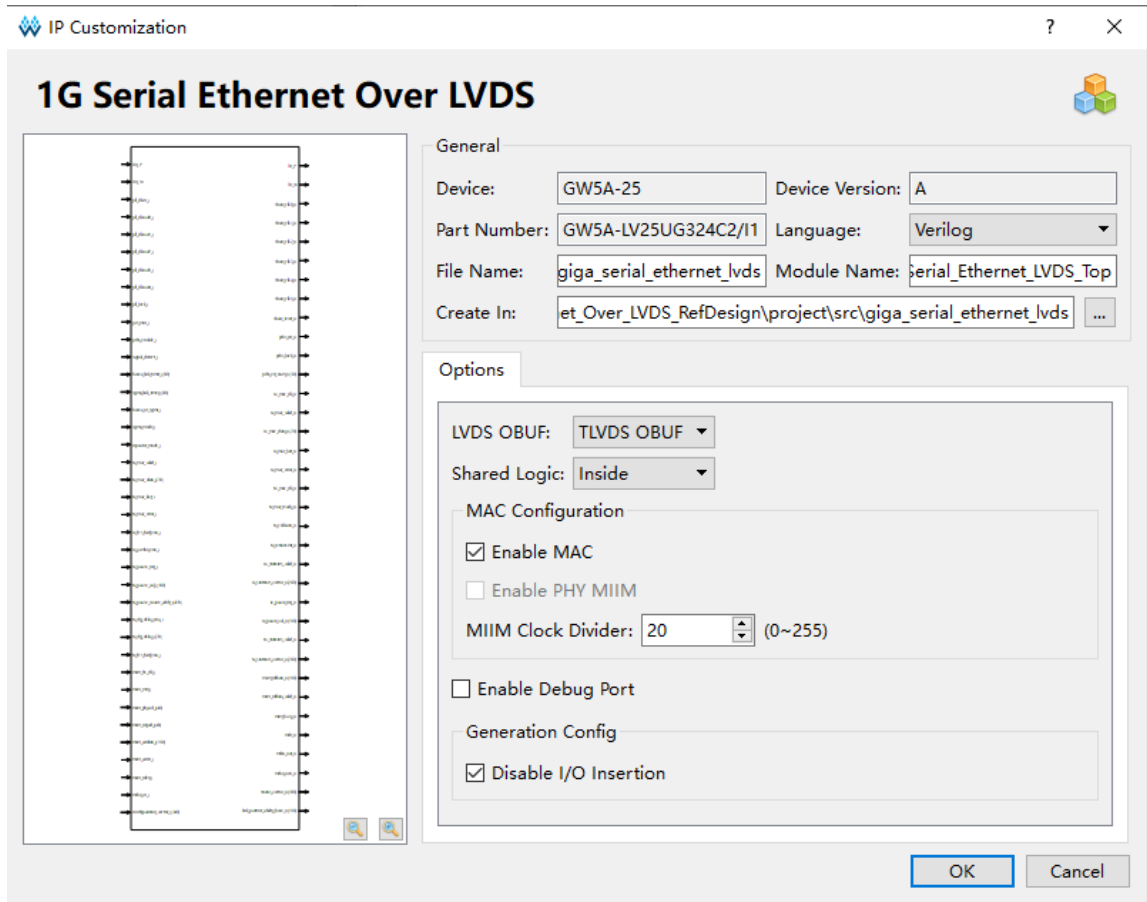
图 6-1 IP 核产生工具



2. 打开 1G Serial Ethernet Over LVDS IP 配置界面

在 IP Core Generator 中依次选择“Soft IP Core”->“Interface and Interconnect”->“1G Serial Ethernet Over LVDS”，打开 1G Serial Ethernet Over LVDS IP 配置界面，如图 6-2 所示：

图 6-2 1G Serial Ethernet Over LVDS IP 配置界面



配置界面左侧是 1G Serial Ethernet Over LVDS IP 的接口示意图，右侧是 1G Serial Ethernet Over LVDS IP 参数配置选项。

General 选项卡

- Device、Device Version、Part Number 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- Language 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- File Name、Module Name、Create In 选项：IP 的文件名、模块名和文件生成路径设置。

Options 选项卡

- LVDS OBUF 选项：选择 LVDS OBUF 的类型，包含 TLVDS OBUF 和 ELVDS OBUF 两种类型；
- Shared Logic 选项：选择 Shared Logic 所在位置，包含 Inside 和 Outside 两种方式，需根据实际情况进行选择；
- Enable MAC 选项：使能 MAC 层功能；
- Enable PHY MIIM 选项：使能 PHY MIIM 功能，只有在禁用 MAC 层功

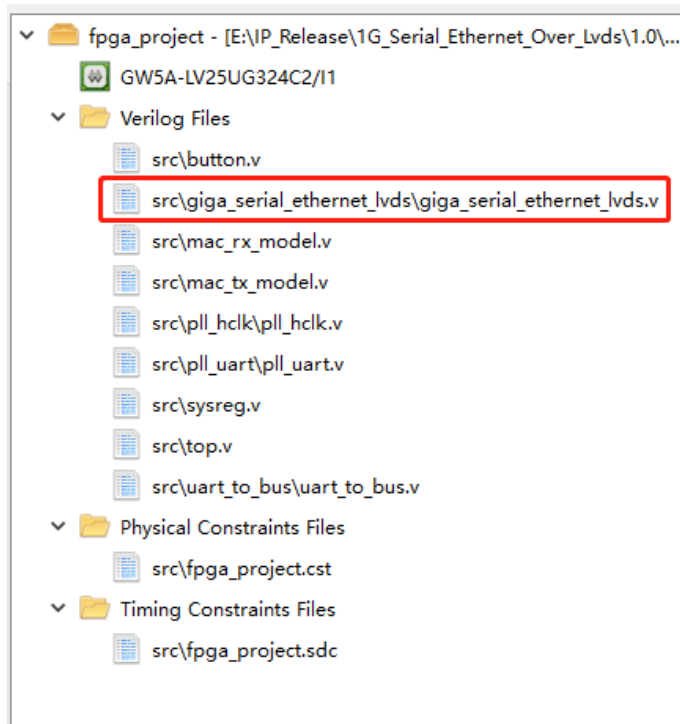
能时才可以配置：

- MIIM Clock Divider 选项：配置 MIIM Clock 的分频系数，范围为 0~255，当分频系数小于 2 时，实际分频值为 2；
- Enable Debug Port 选项：使能 Debug 信号。

3. 生成 IP

完成 1G Serial Ethernet Over LVDS IP 界面配置后，点击界面右下角的“OK”按钮，可生成 1G Serial Ethernet Over LVDS IP 的相关文件，完成整个 1G Serial Ethernet Over LVDS IP 的生成过程，如图所示。

图 6-3 1G Serial Ethernet Over LVDS IP 相关文件



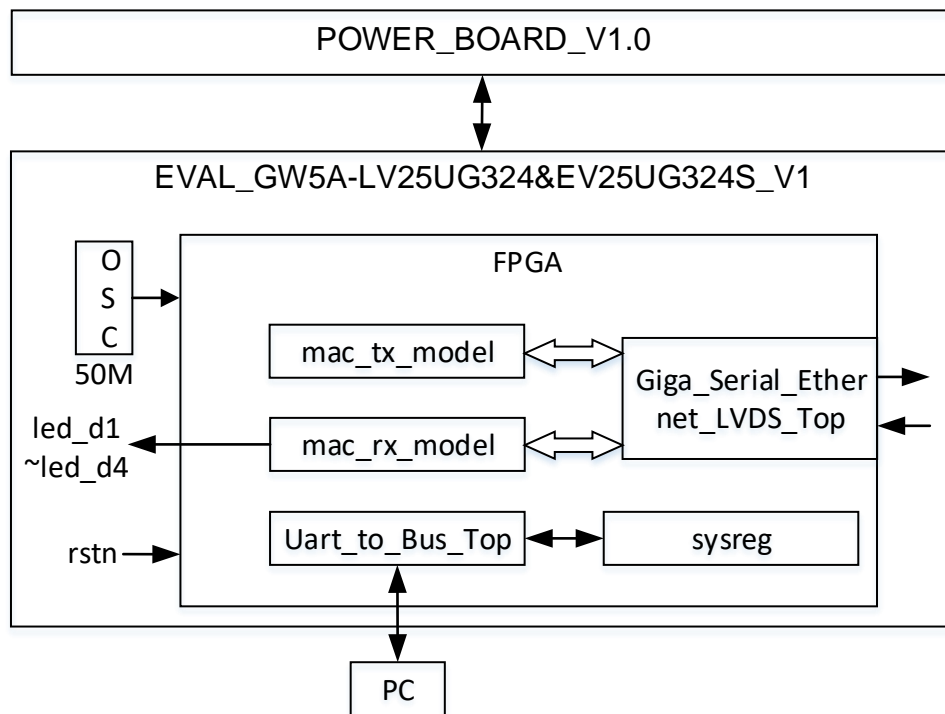
7 参考设计

详细信息请参见高云半导体官网 [1G Serial Ethernet Over LVDS IP](#) 参考设计。

7.1 硬件平台

硬件平台如图 7-1 所示。

图 7-1 硬件平台



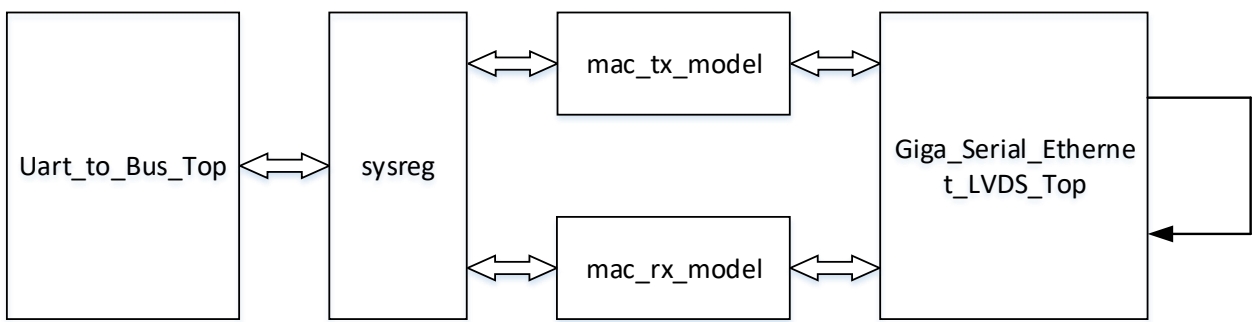
在 GW5A 板卡上实现一个参考实例，其硬件条件如下：

1. POWER_BOARD_V1.0 板卡用于供电；
2. FPGA 内部所有时钟由板载晶振产生，时钟为 50Mhz；
3. 按键 SW2 为复位信号 rstn 使用，对 FPGA 内部模块进行复位操作，低电平复位；

4. LED 灯 D8 为 IP 的 Link Up 状态显示(led_d1), 常亮为 IP Link Up, 可进行数据传输;
5. LED 灯 D9 为 IP 的数据传输状态显示 (led_d2), 常亮为 IP 正在持续收发数据;
6. LED 灯 D10 为 IP 接收以太网帧状态显示 (led_d3), 常亮为 IP 接收的以太网帧是异常的;
7. LED 灯 D11 为 IP 接收 Pause 帧状态显示 (led_d4), 常亮为 IP 接收的 Pause 帧是异常的;
8. 板载晶振 (50Mhz) 经 PLL 生成 10Mhz 时钟, 用于 PC 端串口助手与 FPGA 的通信, 波特率为 115200。

7.2 实现框图

图 7-2 参考设计实现框图



通过 Uart_to_Bus_Top 模块对自定义的总线协议进行解析, 再通过 sysreg 模块转化成本地系统配置寄存器, 实现对 IP 功能的设置和结果反馈。

Giga_Serial_Ethernet_LVDS_Top 模块接收来自于 mac_tx_model 的传输数据, 通过 TX 接口发送数据, 并环回到 RX 接口进行接收, 最终将接收的数据送给 mac_rx_model。主要模块如下:

- Uart_to_Bus_Top 模块: 串口转总线模块, 将串口助手或上位机发送的串口指令转换为总线控制时序;
- sysreg 模块: 用于产生本地系统配置寄存器;
- mac_tx_model 模块: 产生 IP 的发送时序, 传输以太网帧和 Pause 帧;
- mac_rx_model 模块: 对 IP 接收的以太网帧和 Pause 帧进行分析, 反馈异常检测结果;
- Giga_Serial_Ethernet_LVDS_Top 模块: 按照如图 6-2 进行配置。

7.3 总线协议与地址规划

Gowin UART to Bus IP 核心是一个简单的命令解析器, 可用于通过 UART 接口访问内部总线。读写总线协议规定如下:

写总线“W AAAA BBBBBBBB”

读总线“R AAAA”

读总线将会返回如下指令“G AAAA BBBBBBBB”

W 表示写的意思，R 表示读的意思，G 表示读结果返回的意思。中间由空格分开，结尾需输入回车换行。其中 AAAA 表示地址，16 位；BBBBBBBB 表示数据，32 位，详情可以参考 [IPUG1022, Gowin Uart to Bus IP 用户手册](#)。

本参考设计中，UART to Bus IP 参数设置如下：

图 7-3 UART to Bus IP 参数设置 1

图 7-4 UART to Bus IP 参数设置 2

本参考设计中详细的寄存器地址定义如下：

表 7-1 寄存器地址定义

地址(32bit)	默认值	W/R	描述
0x0000	0x00000000	WR	[0]: 控制数据字段长度变化方式 1: 每帧数据字段长度保持为 DATA_LENGTH_MAX 0: 每帧数据字段长度在 0~ DATA_LENGTH_MAX 之间变化，且相邻两帧之间相差 DATA_LENGTH_INCREASE

地址(32bit)	默认值	W/R	描述
0x0001	0x00000000	WR	[0]: 控制是否传输一帧 Pause 帧 1: 不传输 Pause 帧 0: 传输 Pause 帧
0x0002	0x00000000	WR	[0]: 清除检测结果 1: 清除异常结果或传输帧数 0: 开始重新检测
0x0010	0x00000000	WR	[0]: IP 复位功能 (main_reset) 1: 复位 0: 释放复位
0x0011	0x00000002	WR	[1]: 自协商功能使能 (an_enable) 1: 使能自协商功能 0: 禁用自协商功能 [0]: 重新自协商 1->0: 重新进行自协商
0x0020	0x00000060	WR	[6]: SGMII 的双工模式 1: 全双工模式 0: 半双工模式 [5:4]: SGMII 的速率 1x: 1000M 01: 100M 00: 10M [1:0]: 协议选择 x0: 1000BASE-X 协议 01: SGMII 协议 System Mode 11: SGMII 协议 Media Mode
0x0021	0x0000017D	WR	[8:0]: 1000BASE-X 协议的 link 时间设置, 默认为 381
0x0022	0x0000003D	WR	[8:0]: SGMII 协议的 link 时间设置, 默认为 61
0x0030	0x00000001	WR	[5]: 数据传输持续模式, 相当于多次突发 1: 执行数据传输 0: 停止数据传输 [4]: 数据传输突发模式, 一次突发发送 FRM_NUM_MAX 帧以太网帧和一帧 Pause 帧 (由 0x0001 控制是否发送 Pause 帧) 1->0: 执行一次突发 [0]: 除 Uart_to_Bus_Top 和 sysreg 模块外的复位 1: 释放复位 0: 复位
0x0080	-	R	[31]: 自协商完成标志 [30:3]: 预留 [2]: 接收的数据异常 [1]: 接收的 Pause 帧异常 [0]: 接收的以太网帧异常
0x0081	-	R	[2]: 对方在 SGMII 协议下的双工模式

地址(32bit)	默认值	W/R	描述
			1: 全双工模式 0: 半双工模式 [1:0]: 对方在 SGMII 协议下的速率 10: 1000M 01: 100M 00: 10M
0x0090	-	R	[31:9]: 默认为 0 [8]: IP Link Up 状态 [7]: mac_rx_model 模块的复位状态 [6]: mac_tx_model 模块的复位状态 [5]: pll_hclk 的复位状态 [4]: Uart_to_Bus_Top 和 sysreg 模块的复位状态 [3]: IP 的共享复位输出信号, 取反 [2]: 默认为 0 [1]: pll_uart 的 Lock 状态 [0]: pll_hclk 的 Lock 状态
0x0091	-	R	[1]: 接收以太网数据的帧数溢出标志, 即超出表示范围 [0]: 发送以太网数据的帧数溢出标志, 即超出表示范围
0x0092	-	R	[31:0]: 发送以太网数据的帧数
0x0093	-	R	[31:0]: 接收以太网数据的帧数

7.4 板级测试

7.4.1 操作说明

该示例工程是在 EVAL_GW5A-LV25UG324&EV25UG324S_V1 开发板上实测通过, FPGA 芯片为 GW5A-LV25UG324C2/I1, 同时使用 POWER_BOARD_V1.0 板卡进行供电。

如果手上没有此开发板, 又想运行此参考设计工程, 需要根据板卡的实际情况将 IP 的差分管脚、串口管脚、时钟输入管脚、复位管脚和 LED 管脚重新分配, 同时将 pll_hclk 和 pll_uart 根据输入时钟重新配置, 其次根据 IP 管脚所在 BANK 约束 pll_hclk 的位置, 即可用于测试。

修改完成后, 生成 Bit 文件, 下载到 FPGA 中即可开始测试。

7.4.2 操作步骤

板级测试的操作步骤如下:

1. 用射频线将 TX 和 RX 端进行外部环回连接;
2. Bit 文件下载到 FPGA 之后, 您首先需要检查串口指令是否起作用;

输入: W 0003 F5A1490D

输入: R 0003

返回: G 0003 F5A1490D

则表示 PC 与 FPGA 之间的通信是没有问题的，否则，首先需要排查不能通信的原因，才能进行下一步；

3. 查看 LED 灯 D8 状态为常亮，说明 1G Serial Ethernet Over LVDS IP 在 1000BASE-X 协议下完成自协商，可进行数据传输，否则需要排查 IP 未协商的原因，才能进行下一步；

4. 获取当前 FPGA 内部的检测结果；

输入：R 0080

返回：G 0080 80000000

表示 IP 已自协商成功，且未检测到收发数据异常；

5. 设置以太网数据传输过程，每帧的负载保持最大，不传输 Pause 帧；

输入：W 0000 00000001

输入：W 0001 00000001

6. 执行数据传输（持续模式），观察 LED 灯 D9 常亮；

输入：W 0030 00000021

7. 一段时间后停止数据传输，观察 LED 灯 D9 常灭；

输入：W 0030 00000001

8. 观察 LED 灯 D10 和 D11 为常灭，表示 IP 数据传输过程无异常；

9. 设置 IP 为 SGMII 协议的 Media Mode，1000M 速率；

输入：W 0020 00000063

10. 设置 IP 重新进行自协商过程；

输入：W 0011 00000003

输入：W 0011 00000002

11. 重复步骤 3~8；

12. 设置 IP 为 SGMII 协议的 Media Mode，100M 速率；

输入：W 0020 00000053

13. 设置 IP 重新进行自协商过程；

输入：W 0011 00000003

输入：W 0011 00000002

14. 重复步骤 3~8；

15. 设置 IP 为 SGMII 协议的 Media Mode，10M 速率；

输入：W 0020 00000043

16. 设置 IP 重新进行自协商过程；

输入：W 0011 00000003

输入：W 0011 00000002

17. 重复步骤 3~8;

18. 通过板测过程中观察指示灯的情况，可以说明数据的传输是正常的。

8 文件交付

Gowin 1G Serial Ethernet Over LVDS IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

8.1 文档

文件夹主要包含用户指南 PDF 文档。

表 8-1 文档列表

名称	描述
IPUG1042, Gowin 1G Serial Ethernet Over LVDS IP 用户指南	高云 1G Serial Ethernet Over LVDS IP 用户手册，即本手册

8.2 设计源代码（加密）

加密代码文件夹包含 Gowin 1G Serial Ethernet Over LVDS IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源®软件产生用户所需的 IP 核。

表 8-2 Gowin 1G Serial Ethernet Over LVDS IP 设计源代码列表

名称	描述
giga_serial_ethernet_wrap.v	IP 核顶层文件，给用户接口信息，加密
giga_serial_ethernet.v	IP 核 RTL 设计文件，加密
ge_constants.v	本地静态参数配置文件，加密
static_macro_define.v	本地静态参数配置文件，不加密
define.vh	IP 配置文件，需要 GUI 生成
parameter.vh	IP 配置文件，需要 GUI 生成

8.3 参考设计

Gowin 1G Serial Ethernet Over LVDS IP RefDesign 文件夹主要包含 Gowin 1G Serial Ethernet Over LVDS IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 8-3 Gowin 1G Serial Ethernet Over LVDS IP RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module

名称	描述
fpga_project.cst	工程物理约束文件
fpga_project.sdc	工程时序约束文件
giga_serial_ethernet_lvds.v	生成1G Serial Ethernet Over LVDS IP顶层文件，加密
mac_rx_model.v	MAC层RX信号控制模块
mac_tx_model.v	MAC层TX信号控制模块
Uart_to_Bus_Top.v	串口转总线IP，加密
sysreg.v	本地系统配置寄存器模块
button.v	按键消抖模块
pll_uart.v	锁相环IP
pll_hclk.v	锁相环IP

