



Gowin EDP PHY IP 用户指南

IPUG1043-1.0,2023-10-16

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/10/16	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈.....	2
2 概述	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图.....	5
3.2 结构框图.....	5
3.3 时钟	6
3.3.1 发送时钟	6
3.3.2 接收时钟	6
3.4 数据	6
3.4.1 发送数据	6
3.4.2 接收数据	7
3.5 端口列表	7
3.6 参数配置	9
3.7 时序说明	10
3.7.1 EDP PHY TX 接口时序	10
3.7.2 EDP PHY RX 接口时序	10
4 界面配置	11

5 参考设计 16

 5.1 设计实例一 16

6 文件交付 17

 6.1 文档 17

 6.2 设计源代码（加密） 17

 6.3 参考设计 17

图目录

图 3-1 系统框图.....	5
图 3-2 结构框图.....	5
图 3-3 Gowin EDP PHY IP 端口示意图	7
图 3-4 EDP PHY TX 接口时序示意图	10
图 3-5 EDP PHY RX 接口时序示意图.....	10
图 4-1 打开 IP Core Generator.....	11
图 4-2 打开 Serdes IP 配置界面	12
图 4-3 打开 EDP PHY 配置界面	13
图 4-4 EDP PHY 配置界面示意图	13
图 4-5 基本信息配置界面	14
图 4-6 PHY Configuration 选项卡.....	14
图 4-7 Serdes IP 配置界面显示 EDP PHY IP	15
图 5-1 参考设计实例一基本结构框图.....	16

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin EDP PHY IP	3
表 3-1 Gowin EDP PHY IP 的端口列表	8
表 6-1 文档列表.....	17
表 6-2 EDP PHY IP 设计源代码列表	17
表 6-3 Gowin EDP PHY RefDesign 文件夹内容列表.....	17

1 关于本手册

1.1 手册内容

Gowin EDP PHY IP 用户指南主要包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin EDP PHY IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
VS	Vertical Sync	垂直同步
HS	Horizontal Sync	水平同步
DE	Data Enable	数据使能
VESA	Video Electronics Standards Association	视频电子标准协会
DP	DisplayPort	显示端口
EDP	Embedded DisplayPort	嵌入式显示端口
SerDes	Serializer/Deserializer	串行器/解串器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

DisplayPort（简称 DP）是一个由 PC 及芯片制造商联盟开发，视频电子标准协会（VESA）标准化的数字式视频接口标准。该接口免认证、免授权金，主要用于视频源与显示器等设备的连接，并也支持携带音频、USB 和其他形式的数字数据。

eDP（Embedded DisplayPort）协议是针对 DP（Display Port）应用在嵌入式方向架构和协议的拓展，所以 eDP 协议完全兼容 DP 协议。eDP 多用于做平板，笔记本电脑的液晶显示屏的接口。

Gowin EDP PHY IP 为用户提供了一个 SerDes 物理层访问接口，使用户能够方便地实现 EDP 协议层与物理层的连接。

表 2-1 Gowin EDP PHY IP

Gowin EDP PHY IP	
逻辑资源	请参见 2.3 资源利用。
交付文件	
设计文件	Verilog（encrypted）
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software（V1.9.9 Beta-1 及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 可配置为 1, 2, or 4 lanes
- 支持 8B10B 编解码功能
- 支持 Word Alignment 功能
- Link rate 支持 1.62/2.7/5.4 Gbps/lane

- 支持用户数据位宽 16/32

2.3 资源利用

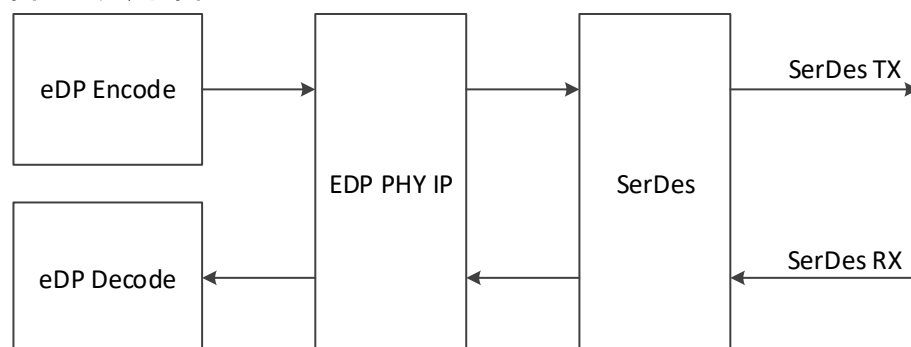
Gowin EDP PHY IP 仅对 SerDes 进行配置，不占用 Fabric 资源。

3 功能描述

3.1 系统框图

Gowin EDP PHY IP 用于将 eDP 编码后的并行数据传递给 SerDes 转成串行数据，以及将 SerDes 接收串行数据后输出的并行数据后传递给 eDP 解码。系统框图如图 3-1 所示。

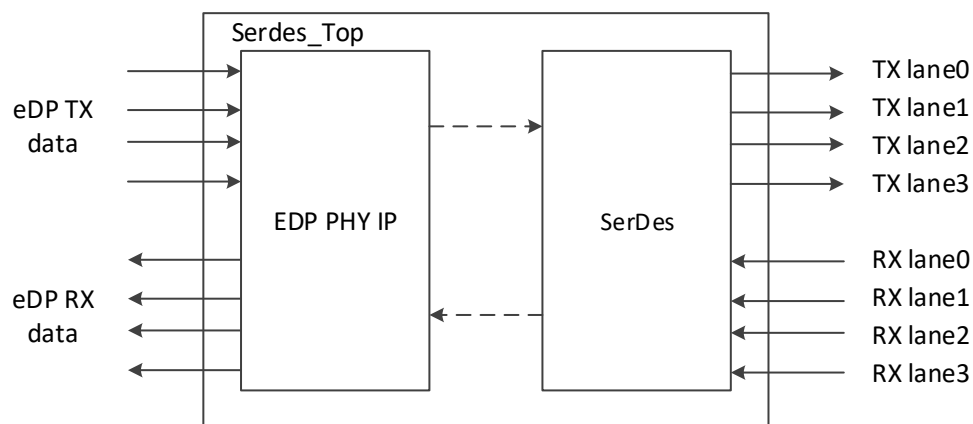
图 3-1 系统框图



3.2 结构框图

Gowin EDP PHY IP 最多支持 4 个通道，每个通道都分为发送端口和接收端口。发送端口接收来自 eDP 发送模块的 K 码信号和数据信号，通过端口映射与 SerDes 发送端口相连。接收端口将 SerDes 接收后的输出端口与 eDP 接收模块的 K 码信号和数据信号端口相连。结构框图如图 3-2 所示。

图 3-2 结构框图



3.3 时钟

3.3.1 发送时钟

发送时钟由 CPLL/QPLL 生成。用户在配置发送通道时，需要配置发送通道的速率、所使用的 PLL（CPLL/QPLL）和参考时钟源及其频率。根据以上配置，IP 配置 SerDes PLL 生成高速时钟，用于数据的发送。同时，SerDes 会根据用户配置，将高速时钟分频输出，作为 Fabric 发送时钟使用。

用户配置发送数据速率为 1.62Gbps，则发送并行数据位宽为 20bits，Fabric 发送时钟为 $1.62\text{Gbps}/20=81\text{MHz}$ 。

用户配置发送数据速率为 2.7Gbps，则发送并行数据位宽为 20bits，Fabric 发送时钟为 $2.7\text{Gbps}/20=135\text{MHz}$ 。

用户配置发送数据速率为 5.4Gbps，则发送并行数据位宽为 40bits，Fabric 发送时钟为 $5.4\text{Gbps}/40=135\text{MHz}$ 。

当使用 2 通道或 4 通道 EDP PHY IP 时，各通道的 fabric_tx_clk_i 请共用其中一个通道的 pcs_tx_clk_o。

3.3.2 接收时钟

用户在配置接收通道时，需要配置接收通道的速率。接收时钟由 CDR 通过数据恢复，CDR 输出恢复后的串行数据时钟供接收模块使用。同时 SerDes 会根据用户配置，把串行数据时钟分频输出，作为 Fabric 接收时钟使用。

用户配置接收数据速率为 1.62Gbps，则接收并行数据位宽为 20bits，Fabric 接收时钟为 $1.62\text{Gbps}/20=81\text{MHz}$ 。

用户配置接收数据速率为 2.7Gbps，则接收并行数据位宽为 20bits，Fabric 接收时钟为 $2.7\text{Gbps}/20=135\text{MHz}$ 。

用户配置接收数据速率为 5.4Gbps，则接收并行数据位宽为 40bits，Fabric 接收时钟为 $5.4\text{Gbps}/40=135\text{MHz}$ 。

当使用 2 通道或 4 通道 EDP PHY IP 时，各通道的 fabric_rx_clk_i 请共用其中一个通道的 pcs_rx_clk_o。

3.4 数据

3.4.1 发送数据

用户配置发送数据速率为 1.62Gbps 或 2.7Gbps，则发送并行数据位宽为 20bits，包含 16bit 数据，2bit K 码和 2bit 无效位。在 IO 端口仅体现数据 txdata[15:0]和 K 码 txk[1:0]接口，txk 低 bit 位与 txdata 低字节对应，txk 高 bit 位与 txdata 高字节对应。

用户配置发送数据速率为 5.4Gbps，则发送并行数据位宽为 40bits，包含 32bit 数据，4bit K 码和 4bit 无效位。在 IO 端口仅体现数据 txdata[31:0]和 K 码 txk[3:0]接口，txk 低 bit 位与 txdata 低字节对应，txk 高 bit 位与 txdata 高字节对应。

SerDes 发送数据传输顺序方面，txdata 低字节 LSB 先传输，每个字节

经 8B10B 后再转换成串行数据低 bit 位 lsb 先传输。

3.4.2 接收数据

用户配置接收数据速率为 1.62Gbps 或 2.7Gbps，则接收并行数据位宽为 20bits，包含 16bit 数据，2bit K 码和 2bit 无效位。在 IO 端口仅体现数据 rxdata[15:0]和 K 码 rxk[1:0]接口，rxk 低 bit 位与 rxdata 低字节对应，rxk 高 bit 位与 rxdata 高字节对应。

用户配置接收数据速率为 5.4Gbps，则接收并行数据位宽为 40bits，包含 32bit 数据，4bit K 码和 4bit 无效位。在 IO 端口仅体现数据 rxdata[31:0]和 K 码 rxk[3:0]接口，rxk 低 bit 位与 txdata 低字节对应，rxk 高 bit 位与 rxdata 高字节对应。

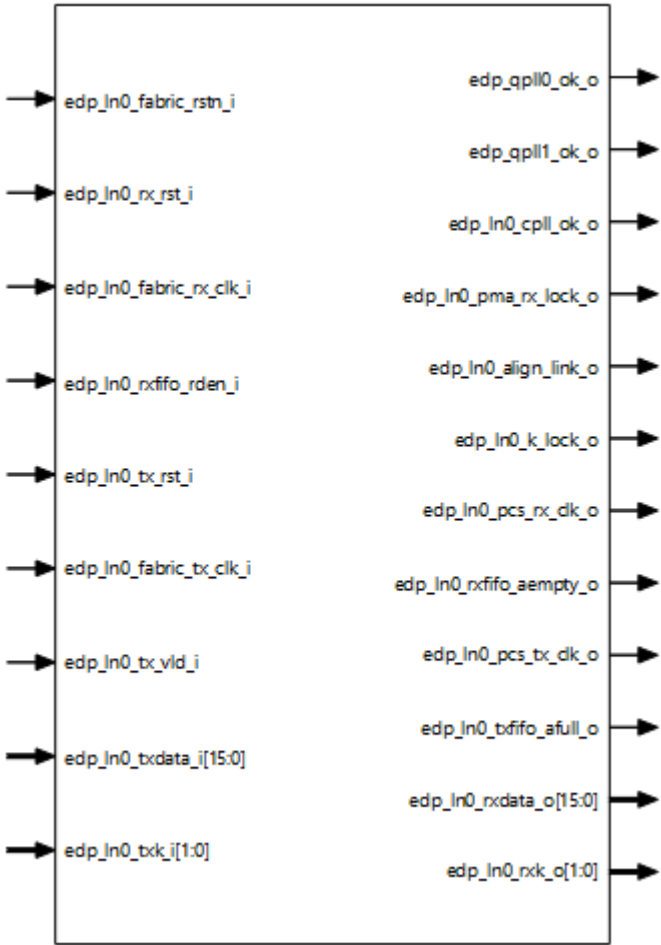
SerDes 接收数据传输顺序方面，rxdata 为经过 8B10B 后的并行数据，低字节 LSB 为先传输数据，每个字节低 bit 位 lsb 为先传输 bit 位。

Word Alignment 模块实现接收数据对齐功能。该模块根据 K 码 K28.5，对齐接收并行数据的边界，使其输出的并行数据与所配置的 K 码一致。

3.5 端口列表

Gowin EDP PHY IP 的 IO 端口如图 3-3 所示。

图 3-3 Gowin EDP PHY IP 端口示意图



根据配置参数不同，端口会略有不同。

Gowin EDP PHY IP 的 IO 端口详细描述如表 3-1 所示。表中以 Lane0 为例，其他 Lane 如果被调用，修改对应端口序号即可。表中只列出用户端口，与 SerDes 相连端口由软件自动连接。

表 3-1 Gowin EDP PHY IP 的端口列表

序号	信号名称	方向	描述	备注
1	edp_qpll0_ok_o	O	QPLL0 有效指示 1: 有效状态 0: 无效状态	所有信号输入输出方向均以 EDP PHY IP 为参考。
2	edp_qpll1_ok_o	O	QPLL1 有效指示 1: 有效状态 0: 无效状态	
3	edp_ln0_cppll_ok_o	O	Lane0 CPLL 有效指示 1: 有效状态 0: 无效状态	
4	edp_ln0_fabric_rstn_i	I	Lane0 fabric 复位输入，低有效	
5	edp_ln0_rx_rst_i	I	Lane0 RX 复位输入，高有效	
6	edp_ln0_pma_rx_lock_o	O	Lane0 RX pma 锁定指示 1: 进入锁定状态 0: 未进入锁定状态	
7	edp_ln0_align_link_o	O	Lane0 接收 word align 模块锁定指示 1: 进入锁定状态 0: 未进入锁定状态	
8	edp_ln0_k_lock_o	O	Lane0 接收 K 码锁定指示 1: 进入锁定状态 0: 未进入锁定状态	
9	edp_ln0_pcs_rx_clk_o	O	Lane0 PCS 接收时钟输出	
10	edp_ln0_fabric_rx_clk_i	I	Lane0 RX Buffer 读时钟，可直接连接 edp_ln0_pcs_rx_clk_o	
11	edp_ln0_rxfifo_aempty_o	O	Lane0 RX Buffer 几乎空指示 1: RX Buffer 几乎空 0: RX Buffer 非几乎空	
12	edp_ln0_rxfifo_rden_i	I	Lane0 RX Buffer 读使能	
13	edp_ln0_tx_rst_i	I	Lane0 TX 复位输入，高有效	
14	edp_ln0_pcs_tx_clk_o	O	Lane0 PCS 发送时钟输出	
15	edp_ln0_fabric_tx_clk_i	I	Lane0 TX Buffer 写时钟，可直接连接 edp_ln0_pcs_tx_clk_o	
16	edp_ln0_txfifo_afull_o	O	Lane0 TX Buffer 几乎满指示 1: TX Buffer 几乎满 0: TX Buffer 非几乎满	
17	edp_ln0_tx_vld_i	I	Lane0 TX Buffer 写使能	

序号	信号名称	方向	描述	备注
18	edp_ln0_rxdata_o	O	EDP 解码数据	
19	edp_ln0_rxk_o	O	EDP 解码 K 码	
20	edp_ln0_txdata_i	I	EDP 编码数据	
21	edp_ln0_txk_i	I	EDP 编码 K 码	

3.6 参数配置

表 3-2 Gowin EDP PHY IP 参数

序号	参数名称	允许范围	默认值	描述
1	Quad Selection	Q0/Q1	Q0	SerDes Quad 选择
2	PHY Lane0	Yes/No	No	SerDes 通道 0 选择
3	PHY Lane1	Yes/No	No	SerDes 通道 1 选择
4	PHY Lane2	Yes/No	No	SerDes 通道 2 选择
5	PHY Lane3	Yes/No	No	SerDes 通道 3 选择
6	Loopback Mode	OFF/LB_NES/LB_FES/LB_EN C	OFF	Lane 回环模式选择
7	Line Rate	1.62/2.7/5.4Gbps	1.62	串行速率
8	Reference Clock Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	Q0 REFCLK0	选择参考时钟源
9	Reference Clock Frequency	50-500MHz	135	配置参考时钟频率
10	PLL Selection	CPLL QPLL0 QPLL1	CPLL	选择 PLL

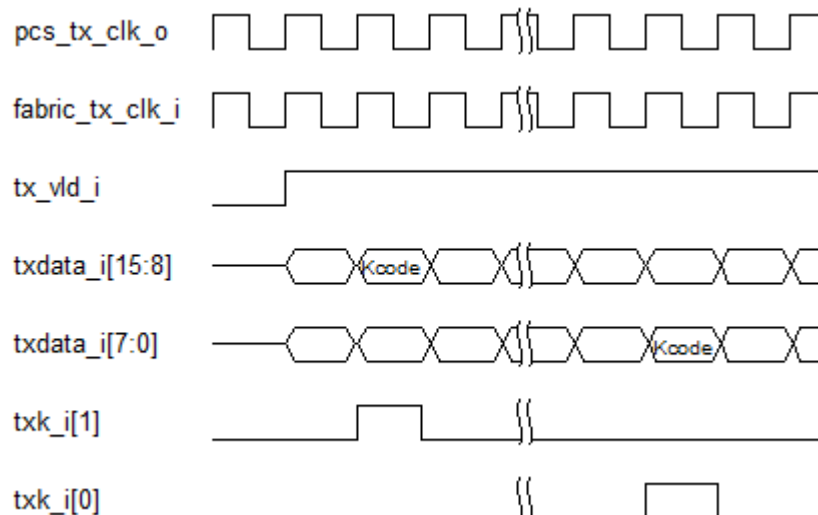
3.7 时序说明

本节介绍 Gowin EDP PHY IP 的时序情况。

3.7.1 EDP PHY TX 接口时序

EDP PHY TX 接口时序图如图 3-4 所示。

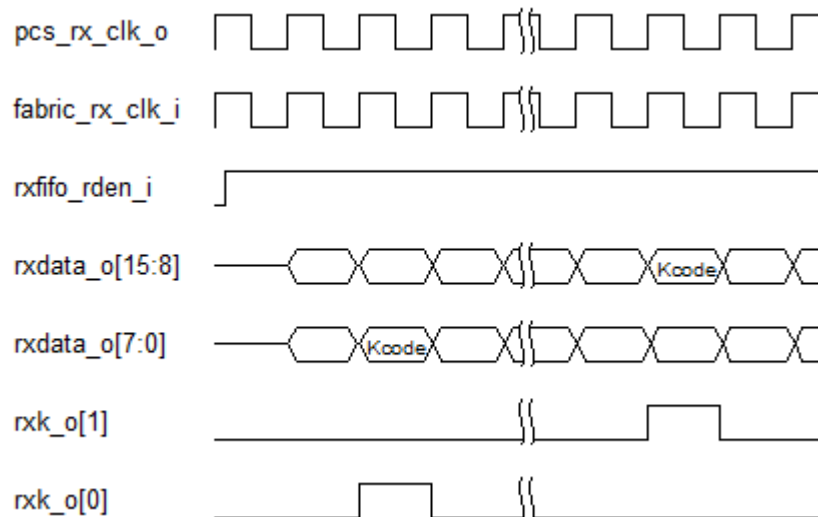
图 3-4 EDP PHY TX 接口时序示意图



3.7.2 EDP PHY RX 接口时序

EDP PHY RX 接口时序示意图如图 3-5 所示。

图 3-5 EDP PHY RX 接口时序示意图



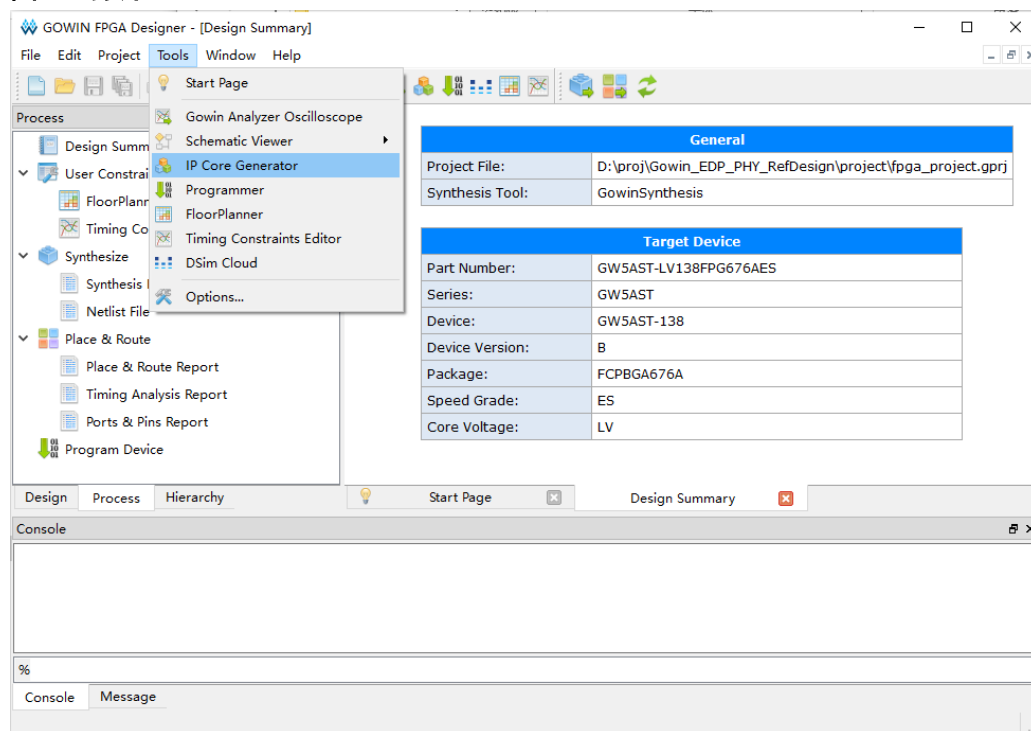
4 界面配置

用户可在高云半导体云源®软件中的 IP 内核生成器工具调用和配置高云 EDP PHY IP。

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

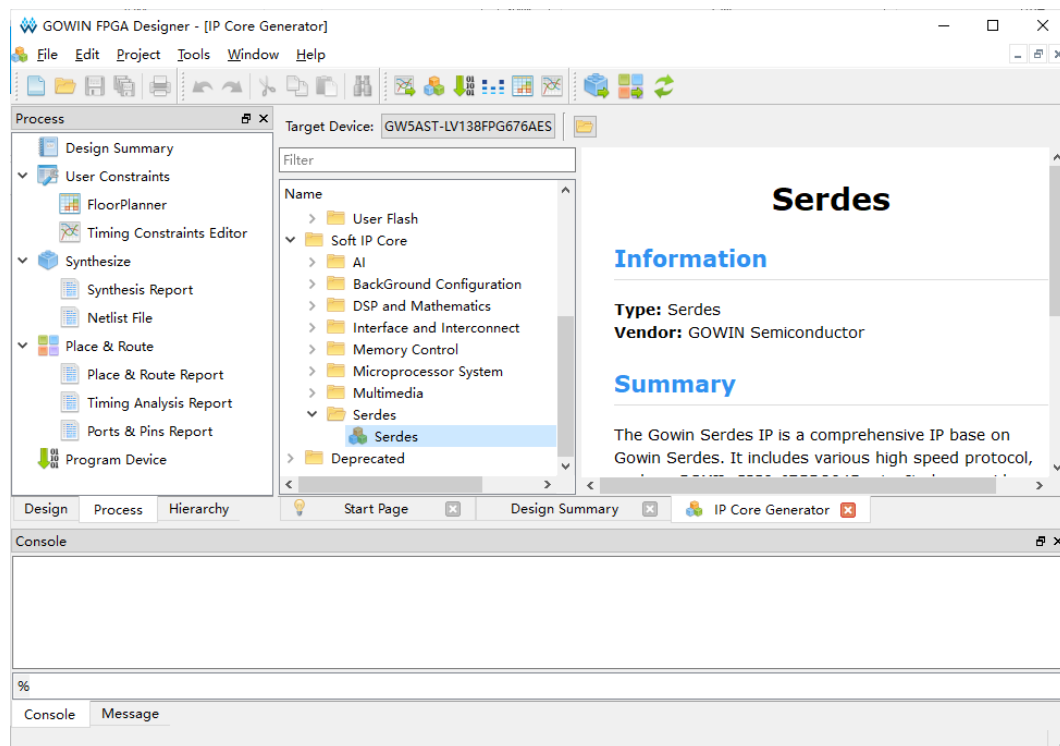
图 4-1 打开 IP Core Generator



2. 打开 Serdes IP 配置界面

双击“Serdes”，打开 Serdes IP 核的配置界面，如图 4-2 所示。

图 4-2 打开 Serdes IP 配置界面



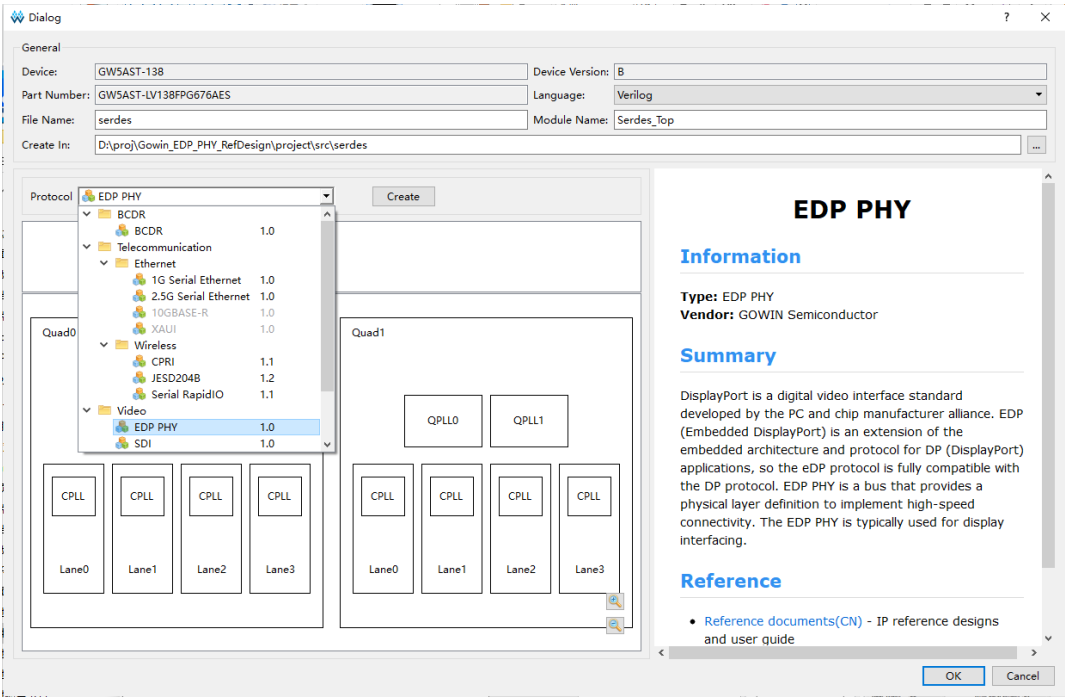
3. 打开 EDP PHY 配置界面

在 Serdes IP 界面中首先配置“General”选项组：

- **Device、Device Version、Part Number** 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- **Language** 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- **File Name、Module Name、Create In** 选项：Serdes 的文件名、模块名和文件生成路径设置。

然后在 Serdes IP 配置界面的“Protocol”选项中选择“EDP PHY”选项，然后单击 **Create** 按钮，如图 4-4 所示。

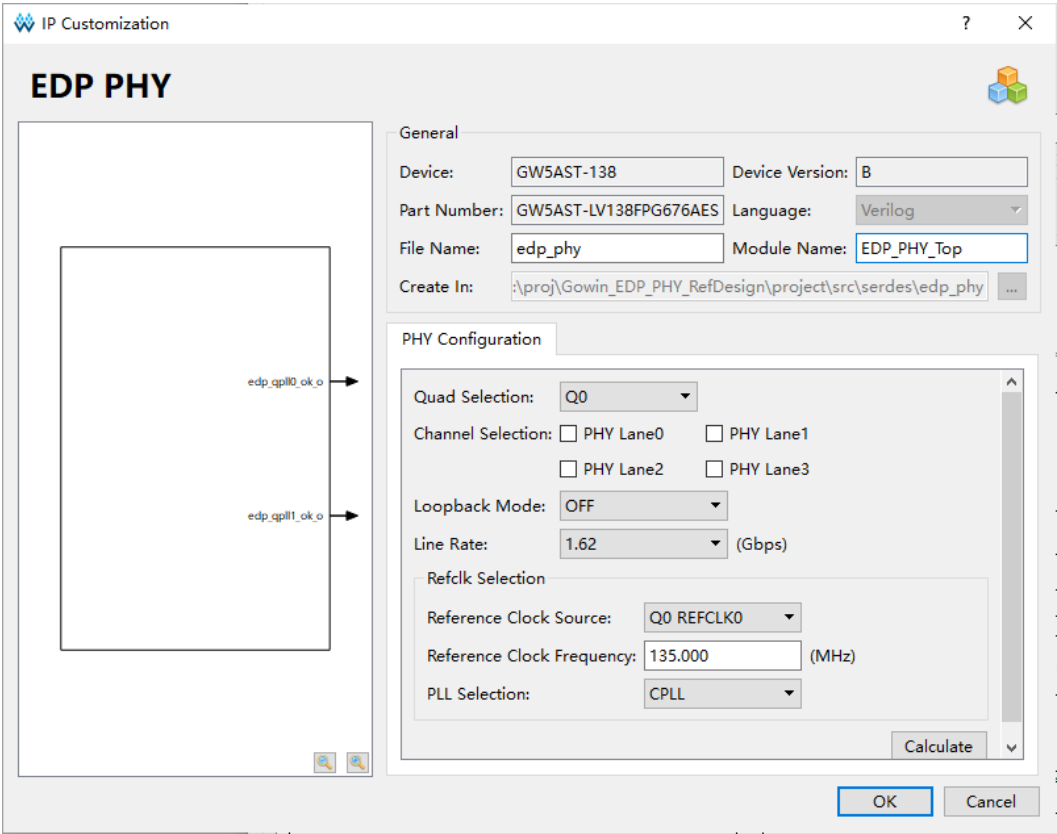
图 4-3 打开 EDP PHY 配置界面



4.EDP PHY 配置界面

配置界面示意图，如图 4-44 所示。配置界面左侧是 EDP PHY IP 的接口示意图，右侧是 EDP PHY IP 参数配置选项

图 4-4 EDP PHY 配置界面示意图



配置基本信息，如图 4-5 所示。

在配置界面的上部分是工程基本信息配置界面。Module Name 选项后面是工程产生顶层模块的名字，默认为“EDP_PHY_Top”，用户可自行修改。“File Name”是 IP 文件产生的文件夹，存放 EDP PHY IP 所需文件，默认为“edp_phy”，用户可自行修改路径。

图 4-5 基本信息配置界面

General

Device:	GW5AST-138	Device Version:	B
Part Number:	GW5AST-LV138FPG676AES	Language:	Verilog
File Name:	edp_phy	Module Name:	EDP_PHY_Top
Create In:	:\proj\Gowin_EDP_PHY_RefDesign\project\src\serdes\edp_phy ...		

配置 PHY Configuration 选项卡，如图 4-6 所示。

线速率和参考时钟之间有限制关系，务必要确定该参考时钟能够生成上述线速率，也可通过“Calculate”按钮进行检测。

图 4-6 PHY Configuration 选项卡

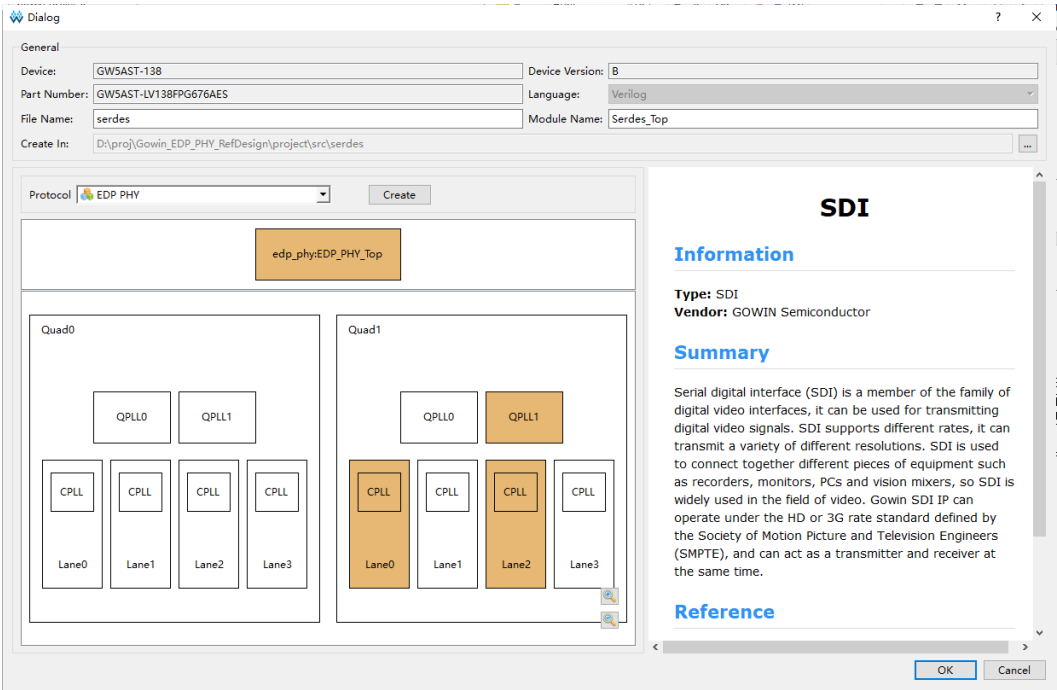
PHY Configuration

Quad Selection:	Q0
Channel Selection:	☐ PHY Lane0 ☐ PHY Lane1 ☐ PHY Lane2 ☐ PHY Lane3
Loopback Mode:	OFF
Line Rate:	1.62 (Gbps)
Refclk Selection	
Reference Clock Source:	Q0 REFCLK0
Reference Clock Frequency:	135.000 (MHz)
PLL Selection:	CPLL
Calculate	

5.生成 IP

完成 EDP PHY IP 界面配置后，单击界面右下角的“OK”按钮，可生成 EDP PHY IP 相关文件，并返回到 Serdes IP 配置界面，此时 Serdes IP 配置界面中显示当前已经生成的 EDP PHY IP 及对应的 Quad、PLL 和 Lane 使用情况，如所图 4-7 所示。

图 4-7 Serdes IP 配置界面显示 EDP PHY IP



然后，单击界面右下角的“OK”按钮，可生成 Serdes IP 相关文件，完成整个 EDP PHY IP 的生成过程。

5 参考设计

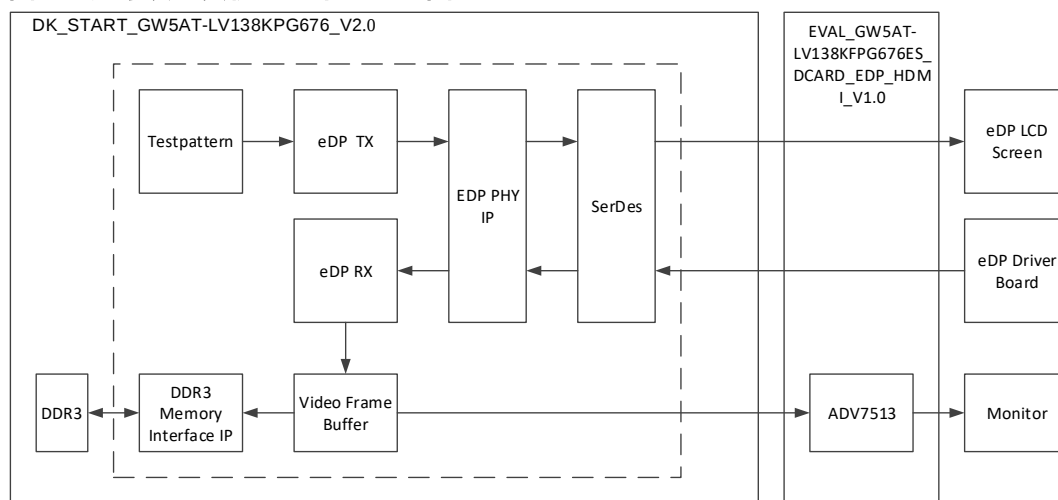
本节主要介绍 EDP PHY IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 EDP PHY 相关参考设计。

5.1 设计实例一

本参考设计以 DK_START_GW5AT-LV138KPG676_V2.0 开发板为例，参考设计基本结构框图如图 5-1 所示。

DK_START_GW5AT-LV138KPG676_V2.0 开发板相关信息参考官方网站。

图 5-1 参考设计实例一基本结构框图



在参考设计中，通过 Testpattern 模块产生测试图视频信号，经过 eDP TX 模块编码，输入到 EDP PHY IP 转成串行信号输出到 eDP 液晶屏显示。另外，由 eDP 驱动板输出的 eDP 信号经过 EDP PHY IP 接收转成并行信号，通过 eDP RX 模块解码，经过 DDR3 缓存后，再转成 VESA 并行数据输出到显示器显示。

6 文件交付

Gowin EDP PHY IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1043, Gowin EDP PHY IP 用户指南	高云 EDP PHY IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin EDP PHY IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 EDP PHY IP 设计源代码列表

名称	描述
edp_phy.v	EDP PHY IP 文件，加密。
serdes.v	SerDes 所有相关 IP 顶层文件，给用户接口提供信息。

6.3 参考设计

Gowin EDP PHY RefDesign 文件夹主要包含 Gowin EDP PHY IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin EDP PHY RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module
serdes	EDP PHY IP 文件夹
testpattern.v	测试图产生模块
adv7513_iic_init.v	ADV7513 初始化配置模块
key_debounceN.v	按键消抖模块
fpga_project.cst	工程物理约束文件

名称	描述
fpga_project.sdc	工程时序约束文件
video_frame_buffer	Video Frame Buffer IP 文件夹
ddr3_memory_interface	DDR3 Memory Interface IP 文件夹
i2c_master	I2C Master IP 文件夹
gowin_pll	PLL IP 文件夹
syn_code	同步时序产生模块文件夹
aux_train	辅助通道和训练模块文件夹
edprx	EDP 接收模块文件夹
edptx	EDP 发送模块文件夹

