



Gowin FP Add Sub IP 用户指南

IPUG1044-1.0, 2023-10-13

版权所有©2023 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2023/10/13	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 FP Add Sub 介绍	3
3 特征与性能	4
3.1 主要特征	4
3.2 最大频率	4
3.3 延迟 Latency	4
3.4 资源利用	4
4 功能描述	5
4.1 FP Add Sub 结构与功能	5
4.2 功能模式选择	5
5 端口描述	6
5.1 FP Add Sub 端口	6
6 时序说明	7
6.1 FP Add Sub 信号时序	7
7 GUI 配置说明	8
7.1 IP 调用说明	8
7.2 配置界面	9
8 参考设计	10

图目录

图 4-1 FP Add Sub 的接口实现.....	5
图 6-1 FP Add Sub 信号时序.....	7
图 7-1 工具栏图标打开 IP 配置界面	8
图 7-2 FP Add Sub IP 配置界面	9

表目录

表 1-1 术语、缩略语.....	2
表 2-1 FP Add Sub IP	3
表 3-1 FP Add Sub 占用资源	4
表 5-1 FP Add Sub 的 IO 端口列表.....	6

1 关于本手册

1.1 手册内容

Gowin FP Add Sub IP 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin FP Add Sub IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS100](#), GW1N 系列 FPGA 产品数据手册
2. [DS117](#), GW1NR 系列 FPGA 产品数据手册
3. [DS821](#), GW1NS 系列 FPGA 产品数据手册
4. [DS871](#), GW1NSE 系列 FPGA 产品数据手册
5. [DS881](#), GW1NSER 系列 FPGA 产品数据手册
6. [DS861](#), GW1NSR 系列 FPGA 产品数据手册
7. [DS102](#), GW2A 系列 FPGA 产品数据手册
8. [DS226](#), GW2AR 系列 FPGA 产品数据手册
9. [DS971](#), GW2AN 系列 FPGA 产品数据手册
10. [DS961](#), GW2ANR 系列 FPGA 产品数据手册
11. [SUG100](#), Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
Register	Register	寄存器
ALU	Arithmetic Logical Unit	算术逻辑单元
LUT	Look-up Table	查找表

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin FP Add Sub IP 旨在使用较少的逻辑资源完成整数加减法的运算。

表 2-1 FP Add Sub IP

FP Add Sub IP	
IP 核应用	
逻辑资源	请参见表 3-1 FP Add Sub 占用资源。
交付文件	
设计文件	Verilog
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software

2.1 FP Add Sub 介绍

FP Add Sub 高云整数加法减法器 IP 支持两个单精度浮点数的加法或减法运算。该 IP 支持可选的输出端口，如零、溢出、下溢和非数值。

3 特征与性能

3.1 主要特征

- 可选择加法或减法运算；
- 可选的输出端口，例如零、溢出、下溢和 nan；

3.2 最大频率

FP Add Sub IP 的最大频率主要根据所选器件的速度等级（speed grade of the devices）确定。

3.3 延迟 Latency

FP Add Sub IP 输出延迟主要由配置参数来确定。

3.4 资源利用

通过 Verilog 语言实现 FP Add Sub。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW2A-55 系列 FPGA 为例，FP Add Sub 资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 FP Add Sub 占用资源

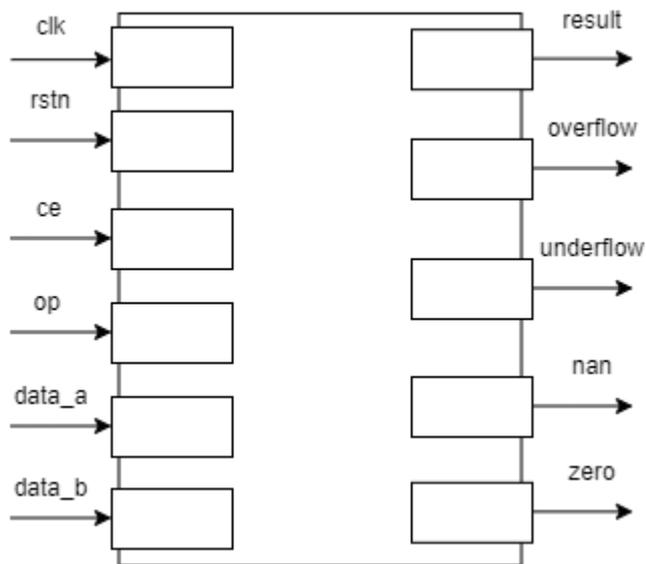
器件系列	速度等级	资源名称	资源利用
GW2A-55	C8/I7	Registers	722
		LUTs	1816
		ALUs	141
		I/O Buf	102

4 功能描述

4.1 FP Add Sub 结构与功能

高云 FP Add Sub IP 可实现两个单精度浮点数的加减法运算，用户生成该模块时可根据需求自行配置参数。其结构框图如图 4-1 所示。

图 4-1 FP Add Sub 的接口实现



4.2 功能模式选择

可以通过 GUI 界面选择三种模式，加法，减法或增加加减选择端口。

5 端口描述

5.1 FP Add Sub 端口

有关 FP Add Sub 的 IO 端口详情，如表 5-1 所示。接口框图如图 4-1 所示。

表 5-1 FP Add Sub 的 IO 端口列表

信号	方向	描述
clk	input	时钟信号
rstn	input	复位信号（低电平有效）
ce	input	时钟使能信号（高电平有效）（可选）
op	input	选择做加或减法（可选）
data_a	input	输入 a
data_b	input	输入 b
overflow	Output	溢出（可选）
underflow	Output	下溢（可选）
nan	Output	非数字（可选）
zero	Output	零（可选）
result	Output	输出结果

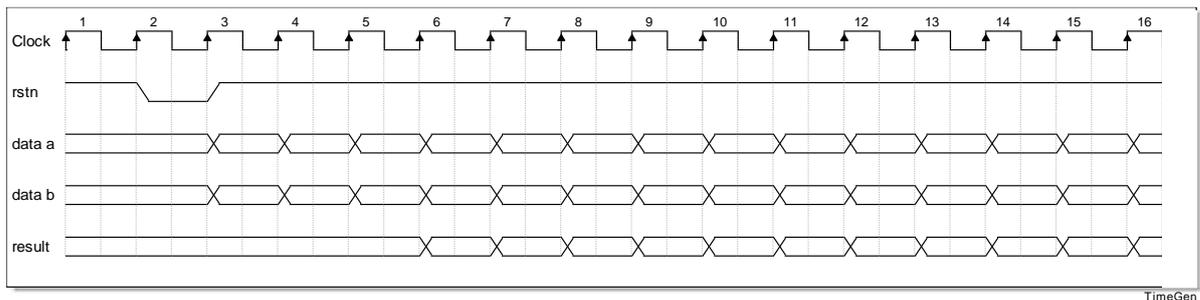
6 时序说明

本章旨在介绍 FP Add Sub IP 的时序情况。

6.1 FP Add Sub 信号时序

FP Add Sub 信号时序图如图 6-1 所示。

图 6-1 FP Add Sub 信号时序



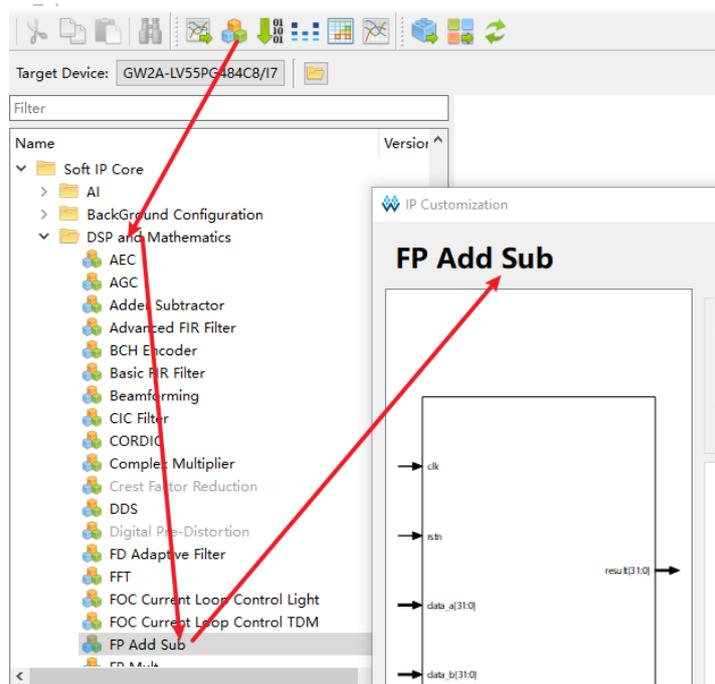
如图所示，输入数据之后 3 个时钟输出相加或相减的结果。

7 GUI 配置说明

7.1 IP 调用说明

在高云云源软件界面菜单栏 **Tools** 下，可启动 **IP Core Generator** 工具，在 **DSP and Mathematics** 分类下，可以找到 **FP Add Sub** 完成调用与配置；也可使用工具栏图标,如图 7-1 所示。

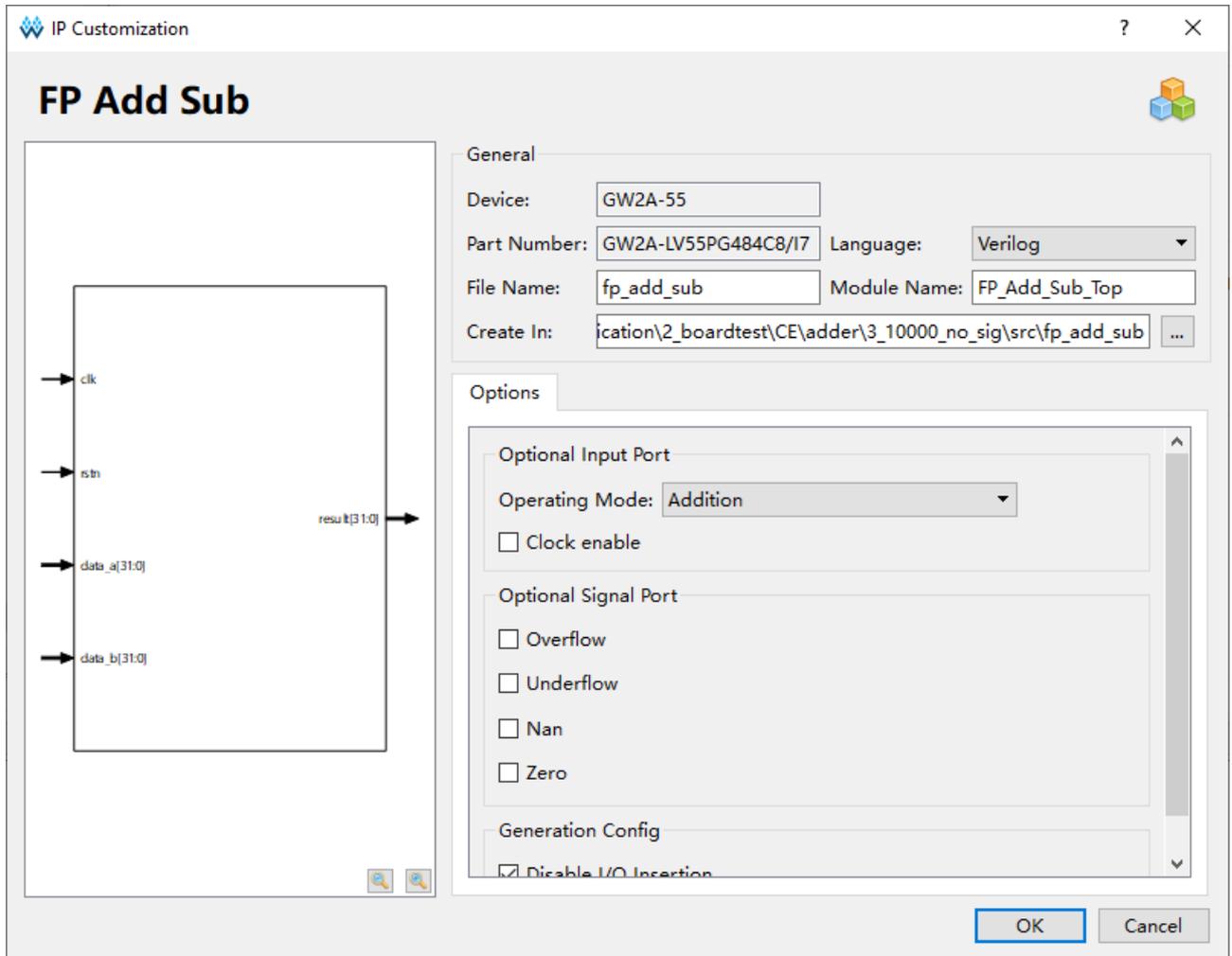
图 7-1 工具栏图标打开 IP 配置界面



7.2 配置界面

FP Add Sub IP 配置界面如图 7-2 所示。

图 7-2 FP Add Sub IP 配置界面



本手册芯片选择 GW2A-55，型号选择 GW2A-LV55PG484C8/I7 为例。

- Create In 选项是 IP 核文件夹产生路径，用户可自行修改。
- File Name 选项是配置产生的 IP 文件名称，用户可自行修改。
- Module Name 选项是配置产生的 IP 模块名称，用户可自行修改。

8 参考设计

Gowin FP Add Sub IP 参考设计，请参考 RefDesign 内相关测试案例。

