



# Gowin Adder Subtractor IP 用户指南

IPUG1046-1.0,2023-10-13

## **版权所有©2023 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2023/10/13	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	2
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 Adder Subtractor 介绍 .....	3
<b>3 特征与性能 .....</b>	<b>4</b>
3.1 主要特征 .....	4
3.2 最大频率 .....	4
3.3 延迟 Latency .....	4
3.4 资源利用 .....	5
<b>4 功能描述 .....</b>	<b>6</b>
4.1 Adder Subtractor 结构与功能 .....	6
4.2 数据设置 .....	6
4.3 功能模式选择 .....	6
<b>5 端口描述 .....</b>	<b>7</b>
5.1 Adder Subtractor 端口 .....	7
<b>6 时序说明 .....</b>	<b>8</b>
6.1 Adder Subtractor 信号时序 .....	8
<b>7 GUI 配置说明 .....</b>	<b>9</b>
7.1 IP 调用说明 .....	9
7.2 配置界面 .....	10
<b>8 参考设计 .....</b>	<b>11</b>

## 图目录

图 4-1 Adder Subtractor 的接口实现 .....	6
图 6-1 Adder Subtractor 信号时序 .....	8
图 7-1 工具栏图标打开 IP 配置界面 .....	9
图 7-2 Adder Subtractor IP 配置界面 .....	10

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 Adder Subtractor IP .....	3
表 3-1 Adder Subtractor 占用资源 .....	5
表 5-1 Adder Subtractor 的 IO 端口列表 .....	7

# 1 关于本手册

## 1.1 手册内容

Gowin Adder Subtractor IP 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin Adder Subtractor IP 的产品特性、特点及使用方法。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. [DS100](#), GW1N 系列 FPGA 产品数据手册
2. [DS117](#), GW1NR 系列 FPGA 产品数据手册
3. [DS821](#), GW1NS 系列 FPGA 产品数据手册
4. [DS871](#), GW1NSE 系列 FPGA 产品数据手册
5. [DS881](#), GW1NSER 系列 FPGA 产品数据手册
6. [DS861](#), GW1NSR 系列 FPGA 产品数据手册
7. [DS102](#), GW2A 系列 FPGA 产品数据手册
8. [DS226](#), GW2AR 系列 FPGA 产品数据手册
9. [DS971](#), GW2AN 系列 FPGA 产品数据手册
10. [DS961](#), GW2ANR 系列 FPGA 产品数据手册
11. [SUG100](#), Gowin 云源软件用户指南

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
Register	Register	寄存器
ALU	Arithmetic Logical Unit	算术逻辑单元
LUT	Look-up Table	查找表

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391



# 2 概述

Gowin Adder Subtractor IP 旨在使用较少的逻辑资源完成整数加减法的运算。

**表 2-1 Adder Subtractor IP**

Adder Subtractor IP	
IP 核应用	
逻辑资源	请参见表 3-1 Adder Subtractor 占用资源。
交付文件	
设计文件	Verilog
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software

## 2.1 Adder Subtractor 介绍

Adder Subtractor 高云整数加法减法器 IP 可以实现带符号整数、无符号整数间的加减法运算。

# 3 特征与性能

## 3.1 主要特征

- 可实现有、无符号整数的加减法运算；
- 输入数据位宽支持 2-96bits；
- 支持输入和输出进位；
- 可选择输出延迟。

## 3.2 最大频率

Adder Subtractor IP 的最大频率主要根据所选器件的速度等级确定。

## 3.3 延迟 Latency

Adder Subtractor IP 输出延迟主要由配置参数来确定。

## 3.4 资源利用

通过 Verilog 语言实现 Adder Subtractor。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW2A-55 系列 FPGA 为例，Adder Subtractor 资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

**表 3-1 Adder Subtractor 占用资源**

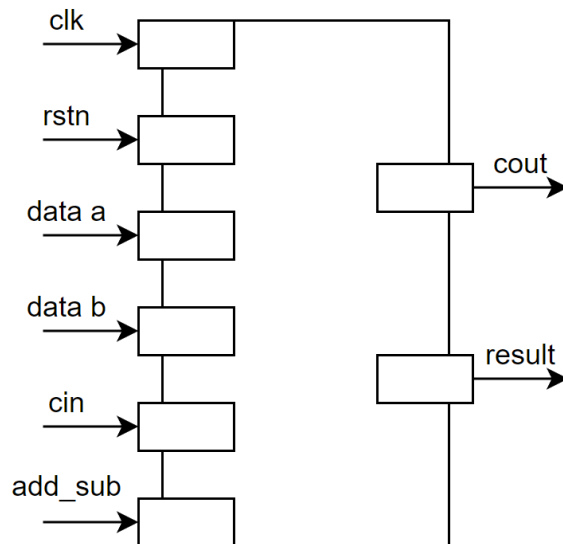
器件系列	速度等级	资源名称	资源利用
GW2A-55	C8/I7	Registers	746
		LUTs	24
		ALUs	5609
		I/O Buf	296

# 4 功能描述

## 4.1 Adder Subtractor 结构与功能

高云 Adder Subtractor IP 可实现有、无符号整数的加减法运算，用户生成该模块时可根据需求自行配置参数。其结构框图如图 4-1 所示。

图 4-1 Adder Subtractor 的接口实现



## 4.2 数据设置

可以通过 GUI 界面选择输入数据为有符号（SIGNED）或无符号（UNSIGNED）。且可分别配置输入数据的位宽，最大位宽 96 位，最小位宽 2 位。

## 4.3 功能模式选择

可以通过 GUI 界面选择三种模式，加法，减法或增加加减选择端口。

# 5 端口描述

## 5.1 Adder Subtractor 端口

有关 Adder Subtractor 的 IO 端口详情，如表 5-1 所示。接口框图如图 4-1 所示。

表 5-1 Adder Subtractor 的 IO 端口列表

信号	方向	描述
clk	Input	时钟信号（可选）
rstn	Input	复位信号（低电平有效）（可选）
data_a	Input	输入 a
data_b	Input	输入 b
cin	Input	输入进位（可选）
add_sub	Input	选择做加或减法（可选）
cout	Output	输出进位（可选）
result	Output	输出数据

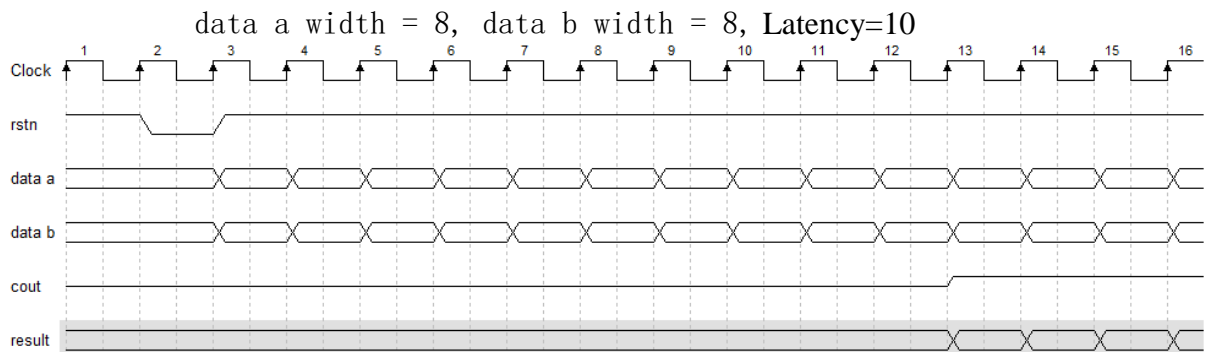
# 6 时序说明

本章旨在介绍 Adder Subtractor IP 的时序情况。

## 6.1 Adder Subtractor 信号时序

Adder Subtractor 信号时序图如图 6-1 所示。

图 6-1 Adder Subtractor 信号时序



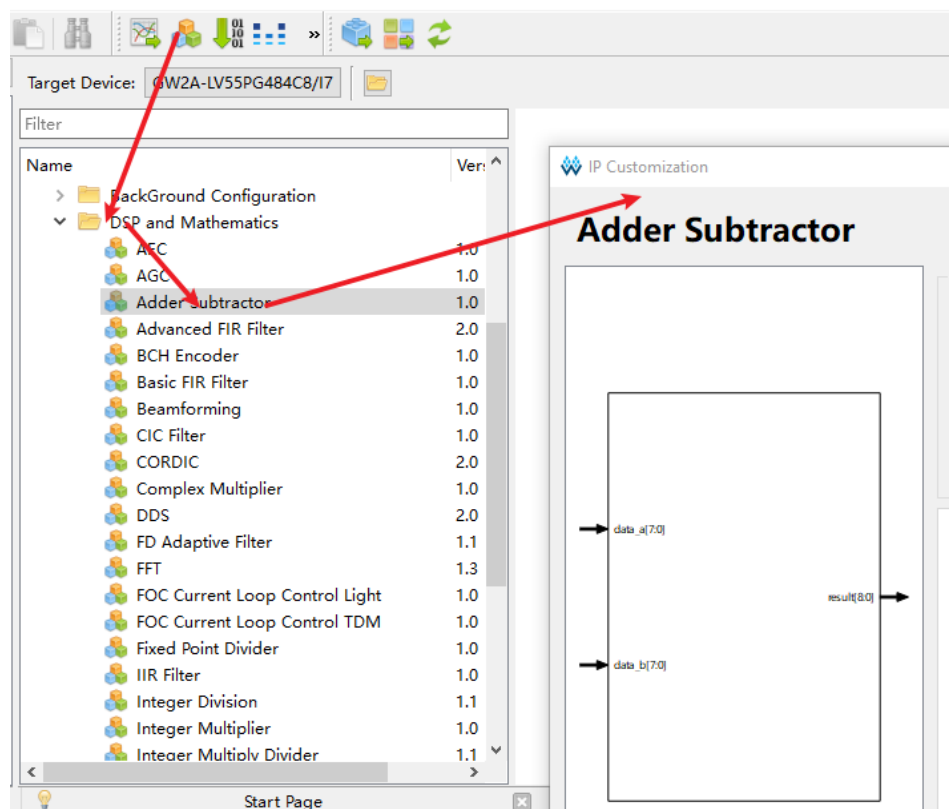
如图所示，当延迟设置为 10 时，10 个时钟后输出第一个输入数据相加或相减的结果。

# 7 GUI 配置说明

## 7.1 IP 调用说明

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，在 DSP and Mathematics 分类下，可以找到 Adder Subtractor 完成调用与配置；也可使用工具栏图标,如图 7-1 所示。

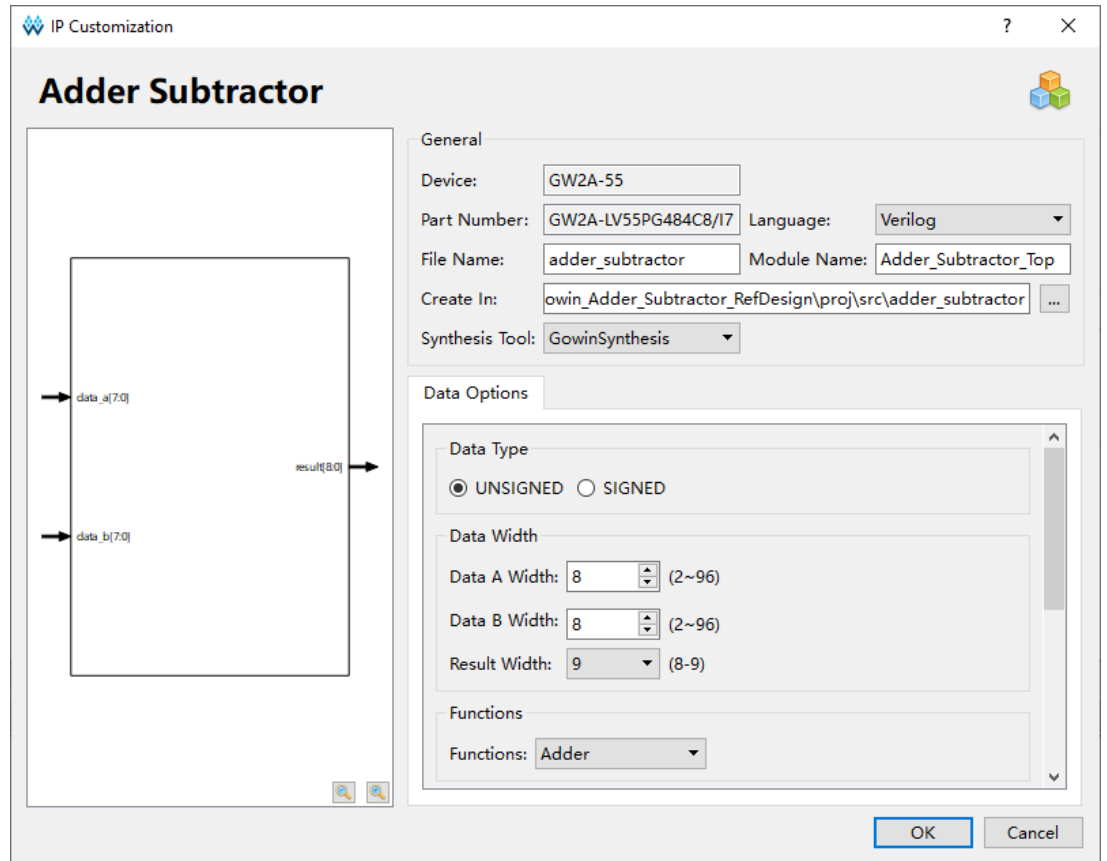
图 7-1 工具栏图标打开 IP 配置界面



## 7.2 配置界面

Adder Subtractor IP 配置界面如图 7-2 所示。

图 7-2 Adder Subtractor IP 配置界面



本手册芯片选择 GW2A-55，型号选择 GW2A-LV55PG484C8/I7 为例。

- Create In 选项是 IP 核文件夹产生路径，用户可自行修改。
- File Name 选项是配置产生的 IP 文件名称，用户可自行修改。
- Module Name 选项是配置产生的 IP 模块名称，用户可自行修改。



# 8 参考设计

Gowin Adder Subtractor IP 参考设计，请参考 RefDesign 内相关测试案例。

