




Gowin Reed-Solomon Decoder IP

用户指南

IPUG1081-1.0,2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/02/02	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 Gowin Reed-Solomon Decoder IP 介绍	3
2.2 主要特征	3
2.3 最大频率	4
2.4 延时周期	4
2.5 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 算法简介	5
4 端口描述	7
5 时序说明	9
6 界面配置	10
7 参考设计	12
8 文件交付	13
8.1 文档	13
8.2 参考设计	13

图目录

图 3-1 Gowin Reed-Solomon Decoder IP 系统框图.....	5
图 3-2 Reed-Solomon Decoder 核心架构	6
图 4-1 Gowin Reed-Solomon Decoder IP 的 IO 端口图示	7
图 5-1 Gowin Reed-Solomon Decoder IP 时序图	9
图 6-1 工具栏图标打开 IP 配置界面.....	10
图 6-2 Gowin Reed-Solomon Decoder IP 配置页面.....	11

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin Reed-Solomon Decoder IP	3
表 2-2 资源利用情况 (GW2A-55 C8/I7)	4
表 4-1 Gowin Reed-Solomon Decoder IP 的 IO 端口列表	7
表 6-1 Gowin Reed-Solomon Decoder IP 配置选项.....	11
表 8-1 文档列表	13
表 8-2 Ref. Design 文件夹内容列表	13

1 关于本手册

1.1 手册内容

Gowin® Reed-Solomon Decoder IP 用户指南主要内容包括功能描述、端口描述、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin Reed-Solomon Decoder IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9.01 (64-bit)版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云®半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS891, GW1NSE 系列安全 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X &9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编辑门阵列
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DSP	Digital Signal Processing	数字信号处理
ECC	Error Checking and Correction	差错控制
IP	Intellectual Property	知识产权
SRAM	Static Random Access Memory	静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

2 概述

2.1 Gowin Reed-Solomon Decoder IP 介绍

Gowin Reed-Solomon Decoder IP 是基于 Reed-Solomon 原理的解码器，可利用本原多项式对输入信息进行解码。该 IP 可以用于数据校验及纠错。

表 2-1 Gowin Reed-Solomon Decoder IP

Gowin Reed-Solomon Decoder IP	
IP核应用	
逻辑资源	请参见表2-2
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9.01及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 可配置输入输出数据位宽
- 可配置总字符数位宽
- 可配置信息位位宽
- 可配置伽罗华域

2.3 最大频率

Gowin Reed-Solomon Decoder IP 的最大频率主要根据所用器件的速度等级（speed grade of the devices）以及配置参数决定确定。例如使用 GW2A-55 系列器件时，系统时钟最大频率可达 120MHz。

2.4 延时周期

Gowin Reed-Solomon Decoder IP 的延时周期通常取决于编码字长度和信息位长度。

2.5 资源利用

Gowin Reed-Solomon Decoder IP 的资源利用情况主要由编码字长度和信息位长度等配置情况决定。使用不同器件时，其资源利用情况可能不同。

以下以 GW2A-55 系列 FPGA 为例，在不同配置下，Gowin Reed-Solomon Decoder IP 资源利用情况如下表 2-2 所示。

表 2-2 资源利用情况（GW2A-55 C8/I7）

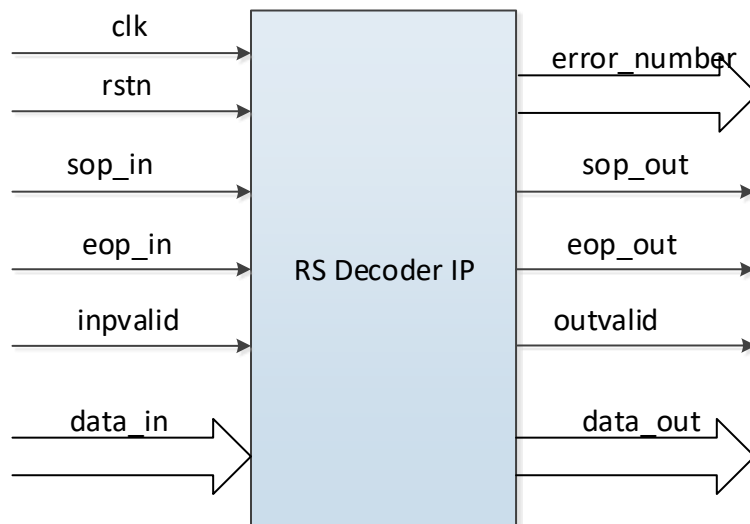
Bits	Codeword Length	Message Length	LOGICS	REGS	CLS
8	32	28	1502	587	905

3 功能描述

3.1 系统框图

在 Gowin Reed-Solomon Decoder IP 中，根据输入数据运算校验码后进行输出，系统框图如图 3-1 所示。

图 3-1 Gowin Reed-Solomon Decoder IP 系统框图



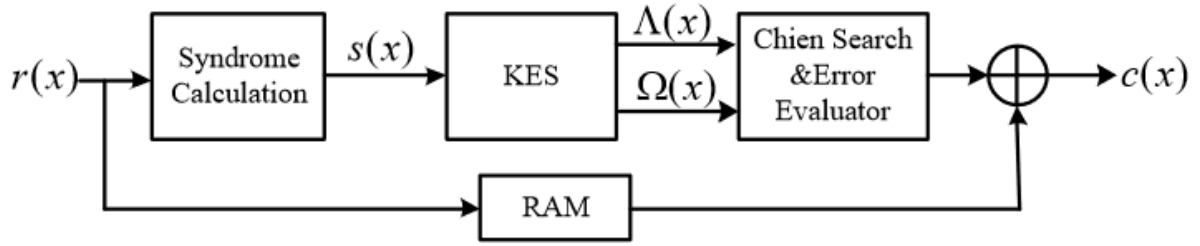
3.2 算法简介

Reed-Solomon Code 是非二进制的 BCH 码。一直以来，因 RS 码结构简单，译码延迟较短，结构特性丰富，纠错能力强，能纠正随机错误和突发错误，特别适合于存在突发错误的信道，在差错控制编码领域占有举足轻重的地位。RS 码被广泛应用于数字存储、深空通信、光纤通信等领域。

RS 码解码算法可以用基于关键方程求解的方法来实现，由校验子计算、关键方程求解、错误纠正三部分组成。

下图为 Reed-Solomon Decoder 实现框图。

图 3-2 Reed-Solomon Decoder 核心架构



4 端口描述

有关 Gowin Reed-Solomon Decoder IP 的 IO 端口如图 4-1 所示，详情如表 4-1 所示

图 4-1 Gowin Reed-Solomon Decoder IP 的 IO 端口图示

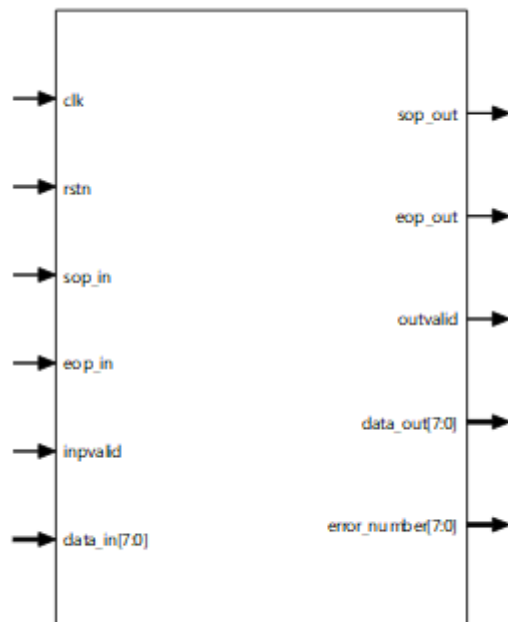


表 4-1 Gowin Reed-Solomon Decoder IP 的 IO 端口列表

信号	方向	位宽	描述
clk	I	1	输入时钟信号
rstn	I	1	复位信号，低电平有效
sop_in	I	1	输入数据起始信号
eop_in	I	1	输入数据结束信号
inpvaid	I	1	输入数据有效信号
data_din	I	可变	输入数据信号
sop_out	O	1	输出数据起始信号
eop_out	O	1	输出数据结束信号

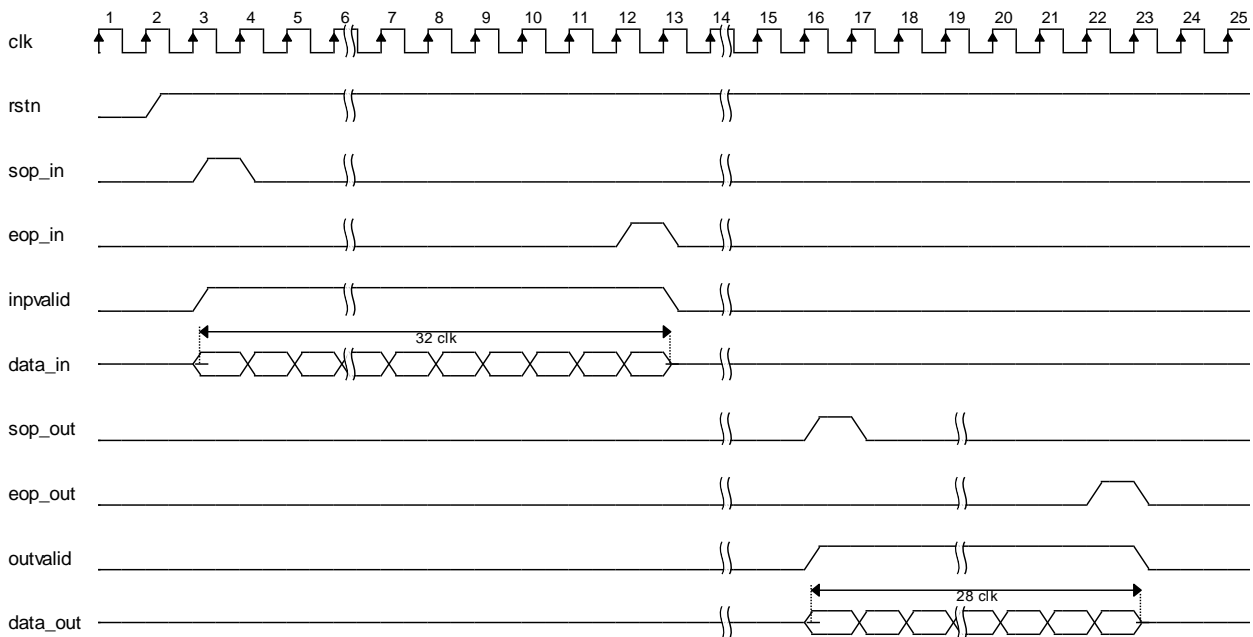
信号	方向	位宽	描述
outvalid	O	1	输出有效信号，高电平时表示此时输出信号为有效值
data_out	O	可变	输出数据信号
error_number	O	可变	输出错误位数

5 时序说明

本章主要介绍 Gowin Reed-Solomon Decoder IP 的时序情况。

在默认配置下,输入有效数据周期为 32,输出有效数据周期为 28,Gowin Reed-Solomon Decoder IP 运算后数据会将延时 92 个时钟周期输出。IP 时序如图 5-1 所示。

图 5-1 Gowin Reed-Solomon Decoder IP 时序图

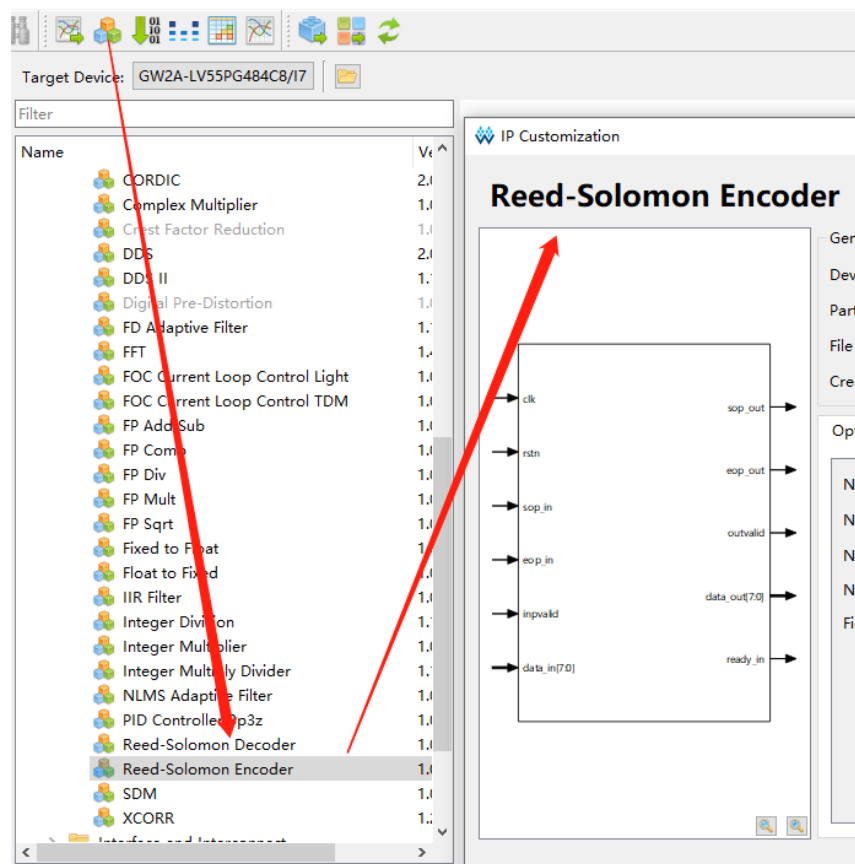


如图 5-1 所示,在数据进入 IP 时,在进入的第一个周期需要拉高 sop_in 信号,最后一个周期拉高 eop_in 信号,其余时间保持低电平。invald 信号需要在数据有效的周期内持续拉高。在 IP 输出数据时,在输出的第一个周期会拉高 sop_out 信号,最后一个周期拉高 eop_in 信号,其余时间保持低电平。outvalid 信号将会在数据有效的周期内持续拉高。

6 界面配置

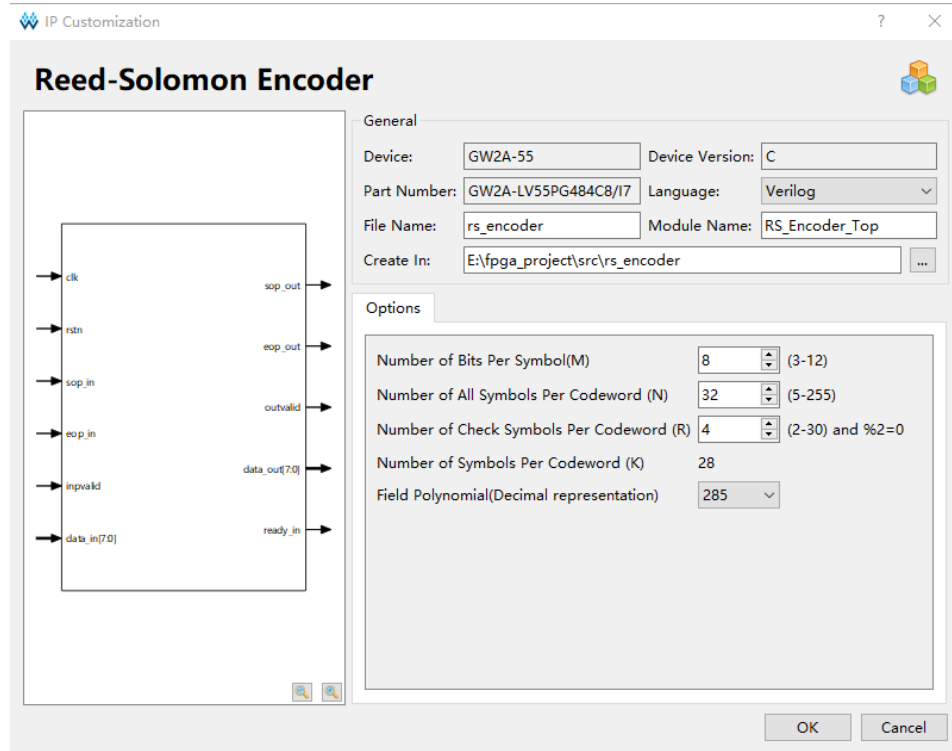
在高云半导体云源®软件界面菜单栏“Tools”下，可启动“IP Core Generator”工具，在“DSP and Mathematics”分类下，可以找到“Reed-Solomon Decoder”完成调用与配置；也可使用工具栏图标，如图 6-1 所示。

图 6-1 工具栏图标打开 IP 配置界面



Gowin Reed-Solomon Decoder IP 配置界面如图 6-2 所示。

图 6-2 Gowin Reed-Solomon Decoder IP 配置页面



- 可通过修改 File Name，配置产生 IP 文件名称；
- 可通过修改 Module Name，配置产生的 IP 模块名称；
- 可通过配置 Options 选项，配置 IP 工作模式及其他配置。

Gowin Reed-Solomon Decoder IP 配置选项如下表 6-1 所示。

表 6-1 Gowin Reed-Solomon Decoder IP 配置选项

选项	描述
Number of Bits Per Symbol	数据位宽，3-12bits可配置
Number of All Symbol Per Codeword	总字符数，5-255可配置
Number of Check Symbols Per Codeword	校验字符数，2-30可配置
Codeword Length	编码字长度，由伽罗华域决定
Field Polynomial	域多项式，可配置范围由伽罗华域决定

7 参考设计

可参考 RefDesign 内相关测试案例。

8 文件交付

Gowin Reed-Solomon Decoder IP 交付文件主要包含两个部分，分别为：文档和参考设计。

8.1 文档

文件夹主要包含用户指南 PDF 文档。

表 8-1 文档列表

名称	描述
IPUG1081, Gowin Reed-Solomon Decoder IP用户指南	高云IP用户手册，即本手册。

8.2 参考设计

Ref. Design 文件夹主要包含 Gowin Reed-Solomon Decoder IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 8-2 Ref. Design 文件夹内容列表

名称	描述
RS_exp.v	参考设计的顶层module及激励产生模块
rs_decoder.vo	Reed-Solomon Decoder IP网表文件
demo.cst	Reed-Solomon Decoder IP工程物理约束文件
fpga_project.gao	抓取Reed Solomon Decoder IP输出数据
rs_decoder	Reed Solomon Decoder IP工程文件夹

